UNIVERSIDADE FEDERAL DE SANTA CATARINA
CENTRO TECNOLÓGICO
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Gabriel de Oliveira Assunção

Metodologia para a derivação de topologias não isoladas para conexão de baterias à rede elétrica com aterramento comum

Florianópolis
2022

Gabriel de Oliveira Assunção

Metodologia para a derivação de topologias não isoladas para conexão de baterias à rede elétrica com aterramento comum

Tese submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do título de Doutor em Engenharia Elétrica.
Orientador: Prof. Ivo Barbi, Dr. Ing.
Coorientador: Prof. Daniel Juan Pagano, Dr.

Florianópolis
2022

RESUMO

Conversores não isolados têm recebido maior atenção em sistemas conectados à rede elétrica por elevar o rendimento e diminuir custos. Contudo, a corrente de fuga capacitiva, ou corrente de modo comum, apresenta-se como uma dificuldade, limitando a capacidade operativa dos inversores utilizados. Novas topologias e estratégias de controle buscam reduzi-la ou eliminá-la. A partir deste estudo, um método para derivar topologias de inversores fonte de tensão não isolados de aterramento comum é proposto neste trabalho. Através do aterramento comum entre rede elétrica e o barramento CC, a corrente de fuga capacitiva é eliminada. Dessa maneira, diversos inversores com essa característica podem ser derivados através deste método. Para validação, quatro topologias de inversores abaixadores e com aterramento comum são derivadas dos conversores bidirecionais CC-CC *buck-boost*, SEPIC, zeta e *boost-buck*, os quais têm em comum o ganho estático dado por *d/(1-d)*. Esses inversores são considerados para a conexão de sistemas de armazenamento de energia a bateria com a rede elétrica. O funcionamento de cada uma dessas topologias é comprovado mediante resultados de simulação numérica e de simulação em tempo real utilizando o sistema de *Hardware-in-the-Loop* Typhoon HIL402. Para o projeto do controle desta família de inversores foi utilizada a técnica de controle por realimentação linearizante. Além disso, um protótipo de 1 kW do inversor derivado do conversor zeta é construído. A experimentação realizada empregou o conversor desconectado da rede para cargas com características resistivas, indutivas e capacitivas. São apresentados resultados experimentais obtidos em laboratório, com testes realizados no protótipo experimental não otimizado. O máximo rendimento obtido foi de 95,247%. A simplicidade do conversor experimentado, a baixa quantidade de componentes ativos, a dispensabilidade do uso de grampeadores e o aterramento comum fazem dessa estrutura uma interessante opção para a aplicação mencionada. Uma análise comparativa entre as quatro topologias geradas e outros inversores não isolados com aterramento comum considerando o número de componentes, as tensões nominais, a potência de saída, a frequência de comutação, rendimento relatado em potência nominal e a necessidade de inserção de filtros adicionais, é outra das contribuições importantes deste trabalho.

Palavras-chave: Corrente de fuga capacitiva. Inversor não isolado. Inversor com aterramento comum. Sistemas de armazenamento de energia elétrica. Banco de baterias.

ABSTRACT

Transformerless converters have received increased attention in grid-connected systems for increasing efficiency and reducing costs. However, leakage current or common-mode current presents itself as a difficulty, limiting the operational capability of the used inverter. New topologies and control approaches seek to reduce or eliminate it. From this study, a method for deriving transformerless common-ground voltage source inverter topologies is proposed in this work. Through the common ground between the power grid and the DC link, the leakage current is eliminated. Thus, several inverters with this characteristic can be derived using this method. To validate this, four step-down common-ground inverters are derived from the buck-boost, SEPIC, zeta, and boost-buck bidirectional DC-DC converters, which have in common the static gain given by d/(1-d). These inverters are considered for connecting battery energy storage systems to the power grid. The operation of each of these topologies is proven by numerical simulation results and real-time simulation using the Typhoon HIL402 Hardware-in-the-Loop system. The linearizing feedback control technique was used to design the control of this family of inverters. In addition, a 1 kW prototype of the inverter derived from the zeta converter was designed and built. The experimentation carried out employed the converter disconnected from the grid for loads with resistive, inductive, and capacitive characteristics. Experimental results obtained in the laboratory are presented. The tests were performed on a non-optimized prototype. The maximum efficiency obtained was 95.247%. Due to the simplicity of the experienced converter, the low number of switches, no clamping circuit requirement, and the common ground, this topology is an interesting option for the above-mentioned application. A comparative analysis between the four generated topologies and other transformerless common-ground inverters in terms of the number of components, voltage ratings, output power, switching frequency, reported efficiency at rated power, and the requirement for filter insertion, is another important contribution of this work.

Keywords: Leakage current. Transformerless inverter. Common-ground inverter. Electrical energy storage systems. Battery bank.

LISTA DE FIGURAS

Figura 1.1 – Módulo fotovoltaico e sua capacitância parasita. 17
Figura 1.2 – Inversor *Full Bridge* conectando baterias a rede elétrica. 19
Figura 1.3 – Circuito equivalente do inversor FB. 19
Figura 1.4 – Circuito para a determinação da (a) impedância de Thévenin e da (b) tensão de circuito aberto de Thévenin. 20
Figura 1.5 – Circuito equivalente de Thévenin para a corrente de fuga capacitiva. 21
Figura 1.6 – Modulação dois níveis para o inversor FB. 21
Figura 1.7 – Tensão V_{A0}, V_{B0} e V_{CM} para o conversor FB com modulação dois níveis. 22
Figura 1.8 – Modulação três níveis para o inversor FB. 23
Figura 1.9 – Tensão V_{A0}, V_{B0} e V_{CM} para o conversor FB com modulação três níveis. 23
Figura 2.1 – Formato de construção da célula lítio (a) cilíndrica, (b) pseudo-prismática, (c) prismática com chapas individuais e (d) prismática com dobra sanfonada. 28
Figura 2.2 – Célula de íon-lítio. 29
Figura 2.3 – Célula de polímero de lítio. 29
Figura 2.4 – Capacitor elementar. 30
Figura 2.5 – Capacitância parasita entre os terminais e qualquer estrutura metálica próxima. 30
Figura 2.6 – *Pack* de baterias Li-ion do Nissan Leaf 2011. 31
Figura 2.7 – Componentes de alta tensão do Nissan Leaf 2012. 32
Figura 2.8 – Módulo Li-ion Nissan Leaf 2012. 32
Figura 2.9 – Abertura de um módulo, (a) retirando a tampa superior, (b) vista superior e (c) células fora da carcaça. 33
Figura 2.10 – Capacitor elementar utilizando o separador da bateria Li-ion. 34
Figura 2.11 – Capacitância obtida no analisador de potência para o capacitor elementar utilizando o separador da bateria Li-ion. 34
Figura 2.12 – (a) Medição da capacitância parasita existente em uma bateria (b) entre o terminal positivo e a carcaça, (c) entre o terminal intermediário e a carcaça e (d) entre o terminal negativo e a carcaça. 35

Figura 2.13 – Baterias de segunda vida compondo um BESS implementado no Laboratório Fotovoltaica da UFSC. 36
Figura 3.1 – Estrutura geral de conversores que utilizam a estratégia de desacoplamento (a) CC ou (b) CA durante a etapa de roda livre. 38
Figura 3.2 – Estrutura geral de conversores que utilizam a estratégia de grampeamento da tensão de modo comum. 39
Figura 3.3 – Estrutura geral de conversores que utilizam a estratégia de aterramento comum. 39
Figura 3.4 – Topologias de desacoplamento; (a) Inversor sugerido em [11], (b) H6 [58], [59], (c) Inversor sugerido em [60], (d) Inversor sugerido em [61], (e) HERIC [62], [63], (f) H6 AC bypass [64], (g) H5 [65], (h) Inversor sugerido em [14], (i) oH5 [66], (j) FB-ZVR [67], (k) Inversor sugerido em [24]. 40
Figura 3.5 – Etapas de operação do H5: (a) Tensão positiva, $V_{AB} = +V_{PV}$, (b) roda livre para o semiciclo positivo, $V_{AB} = 0$ V, (c) tensão negativa, $V_{AB} = -V_{PV}$ e (d) roda livre para o semiciclo negativo, $V_{AB} = 0$ V. 41
Figura 3.6 – Método de modulação do H5. 42
Figura 3.7 – Tensão V_{A0}, V_{B0} e V_{CM} no conversor H5. 42
Figura 3.8 – Etapas de operação do HERIC: (a) Tensão positiva, $V_{AB} = +V_{PV}$, (b) roda livre para o semiciclo positivo, $V_{AB} = 0$ V, (c) tensão negativa, $V_{AB} = -V_{PV}$ e (d) roda livre para o semiciclo negativo, $V_{AB} = 0$ V. 43
Figura 3.9 – Método de modulação do HERIC. 44
Figura 3.10 – Método de modulação do H6. 44
Figura 3.11 – Etapas de operação do H6: (a) Tensão positiva, $V_{AB} = +V_{PV}$, (b) roda livre para o semiciclo positivo, $V_{AB} = 0$ V, (c) tensão negativa, $V_{AB} = -V_{PV}$ e (d) roda livre para o semiciclo negativo, $V_{AB} = 0$ V. 45
Figura 3.12 – Topologias de grampeamento; (a) NPC [70], (b) Conergy NPC [71], (c) BDS Conergy NPC [72], (d) *Flying Capacitor* NPC [73], (e) Inversor sugerido em [74], (f) Active NPC [75], (g) Inversor sugerido em [76], (h) Inversor sugerido em [77]. 46
Figura 3.13 – Etapas de operação do NPC: (a) Tensão positiva, $V_{AN} = +V_{PV}/2$, (b) roda livre para o semiciclo positivo, $V_{AN} = 0$ V, (c) tensão negativa, $V_{AN} = -V_{PV}/2$ e (d) roda livre para o semiciclo negativo, $V_{AN} = 0$ V. 47
Figura 3.14 – Método de modulação unipolar para o NPC. 47

Figura 3.15 – Etapas de operação do Conergy NPC: (a) Tensão positiva, V_{AN} = $+V_{PV}/2$, (b) roda livre para o semiciclo positivo, V_{AN} = 0 V, (c) tensão negativa, V_{AN} = $-V_{PV}/2$ e (d) roda livre para o semiciclo negativo, V_{AN} = 0 V. 48

Figura 3.16 – Conversor *Buck-Boost* equivalente para o (a) semiciclo positivo e (b) semiciclo negativo. 49

Figura 3.17 – Modulação empregada no SIB *Buck-Boost*. 49

Figura 3.18 – Etapas de operação do SIB *Buck-Boost*: (a) Armazenamento e (b) transferência de energia durante o semiciclo positivo, (c) armazenamento e (b) transferência de energia durante o semiciclo negativo. 50

Figura 3.19 – Topologias de aterramento comum; (a) SVS-ZNPP [81], [82], (b) Inversor sugerido em [21], (c) Inversor sugerido em [79], (d) Inversor sugerido em [18], (e) Inversor sugerido em [83], (f) *Virtual DC Bus* [25], (g) Inversor sugerido em [17], (h) *Flying Capacitor Type-I* [16], (i) Inversor sugerido em [30], (j) Inversor sugerido em [15], (k) Inversor sugerido em [84], (l) Inversor sugerido em [34], (m) Inversor sugerido em [10]..... 51

Figura 3.20 – Etapas de operação do SVS-ZNPP: (a) Tensão positiva, V_{AN} = $+V_{dc}$, (b) tensão zero para o semiciclo positivo, $V_{AN} \approx 0$ V sendo $V_{C1} \approx V_{dc}$, (c) tensão negativa, $V_{AN} \approx -V_{dc}$ e (d) roda livre para o semiciclo negativo, V_{AN} = 0 V. 52

Figura 3.21 – Método de modulação do SVS-ZNPP. 52

Figura 3.22 – Etapas de operação do inversor *Virtual DC Bus*: (a) Tensão positiva, V_{AN} = $+V_{PV}$, (b) roda livre para o semiciclo positivo, V_{AN} = 0 V, (c) tensão negativa, $V_{AN} \approx -V_{PV}$ e (d) roda livre para o semiciclo negativo, V_{AN} = 0 V..... 53

Figura 3.23 – Métodos de modulação (a) SPWM unipolar e (b) *Double-Frequency* SPWM do inversor *Virtual DC Bus*. 53

Figura 3.24 – Etapas de operação do *Type-I* FC: (a) Tensão positiva, V_{AN} = $+V_{PV}$, (b) roda livre para o semiciclo positivo, V_{AN} = 0 V, (c) tensão negativa, $V_{AN} \approx -V_{dc}$ e (d) roda livre para o semiciclo negativo, V_{AN} = 0 V. 54

Figura 3.25 – Método de modulação do *Type-I* FC. 55

Figura 4.1 – Conversor CC-CC bidirecional não isolado com (a) conexão comum dos terminais negativos e (b) conexão comum dos terminais positivos. 56

Figura 4.2 – Ganho estático G_2 como uma função de d_2..... 58

Figura 4.3 – (a) Circuito mostrado na Figura 4.1(b) com o par *RC* adicionado nos terminais *ab*. (b) O mesmo circuito redesenhado sem o capacitor C_2. 58

Figura 4.4 – Conversores CC-CC bidirecionais com conexão negativa comum. (a) *Buck-boost* com saída positiva, (b) SEPIC, (c) zeta e (d) *boost-buck*. 59

Figura 4.5 – Conversores CC-CC bidirecionais com conexão positiva comum. (a) *Buck-boost* com saída positiva, (b) SEPIC, (c) zeta e (d) *boost-buck*. 60

Figura 4.6 – Adicionado um par *RC* aos conversores CC-CC bidirecionais com conexão positiva comum. (a) *Buck-boost* com saída positiva, (b) SEPIC, (c) zeta e (d) *boost-buck*. 60

Figura 4.7 – Inversores não isolados com aterramento comum derivados dos conversores bidirecionais: (a) *buck-boost* com saída positiva, (b) SEPIC, (c) zeta e (d) *boost-buck*. 61

Figura 5.1 – Família de inversores não isolados com aterramento comum realizando a conexão entre um banco de baterias e a rede elétrica, considerando as capacitâncias parasitas. Inversores derivados dos conversores: (a) *buck-boost* com saída positiva, (b) SEPIC, (c) zeta e (d) *boost-buck*. 63

Figura 5.2 – Frequência da tensão da rede e da portadora triangular. 64

Figura 5.3 – (a) Estado topológico 1 e (b) 2 do inversor *buck-boost*. 65

Figura 5.4 – Formas de onda ideais do inversor *buck-boost*. 66

Figura 5.5 – Sinal modulador para um α unitário. 67

Figura 5.6 – Variação da ondulação parametrizada da corrente no indutor. 67

Figura 5.7 – Envoltório em baixa frequência de i_{L1} no inversor *buck-boost*. 69

Figura 5.8 – Corrente eficaz em L_1 parametrizada em função da corrente eficaz de saída parametrizada, para diferentes valores de α, no inversor *buck-boost*. 71

Figura 5.9 – Corrente eficaz em S_1 parametrizada em função da corrente eficaz de saída parametrizada, para diferentes valores de α, no inversor *buck-boost*. 72

Figura 5.10 – Corrente eficaz em S_2 parametrizada em função da corrente eficaz de saída parametrizada, para diferentes valores de α, no inversor *buck-boost*. 72

Figura 5.11 – Inserção dos filtros de entrada e de saída no inversor *buck-boot*. 73

Figura 5.12 – Corrente i_1 comutando em alta frequência e envoltório em baixa frequência de i_{L1}, $-i_{L1}$ e i_1 do inversor *buck-boost*. 74

Figura 5.13 – Detalhe da corrente (a) i_1 e (b) i_{Cfin} em alta frequência no instante $\omega t = 3\pi/2$ no inversor *buck-boost*. 74

Figura 5.14 – Diagrama fasorial das tensões e corrente de saída no inversor *buck-boost*. 75

Figura 5.15 – Detalhe da tensão (a) v_{Cfo} e (b) v_{Lfo} em alta frequência no inversor *buck-boost*.....76

Figura 5.16 – Variação da ondulação parametrizada da tensão em C_{fo} do inversor *buck-boost*.....77

Figura 5.17 – (a) Estado topológico 1 e (b) 2 do inversor SEPIC.....78

Figura 5.18 – Formas de onda ideais do inversor SEPIC.....79

Figura 5.19 – Corrente eficaz em L_1 parametrizada em função da corrente eficaz de saída parametrizada no inversor SEPIC (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário.....83

Figura 5.20 – Corrente eficaz em L_2 parametrizada em função da corrente eficaz de saída parametrizada no inversor SEPIC para diferentes valores de α.....84

Figura 5.21 – Corrente eficaz em S_1 parametrizada em função da corrente eficaz de saída parametrizada no inversor SEPIC (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário.....84

Figura 5.22 – Corrente eficaz em S_2 parametrizada em função da corrente eficaz de saída parametrizada no inversor SEPIC (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário.....85

Figura 5.23 – Corrente eficaz em C_1 parametrizada em função da corrente eficaz de saída parametrizada no inversor SEPIC (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário.....85

Figura 5.24 – Inserção dos filtros de entrada e de saída no inversor SEPIC.....86

Figura 5.25 – Corrente i_1 comutando em alta frequência e envoltório em baixa frequência de i_{L1}, i_{L2} e i_1 do inversor SEPIC.....87

Figura 5.26 – Detalhe da corrente (a) i_1 e (b) i_{Cfin} em alta frequência no instante $\omega t = 3\pi/2$ no inversor SEPIC.....88

Figura 5.27 – (a) Estado topológico 1 e (b) 2 do inversor zeta.....89

Figura 5.28 – Formas de onda ideais do inversor zeta.....90

Figura 5.29 – Envoltório em baixa frequência de v_{C1} no inversor zeta.....93

Figura 5.30 – Tensão v_{S1} comutando em alta frequência e o envoltório em baixa frequência de v_{C1} do inversor zeta.....94

Figura 5.31 – Inserção dos filtros de entrada e de saída no inversor zeta.....94

Figura 5.32 – (a) Estado topológico 1 e (b) 2 do inversor *boost-buck*.....95

Figura 5.33 – Formas de onda ideais do inversor *boost-buck*.....96

Figura 5.34 – Corrente eficaz em S_1 parametrizada em função da corrente eficaz de saída parametrizada no inversor *boost-buck* (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário. 101

Figura 5.35 – Corrente eficaz em S_2 parametrizada em função da corrente eficaz de saída parametrizada no inversor *boost-buck* (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário. 101

Figura 5.36 – Corrente eficaz em S_3 parametrizada em função da corrente eficaz de saída parametrizada no inversor *boost-buck* (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário. 102

Figura 5.37 – Corrente eficaz em S_4 parametrizada em função da corrente eficaz de saída parametrizada no inversor *boost-buck* (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário. 102

Figura 5.38 – Capacitor de saída para a conexão com cargas (a) nos inversores *buck-boost* e SEPIC; (b) nos inversores zeta e *boost-buck*. 104

Figura 6.1 – Estrutura básica do inversor *buck-boost*. 110

Figura 6.2 – Estrutura básica do inversor SEPIC. 111

Figura 6.3 – Estrutura básica do inversor zeta. 112

Figura 6.4 – Estrutura básica do inversor *boost-buck*. 113

Figura 6.5 – (a) Diagrama de blocos do controle e (b) da malha de controle considerada no projeto dos controladores para o inversor *buck-boost*. 115

Figura 6.6 – (a) Diagrama de blocos do controle e (b) da malha de controle considerada no projeto dos controladores para os inversores SEPIC, zeta e *boost-buck*. 116

Figura 6.7 – Lugar das raízes da FTLA: (a) círculo unitário, (b) detalhe na localização dos polos e zeros e (c) polos e zeros próximos ao limite do círculo unitário. 119

Figura 6.8 – Polos e zeros próximos ao limite do círculo unitário no lugar das raízes da FTLA com a adição do controlador ressonante em 120 Hz. 119

Figura 6.9 – (a) Estrutura geral do PLL monofásico e (b) geração do sistema ortogonal utilizado. 120

Figura 7.1 – Sinal modulador e portadora triangular. 123

Figura 7.2 – Tensão de saída em malha aberta nos inversores: (a) *buck-boost*, (b) SEPIC, (c) zeta e (d) *boost-buck*. 124

Figura 7.3 – Corrente no indutor L_1 em malha aberta em comparação com o sinal desejado no inversor *boost-buck*. 124

Figura 7.4 – Corrente i_{L1} controlada comparada sua referência, para o inversor *buck-boost*. 125
Figura 7.5 – Corrente de entrada e de saída no inversor *buck-boost*. 126
Figura 7.6 – Tensão no capacitor do filtro de entrada em comparação com a tensão de entrada do inversor *buck-boost*. 126
Figura 7.7 – Tensão no capacitor do filtro de saída em comparação com a tensão da rede elétrica no inversor *buck-boost*. 127
Figura 7.8 – Corrente nos transistores do inversor *buck-boost*. 127
Figura 7.9 – Tensão nos transistores do inversor *buck-boost*. 128
Figura 7.10 – Corrente de fuga capacitiva no inversor *buck-boost*. 128
Figura 7.11 – Corrente i_{L2} controlada e a corrente de saída i_o comparadas ao sinal de referência, para o inversor SEPIC. 129
Figura 7.12 – Corrente antes e depois do filtro de entrada no inversor SEPIC. 130
Figura 7.13 – Tensão no capacitor do filtro de entrada em comparação com a tensão de entrada do inversor SEPIC. 130
Figura 7.14 – Tensão no capacitor do filtro de saída em comparação com a tensão da rede elétrica no inversor SEPIC. 131
Figura 7.15 – Corrente no indutor L_1 do inversor SEPIC. 131
Figura 7.16 – Tensão no capacitor C_1 do inversor SEPIC. 132
Figura 7.17 – Corrente nos transistores do inversor SEPIC. 132
Figura 7.18 – Tensão nos transistores do inversor SEPIC. 133
Figura 7.19 – Corrente de saída controlada comparada sua referência, para o inversor zeta. 134
Figura 7.20 – Corrente de entrada e no indutor L_1 do inversor zeta. 134
Figura 7.21 – Tensão no capacitor C_1 do inversor zeta. 135
Figura 7.22 – Tensão no capacitor do filtro de entrada em comparação com a tensão de entrada do inversor zeta. 135
Figura 7.23 – Corrente nos transistores do inversor zeta. 135
Figura 7.24 – Tensão nos transistores do inversor zeta. 136
Figura 7.25 – Corrente de saída comparada sua referência, para o inversor *boost-buck*. 137
Figura 7.26 – Corrente de entrada e no indutor L_1 do inversor *boost-buck*. 137
Figura 7.27 – Tensão no capacitor C_1 e nos transistores do inversor *boost-buck*. 137

Figura 7.28 – Corrente nos transistores do inversor *boost-buck*. 138
Figura 8.1 – Typhoon-HIL 402 com a placa de interface. 140
Figura 8.2 – Esquemático do inversor *buck-boost* no Typhoon-HIL 402. 141
Figura 8.3 – Tensões e correntes de entrada e de saída e comparação com as tensões nos capacitores dos filtros de entrada e de saída do inversor *buck-boost*. 142
Figura 8.4 – Análise harmônica da corrente de saída no inversor *buck-boost*. 143
Figura 8.5 – Corrente de saída comparada a corrente de referência emulada do inversor *buck-boost* para um degrau de potência de 50%. 143
Figura 8.6 – Tensão de saída e corrente de saída comparada a corrente de referência emulada do inversor *buck-boost* para um degrau de fase de 90º. 144
Figura 8.7 – Corrente de saída comparada a corrente de referência emulada do inversor *buck-boost* para um degrau de fase de -90º. 144
Figura 8.8 – Corrente de saída comparada a corrente de referência emulada do inversor *buck-boost* para inversão de fase. 145
Figura 8.9 – Esquemático do inversor SEPIC no Typhoon-HIL 402. 145
Figura 8.10 – Tensões e correntes de entrada e de saída e comparação com as tensões nos capacitores dos filtros de entrada e de saída do inversor SEPIC. 146
Figura 8.11 – Análise harmônica da corrente de saída no inversor SEPIC. 146
Figura 8.12 – Corrente de saída comparada a corrente de referência emulada do inversor SEPIC para um degrau de potência de 50%. 147
Figura 8.13 – Corrente de saída comparada a corrente de referência emulada do inversor SEPIC para um degrau de fase de 90º. 147
Figura 8.14 – Corrente de saída comparada a corrente de referência emulada do inversor SEPIC para um degrau de fase de -90º. 148
Figura 8.15 – Corrente de saída comparada a corrente de referência emulada do inversor SEPIC com fase de -90º. 148
Figura 8.16 – Corrente de saída comparada a corrente de referência emulada do inversor SEPIC para inversão de fase. 148
Figura 8.17 – Esquemático do inversor zeta no Typhoon-HIL 402. 149
Figura 8.18 – Tensões e correntes de entrada e de saída e comparação com a tensão no capacitor do filtro de entrada do inversor zeta. 149
Figura 8.19 – Análise harmônica da corrente de saída no inversor zeta. 150

Figura 8.20 – Corrente de saída comparada a corrente de referência emulada do inversor zeta para um degrau de potência de 50%. 150
Figura 8.21 – Corrente de saída comparada a corrente de referência emulada do inversor zeta para um degrau de fase de 90º. 150
Figura 8.22 – Corrente de saída comparada a corrente de referência emulada do inversor zeta para um degrau de fase de -90º. 151
Figura 8.23 – Corrente de saída comparada a corrente de referência emulada do inversor zeta com fase de -90º. 151
Figura 8.24 – Corrente de saída comparada a corrente de referência emulada do inversor zeta para inversão de fase. 152
Figura 8.25 – Esquemático do inversor *boost-buck* no Typhoon-HIL 402. 152
Figura 8.26 – Tensões e correntes de entrada e de saída do inversor *boost-buck*. ... 153
Figura 8.27 – Análise harmônica da corrente de saída no inversor *boost-buck*. 153
Figura 8.28 – Corrente de saída comparada a corrente de referência emulada do inversor *boost-buck* para um degrau de potência de 50%. 154
Figura 8.29 – Corrente de saída comparada a corrente de referência emulada do inversor *boost-buck* para um degrau de fase de 90º. 154
Figura 8.30 – Corrente de saída comparada a corrente de referência emulada do inversor *boost-buck* para um degrau de fase de -90º, com alteração no ganho do controlador ressonante de 120 Hz. 154
Figura 8.31 – Corrente de saída comparada a corrente de referência emulada do inversor *boost-buck* com fase de -90º, com alteração no ganho do controlador ressonante de 120 Hz. 155
Figura 8.32 – Corrente de saída comparada a corrente de referência emulada do inversor *boost-buck* para inversão de fase. 155
Figura 9.1 – Projeto da PCI. 158
Figura 9.2 – PCI e local de cada componente. 159
Figura 9.3 – Protótipo do inversor zeta. 159
Figura 9.4 – Protótipo do conversor. 159
Figura 9.5 – Estrutura completa utilizada nos ensaios experimentais. 160
Figura 9.6 – Circuito de proteção da fonte CC. 161
Figura 9.7 – Tensões e correntes experimentais de entrada e saída para (a) cargas resistivas, (b) resistivas-indutivas e (c) resistivas-capacitivas. 162

Figura 9.8 – Corrente nos indutores L_1 e L_2. 162
Figura 9.9 – Tensão de saída e no capacitor C_1 163
Figura 9.10 – Ondulação de tensão nos capacitores C_1, C_{fin} e C_o. 163
Figura 9.11 – Tensão nos transistores (a) vista em baixa frequência e juntamente com a tensão de saída e (b) observada no período de comutação no momento do pico negativo de V_{ab}. 163
Figura 9.12 – Corrente de fuga capacitiva, tensão e corrente de saída. 164
Figura 9.13 – Mapeamento teórico das principais perdas no inversor zeta: (a) percentual por componente, (b) potência dissipada por componente e (c) detalhamento das perdas nos transistores. 164
Figura 9.14 – Curva de rendimento do inversor zeta com carga puramente resistiva. 165
Figura 9.15 – Foto térmica dos transistores e indutores. 165

LISTA DE QUADROS

Quadro 5.1 – Sinal de gatilho para cada topologia.....64
Quadro 5.2 – Equações de dimensionamento dos componentes passivos por topologia. 105
Quadro 5.3 – Esforços de corrente e tensão por topologia.....106
Quadro 9.1 – Componentes do protótipo. 158

LISTA DE TABELAS

Tabela 1.1 – Resumo das limitações para detecção de corrente residual em algumas normas. 18

Tabela 6.1 – Frequência de ressonância entre o capacitor C_1 e cada indutor por topologia. 117

Tabela 7.1 – Especificações de projeto. 122

Tabela 7.2 – Dimensionamento de elementos passivos por inversor. 122

Tabela 7.3 – Comparação entre resultados de simulação e teórico para o inversor *buck-boost*. 124

Tabela 7.4 – Comparação entre resultados de simulação e teórico para o inversor *buck-boost*. 128

Tabela 7.5 – Comparação entre resultados de simulação e teórico para o inversor SEPIC. 133

Tabela 7.6 – Comparação entre resultados de simulação e teórico para o inversor zeta. 136

Tabela 7.7 – Comparação entre resultados de simulação e teórico para o inversor *boost-buck*. 138

Tabela 9.1 – Especificações de projeto do protótipo. 157

Tabela 10.1 – Comparação entre inversores não isolados de aterramento comum. . 168

LISTA DE ABREVIATURAS E SIGLAS

AC	*Alternating Current*
ANPC	*Active Neutral Point Clamped*
BDS	*Bidirectional Switch*
BESS	*Battery Energy Storage Systems*
CA	Corrente Alternada
CC	Corrente Contínua
DC	*Direct Current*
EMI	*Electromagnetic Interference*
ESS	*Energy Storage Systems*
EV	*Electric Vehicles*
FB	*Full Bridge*
FB-ZVR	*Full-Bridge Zero Voltage Rectifier*
FC	*Flying Capacitor*
FFT	*Fast Fourier Transform*
FLC	*Feedback Linearization Control*
FP	Fator de Potência
FTLA	Função de Transferência de Laço Aberto
HERIC	*Highly Efficient and Reliable Inverter Concept*
HIL	*Hardware-In-the-Loop*
IGBT	*Insulated Gate Bipolar Transistor*
MCC	Modo de Condução Contínuo
MF	Margem de Fase
MOSFET	*Metal-Oxide-Semiconductor Field Effect Transistor*
NPC	*Neutral Point Clamped*
PCI	Placa de Circuito Impresso
PI	Proporcional Integral
PLL	*Phase-Locked Loop*
PWM	*Pulse Width Modulation*
RCMU	*Residual Current Monitoring Unit*
REN21	*Renewable Energy Policy Network for the 21st Century*

SCADA	*Supervisory Control and Data Acquisition*
SIB *Buck-Boost*	*Single Inductor Bidirectional Buck–Boost*
SPWM	*Sinosoidal Pulse Width Modulation*
SVS-ZNPP	*Switched Voltage Source with Zero Neutral Point Potential*
THD	*Total Harmonic Distortion*
UFSC	Universidade Federal de Santa Catarina

SUMÁRIO

1 INTRODUÇÃO 15
1.1 CONTEXTUALIZAÇÃO 15
1.2 CORRENTE E TENSÃO DE MODO COMUM NOS INVERSORES CONECTADOS COM A REDE ELÉTRICA SEM ISOLAMENTO MAGNÉTICO 18
1.2.1 *Full Bridge* com modulação dois níveis 21
1.2.2 *Full Bridge* com modulação três níveis 22
1.3 PROPOSTA DA TESE 24
1.3.1 *Objetivos e Contribuições* 24
1.3.1.1 Objetivo geral 24
1.3.1.2 Objetivos específicos 24
1.3.1.3 Contribuições 25
1.3.2 *Estrutura da Tese* 25
2 BATERIAS E CAPACITÂNCIAS PARASITAS: REVISÃO E TESTES 27
2.1 INTRODUÇÃO 27
2.2 DEFINIÇÕES E COMPOSIÇÃO BÁSICA DE BATERIAS DE LÍTIO 28
2.3 O SURGIMENTO DA CAPACITÂNCIA PARASITA 29
2.4 BATERIA DE LÍTIO TESTADA 31
2.5 UM BREVE EXEMPLO 36
2.6 CONCLUSÕES 36
3 REVISÃO DAS TOPOLOGIAS DE INVERSORES NÃO ISOLADAS COM ATERRAMENTO COMUM 38
3.1 INTRODUÇÃO 38
3.2 DESACOPLAMENTO DURANTE A ETAPA DE RODA LIVRE 39
3.2.1 Topologia H5 41
3.2.2 Topologia HERIC 43
3.2.3 Topologia H6 44

3.3 GRAMPEAMENTO DA TENSÃO DE MODO COMUM 45
3.3.1 Topologia NPC 45
3.3.2 Topologia Conergy NPC 47
3.3.3 Topologia SIB *Buck-Boost* 48
3.4 ATERRAMENTO COMUM 50
3.4.1 Topologia *Three-Level* SVS *Inverter* ZNPP 50
3.4.2 Topologia *Virtual DC Bus* 53
3.4.3 Topologia *Flying Capacitor Type-I* 54
3.5 CONCLUSÕES 55
4 METODOLOGIA PARA DERIVAÇÃO DE INVERSORES NÃO ISOLADOS COM ATERRAMENTO COMUM 56
4.1 INTRODUÇÃO 56
4.2 CONVERSORES CC-CC NÃO ISOLADOS BIDIRECIONAIS 56
4.3 DERIVAÇÃO DE UMA FAMÍLA DE INVERSORES FONTE DE TENSÃO COM ATERRAMENTO COMUM 59
4.4 CONCLUSÕES 61
5 FAMÍLA DE INVERSORES NÃO ISOLADOS COM ATERRAMENTO COMUM 63
5.1 INTRODUÇÃO 63
5.2 PRINCÍPIO DE OPERAÇÃO 64
5.3 INVERSOR *BUCK-BOOST* 65
5.3.1 Etapas de Operação 65
5.3.2 Formas de Onda Ideais 65
5.3.3 Análise Orientada para Dimensionamento 66
5.3.4 Análise dos Esforços de Corrente e Tensão 68
5.3.5 Filtro de Entrada e de Saída 73
5.4 INVERSOR SEPIC 78

5.4.1 Etapas de Operação 78
5.4.2 Formas de Onda Ideais 78
5.4.3 Análise Orientada para Dimensionamento 79
5.4.4 Análise dos Esforços de Corrente e Tensão 81
5.4.5 Filtro de Entrada e de Saída 86
5.5 INVERSOR ZETA 89
5.5.1 Etapas de Operação 89
5.5.2 Formas de Onda Ideais 89
5.5.3 Análise Orientada para Dimensionamento 90
5.5.4 Análise dos Esforços de Corrente e Tensão 91
5.5.5 Filtro de Entrada 94
5.6 INVERSOR *BOOST-BUCK* 95
5.6.1 Etapas de Operação 95
5.6.2 Formas de Onda Ideais 96
5.6.3 Análise Orientada para Dimensionamento 97
5.6.4 Análise dos Esforços de Corrente e Tensão 98
5.6.5 Filtros 103
5.7 INVERSORES OPERANDO DESCONECTADOS DA REDE ELÉTRICA 103
5.8 SÍNTESE 105
5.9 CONCLUSÕES 106
6 MODELAGEM E CONTROLE DOS INVERSORES GERADOS 108
6.1 CONTROLE FLC 109
6.1.1 Linearização do Inversor *Buck-Boost* 110
6.1.2 Linearização do Inversor SEPIC 111
6.1.3 Linearização do Inversor Zeta 112
6.1.4 Linearização do Inversor *Boost-Buck* 113
6.2 PROJETO DO CONTROLADOR LINEAR 114

6.3 SINCRONIZAÇÃO COM A REDE BASEADA EM PLL 120
6.4 CONCLUSÕES 121
7 RESULTADOS DE SIMULAÇÃO NUMÉRICA 122
7.1 DESCONECTADOS DA REDE ELÉTRICA 122
7.2 CONECXÃO COM A REDE ELÉTRICA 125
7.2.1 Inversor *Buck-Boost* 125
7.2.2 Inversor SEPIC 129
7.2.3 Inversor Zeta 133
7.2.4 Inversor *Boost-Buck* 136
7.3 CONCLUSÕES 139
8 RESULTADOS DE SIMULAÇÃO EM TEMPO REAL 140
8.1 *BUCK-BOOST* 141
8.2 SEPIC 145
8.3 ZETA 149
8.4 *BOOST-BUCK* 152
8.5 CONCLUSÕES 155
9 RESULTADOS EXPERIMENTAIS 157
9.1 CONCLUSÕES 165
10 COMPARAÇÃO ENTRE TOPOLOGIAS 167
11 CONCLUSÃO 169
REFERÊNCIAS 171
APÊNDICE A – Medição da capacitância parasita em outras baterias 182
APÊNDICE B – Modelagem convencional do inversor zeta 185
APÊNDICE C – Aplicação digital do controlador FLC no inversor *buck-boost* 191
APÊNDICE D – Projeto físico dos indutores e projeto térmico 193

1 INTRODUÇÃO

1.1 CONTEXTUALIZAÇÃO

Segundo a *Renewable Energy Policy Network for the 21st Century* (REN21) [1], em 2018 o número global de veículos elétricos (do inglês *Electric Vehicles* – EV) de passageiros aumentou em 63% em relação à 2017. Muito dessa expansão se deve aos esforços em se reduzir a poluição do ar.

Embora uma onda positiva de sustentabilidade esteja impulsionando o crescimento acelerado dos EVs, as baterias, que tomam o lugar dos combustíveis fósseis como fonte de energia, ainda enfrentam desafios, tais como o custo elevado e a vida útil limitada. A maioria dos fabricantes sugere a troca das baterias quando estas chegarem entre 70 e 80% de sua capacidade [2].

As variações de temperatura ou o calor intenso ocasionado pelo carregamento e descarregamento das baterias geram mudanças no volume das células que compõem as baterias. Isso acaba gerando uma tensão mecânica que paulatinamente danifica o interior dessas células, motivo pelo qual sua capacidade decresce. Contudo, baterias veiculares aposentadas não necessitam ir diretamente para a reciclagem, o que exige muito esforço e desperdício. Estas podem ser empregadas em outras aplicações que exijam menor desempenho, como armazenamento de energia e sistemas de *backup*, por exemplo. O reuso dessas baterias é denominado segunda vida. Essa ampliação da vida útil das baterias faz com que seu custo seja diluído, gerando algum lucro ao sistema, uma vez que o final da primeira vida se torna matéria prima para outras aplicações [3], [4].

Redes Inteligentes (do inglês *Smart Grid*) contribuem para o aumento da confiabilidade, eficiência e a economia da geração e distribuição de eletricidade. Um ponto crítico para o desenvolvimento de uma *smart grid* é o Sistema de Armazenamento de Energia (do inglês *Energy Storage Systems* – ESS), o qual pode ser constituído por baterias de segunda vida. Estes podem alterar os aspectos de carga, drenando energia em momentos de baixa demanda e fornecendo energia durante períodos de pico. Isso contribui para evitar a necessidade de expansão de sistemas de transmissão e distribuição, devido ao aumento de demanda de pico. Tal demanda que é agravada com o aumento na utilização de EVs [5].

Dessa maneira, um banco de baterias de segunda vida que se carrega lentamente em momentos de baixa demanda para fornecer carga a veículos elétricos durante períodos de pico

de consumo não só traz uma solução ao problema da expansão do sistema elétrico, como também ajuda na redução de custos dos EVs, o que contribui para a popularização do mesmo.

A conexão com a rede, seja de um banco de baterias ou de alguma fonte geradora de energia, tal como módulos fotovoltaicos e turbinas eólicas, é costumeiramente realizada por um conversor de potência. Uma das muitas diferenciações entre as diversas topologias de conversores é a existência ou não de um transformador. Com relação a isso, há uma tendência a se empregar inversores sem isolamento galvânico para essa tarefa, a fim de reduzir custos e aumentar a eficiência dos sistemas [6]-[12]. As topologias convencionais de inversores não são, porém, apropriadas para esse tipo de aplicação, devido às tensões de modo comum (do inglês *commom mode voltage*) e ao aparecimento de correntes de fuga capacitivas (do inglês *leakage current*) [6]-[8].

Topologias com isolação galvânica impedem a existência dessa corrente de fuga, contudo acarretam maiores custos e perda de rendimento do conversor, aproximadamente 2% [8], [9]. Conversores sem transformadores possuem uma redução de aproximadamente 25% do custo [8]. Portanto, diferentes topologias não isoladas já foram propostas [12]-[14]. O ponto de partida foram duas famílias de conversores conhecidos: Ponte Completa (do inglês *Full Bridge* – FB) e Ponto Neutro Fixado (do inglês *Neutral Point Clamped* – NPC) [9].

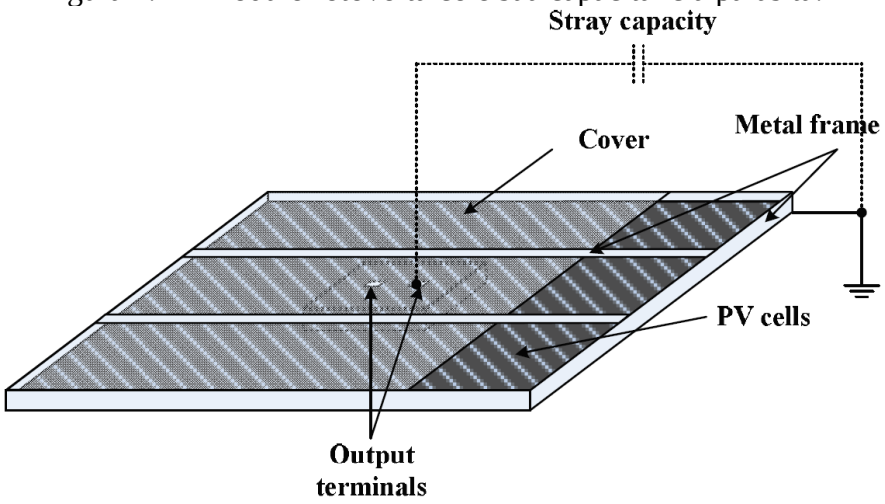
O problema da corrente de modo comum, como também é conhecida, tem sido abordado usualmente em sistemas fotovoltaicos [6]-[25]. Nos módulos fotovoltaicos surgem capacitâncias parasitas ou dispersas (do inglês *parasitic capacitor* ou *stray capacitor*) entre os terminais e a carcaça aterrada, como demonstra a Figura 1.1. Essas capacitâncias são carregadas e descarregadas na frequência da tensão de modo comum. Deste modo, é possível que surjam elevadas correntes de fuga.

Sendo uma preocupação de fabricantes de inversores, esta corrente pode ser extremamente prejudicial, provocando consideráveis perdas de desempenho em um sistema de geração distribuída utilizando módulos fotovoltaicos [19]. O aterramento dos módulos é feito através de sua estrutura metálica. Esta estrutura e outros fatores, tais como os métodos de fabricação da célula e do painel, a área da superfície da célula, distância entre as células, condições climáticas, entre outros, afetam o valor da capacitância parasita [20], [21].

Questões de segurança são afetadas pela existência da corrente de fuga capacitiva, gerando condições inseguras de operação e riscos de choques elétricos. Ainda, traz consigo fatores negativos adicionais: redução da qualidade de energia elétrica gerada, Interferências Eletromagnéticas (do inglês *Electromagnetic Interference* – EMI), aumento da Distorção

Harmônica Total (do inglês *Total Harmonic Distortion* – THD), aumento das perdas no sistema e possível desarme de disjuntores residuais (do inglês *ground-fault protection*) [14], [21], [22], [26].

Figura 1.1 – Módulo fotovoltaico e sua capacitância parasita.



Fonte: [20].

Além do mais, sistemas conectados à rede necessitam satisfazer as normas e padrões que apresentam critérios de conexão com a rede [27]-[29]. Dentre esses, a detecção e proteção da corrente residual, além de ponderação quando a qualidade da energia. Sistemas fotovoltaicos conectados à rede devem utilizar a Unidade de Monitoramento de Corrente Residual (do inglês *Residual Current Monitoring Unit* – RCMU), sendo que este é sensível às variações de Corrente Alternada (CA) e Corrente Contínua (CC) [15]. Pequenas correntes de fuga, 300 mA eficazes, assim como variações repentinas desta, devem desencadear na desconexão com a rede, como pode ser observado na Tabela 1.1 [30]-[32].

Além disso, existem restrições de injeção de harmônicas de corrente e nível CC. Limita-se a 4% em harmônicos ímpares individuais, 1% em harmônicos pares individuais e 5% de distorção total. Quanto a corrente CC, de 0,5% a 1% da corrente nominal [29], [30], [34].

De maneira similar, porém menos abordadas, as baterias apresentam capacitâncias parasitas entre seus terminais e a estrutura aterrada, o que será mais profundamente discutido no capítulo 2.

Como apresentado em [35] e [36], a capacitância é proporcional a área e inversamente proporcional à distância. Sendo assim, conforme um banco de baterias é

expandido, consequentemente a capacitância parasita é acrescida. E proporcionalmente a esta, dependendo do conversor utilizado, eleva-se a corrente de fuga.

Tabela 1.1 – Resumo das limitações para detecção de corrente residual em algumas normas.

Standard	RCD	
UL 1741, Ed. 2 [8] AC-Isolation (Transformer) DC Grounded	System kW	mA
	0 - 25	≤1000
	25 - 50	≤2000
	50 - 100	≤3000
	100 - 250	≤4000
	>250	≤5000
UL 1741 CRD 26-Apr-2010 [12] (S_{max} ≤30 kVA) No AC-Isolation (Transformerless) DC Floating	mA	Trip time (s)
	300 continuous	0.30
	30 step	0.30
	60 step	0.15
	150 step	0.04
IEC 62109-2, Ed. 1 [11] No AC-Isolation (Transformerless) DC Floating	mA	Trip time (s)
	≤30 kVA = 300 mA RMS (continuous)	0.30
	>30 kVA = 10 mA RMS per kVA (continuous)	
	30 (step)	0.30
	60 (step)	0.15
	150 (step)	0.04
S_{max} is the maximum rated inverter output apparent power in kVA, where kVA values are the rated continuous output power of the Equipment Under Test. RMS is root mean square.		

Fonte: [33].

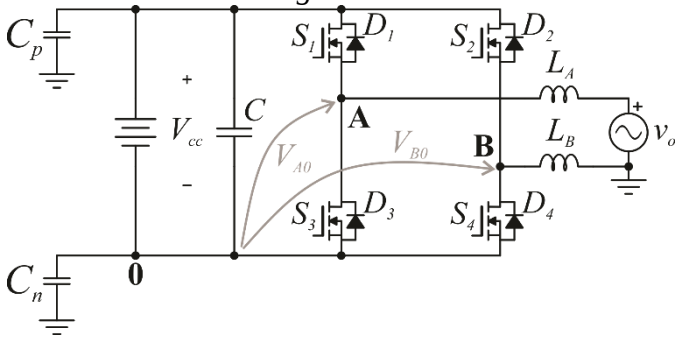
1.2 CORRENTE E TENSÃO DE MODO COMUM NOS INVERSORES CONECTADOS COM A REDE ELÉTRICA SEM ISOLAMENTO MAGNÉTICO

Tanto a frequência quanto a amplitude da corrente de modo comum gerada no sistema dependem, principalmente, da topologia do inversor utilizado e da estratégia de modulação aplicada [37], [38]. Portanto, para verificá-la, realiza-se a análise do conversor FB, visualizado na Figura 1.2. As estratégias de modulação mais conhecidas neste caso são: dois níveis (do inglês *bipolar modulation*) e três níveis (do inglês *unipolar modulation*).

Observa-se que à medida que os transistores são comutados, independentemente da estratégia de modulação, a tensão neles pode variar de zero a V_{cc}, que é a tensão no banco de baterias. As tensões V_{A0} e V_{B0} demonstram a diferença de potencial entre os pontos A e B em relação ao ponto 0. É possível notar que neste caso $V_{A0} = V_{S3}$ e $V_{B0} = V_{S4}$. Portanto, o circuito

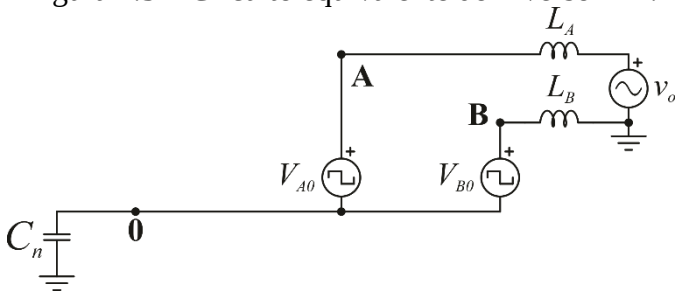
pode ser simplificado substituindo V_{A0} e V_{B0} por fontes de onda quadrada correspondentes a tensão nos transistores, conforme apresentado na Figura 1.3.

Figura 1.2 – Inversor *Full Bridge* conectando baterias a rede elétrica.



Fonte: Elaborada pelo autor (2020).

Figura 1.3 – Circuito equivalente do inversor FB.



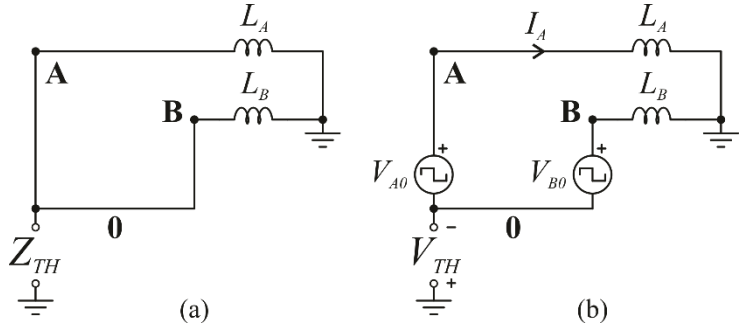
Fonte: Elaborada pelo autor (2020).

As tensões V_{A0} e V_{B0} possuem a frequência de comutação dos interruptores. Levando em consideração uma estratégia de modulação dois níveis, por exemplo, nota-se que a frequência de comutação é muito elevada em comparação a frequência da rede. Sendo que a capacitância parasita representa uma alta impedância para uma fonte de baixa frequência, entende-se que a corrente de fuga capacitiva é infimamente afetada pela tensão da rede. Logo, é possível desconsiderá-la no cálculo da corrente de fuga.

Cabe observar que o estudo da influência da tensão da rede sobre a corrente em questão pode ser relevante, por exemplo, em casos onde a capacitância parasita é elevada e já foram solucionadas as grandes influências de alta frequência.

Conforme os passos adotados em [7] o circuito pode ser analisado pelo teorema da superposição, considerando a contribuição de cada fonte na corrente de fuga. Optou-se, porém, em verificar o circuito equivalente de Thévenin. Em vista disso, verificam-se através da Figura 1.4 os circuitos para a determinação da impedância e da tensão de circuito aberto de Thévenin.

Figura 1.4 – Circuito para a determinação da (a) impedância de Thévenin e da (b) tensão de circuito aberto de Thévenin.



Fonte: Elaborada pelo autor (2020).

Sabendo que a impedância indutiva é dada por (1.1), verifica-se a impedância de Thévenin em (1.2).

$$Z_L = j2\pi fL \tag{1.1}$$

$$Z_{TH} = j2\pi f\left(\frac{L_A L_B}{L_A + L_B}\right) \tag{1.2}$$

Realizando o equacionamento da malha para V_{TH}, da Figura 1.4(b), obtém-se (1.3). Desenvolvendo esta equação, constata-se a tensão de circuito aberto de Thévenin em (1.4).

$$V_{TH} = V_{A0} - j2\pi fL_A I_A \tag{1.3}$$

$$V_{TH} = \frac{V_{A0}L_B + V_{B0}L_A}{L_A + L_B} \tag{1.4}$$

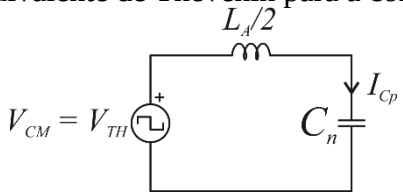
Quanto a esses indutores, observa-se que as topologias podem ser divididas entre estruturas baseadas em indutores simétricos e assimétricos. Isso quer dizer que se L_A ou L_B for igual a zero, se trata de uma topologia assimétrica, se L_A for igual a L_B, simétrica [31]. Sendo assim, considerando um conversor simétrico, Z_{TH} pode ser dado por (1.5) e V_{TH} por (1.6).

$$Z_{TH} = j2\pi f\frac{L_A}{2} \tag{1.5}$$

$$V_{TH} = \frac{V_{A0} + V_{B0}}{2} \tag{1.6}$$

O circuito equivalente de Thévenin, demonstrado na Figura 1.5, apresenta a corrente de fuga capacitiva e V_{TH} como fonte que afeta diretamente esta corrente. Esta é a denominada tensão de modo comum (V_{CM}).

Figura 1.5 – Circuito equivalente de Thévenin para a corrente de fuga capacitiva.

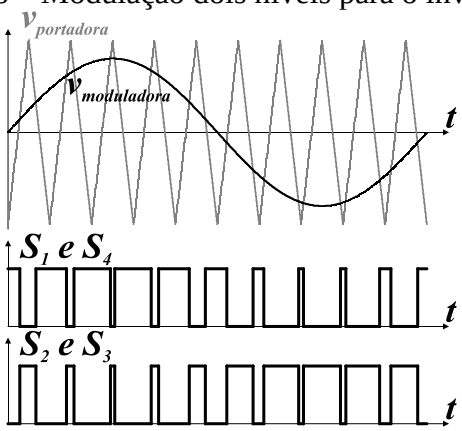


Fonte: Elaborada pelo autor (2020).

1.2.1 *Full Bridge* com modulação dois níveis

A estrutura básica do conversor ponte completa, como demonstrado na Figura 1.2, possui características distintas para diferentes estratégias de modulação. Se utilizada a estratégia dois níveis, dois transistores (S_1 e S_4) são comandados por um mesmo pulso enquanto os outros (S_2 e S_3) são acionados de modo complementar a este sinal. A Modulação por Largura de Pulso Senoidal (do inglês *Pulse Width Modulation* – PWM) é utilizada para a geração desses comandos, o que pode ser visto na Figura 1.6.

Figura 1.6 – Modulação dois níveis para o inversor FB.



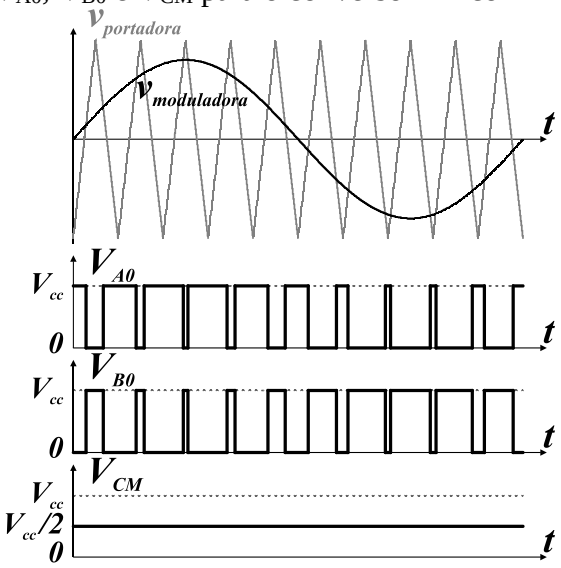
Fonte: Elaborada pelo autor (2020).

A tensão de modo comum, portanto, pode ser obtida como mostra a Figura 1.7. Nota-se que a cada etapa V_{A0} e V_{B0} alternam entre zero e V_{cc} de modo complementar, fazendo com que a tensão V_{CM} fique constante na metade do valor de V_{cc}. Uma vez que esta tensão é constante, a corrente de fuga capacitiva será excitada apenas pela rede, que por sua baixa frequência foi desconsiderada. Logo, esta será consideravelmente reduzida.

Embora essa possa ser uma grande vantagem, a utilização da modulação dois níveis apresenta uma forte desvantagem, a menor eficiência desse conversor. Isso é devido a troca de energia reativa entre a capacitância parasita e os filtros de saída, além das elevadas perdas no

núcleo dos filtros de saída, uma vez que a tensão V_{AB} não apresenta tensão zero, somente $+V_{cc}$ ou $-V_{cc}$ [8], [9].

Figura 1.7 – Tensão V_{A0}, V_{B0} e V_{CM} para o conversor FB com modulação dois níveis.



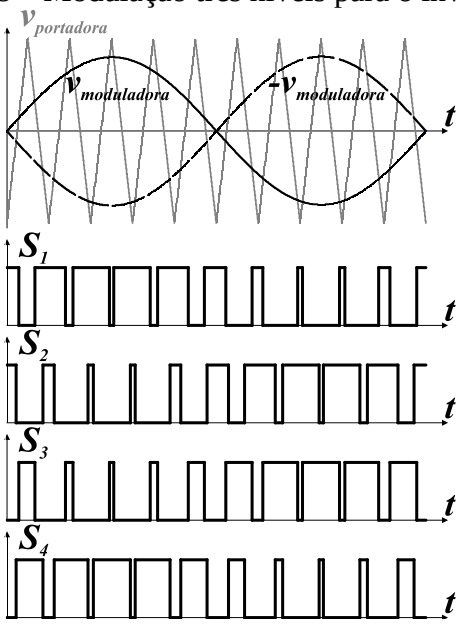
Fonte: Elaborada pelo autor (2020).

1.2.2 *Full Bridge* com modulação três níveis

Com a modulação três níveis, os interruptores são acionados separadamente. Dois pulsos de comando são gerados, um para cada braço, por uma onda triangular comparada ao sinal modulador senoidal e a este espelhado, o que pode ser visto na Figura 1.8. Os transistores de cada braço são acionados de modo complementar. Desta maneira, além das tensões $+V_{cc}$, durante o acionamento conjunto de S_1 e S_4, e $-V_{cc}$, comandando S_2 e S_3, surge a tensão zero em V_{AB}, que ocorre quando S_1 e S_3 ou S_2 e S_4 são acionados. Essa etapa é comumente chamada de roda livre. Isto faz com que as perdas no núcleo dos filtros de saída sejam reduzidas e o rendimento aumente [9].

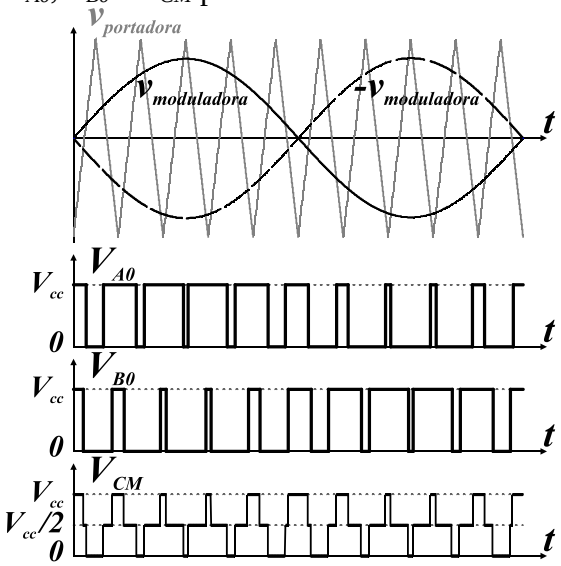
O rendimento mais elevado que vem atrelado a modulação três níveis é desejado, porém fazendo a verificação da tensão de modo comum neste caso, como apresentado na Figura 1.9, percebe-se que esta não é constante, como no caso anterior. Diferentemente da modulação dois níveis, V_{A0} e V_{B0} não são complementares, havendo momentos em que ambos então em zero ou V_{cc}. Isso faz com que surjam três níveis de tensão em V_{CM} , zero, $V_{cc}/2$ e V_{cc} na mesma frequência da comutação.

Figura 1.8 – Modulação três níveis para o inversor FB.



Fonte: Elaborada pelo autor (2020).

Figura 1.9 – Tensão V_{A0}, V_{B0} e V_{CM} para o conversor FB com modulação três níveis.



Fonte: Elaborada pelo autor (2020).

Portanto, constata-se que devido a essa tensão de modo comum, a corrente de fuga capacitiva possui componentes de alta frequência e picos que são proporcionais a essa variação de tensão e a capacitância parasita do sistema. Motivo pelo qual, usualmente se evita utilizar essa modulação em aplicações sem isolamento [6].

1.3 PROPOSTA DA TESE

O presente trabalho propõe um método para derivação de topologias não isoladas com aterramento comum. Para a eliminação da corrente de fuga capacitiva, as estruturas propostas utilizarão aterramento comum. Desse modo, o terminal neutro da rede elétrica é conectado diretamente a um dos polos da bateria, usualmente o negativo. Assim, diferentes estruturas que solucionam o problema da corrente de fuga capacitiva podem ser geradas, estudadas e avaliadas.

As topologias derivadas por esse método devem ser capazes de operar como interface da conexão de um banco de baterias estático à rede elétrica. Dessa maneira, os inversores propostos devem possuir a característica básica de injetar ou drenar uma corrente senoidal na saída do inversor, além de serem capazes de carregar e descarregar baterias. Ou seja, devem ser bidirecionais no fluxo de potência através da bidirecionalidade da corrente na entrada e na saída. Além disso, a capacidade de processar energia reativa é desejada, uma vez esta pode ser utilizada de forma inteligente para a estabilidade de sistemas.

1.3.1 *Objetivos e Contribuições*

1.3.1.1Objetivo geral

Propor um método para derivação de topologias não isoladas, com aterramento comum e capazes de conectar um banco de baterias à rede elétrica.

1.3.1.2Objetivos específicos

- Realizar revisão bibliográfica concernente a baterias e o surgimento da capacitância parasita em sistemas, bem como sobre topologias de inversores não isolados utilizados para redução ou eliminação da corrente de fuga capacitiva;
- Demonstrar a concepção de novas topologias utilizando o método proposto;
- Analisar teoricamente as novas topologias: etapas de operação, formas de onda ideais, dimensionamento de elementos, esforços de tensão e corrente, modelagem voltada para controle;

- Validar a análise teórica e as equações apresentadas através de simulação numérica;
- Utilizar a simulação em tempo real para validar as estratégias de controle escolhidas e para analisar respostas dinâmicas;
- Projetar, escolher ou construir componentes físicos de um conversor;
- Montar protótipo de uma das topologias propostas;
- Validar teoria apresentada através de experimentação prática;
- Verificar e avaliar os dados experimentais obtidos;
- Produzir documentação técnica para a divulgação de resultados.

1.3.1.3Contribuições

Este trabalho apresenta um método sistemático inédito na literatura. Realizando a sequência de quatro passos, diversas topologias CC-CC podem ser utilizadas para gerar inversores não isolados e com aterramento comum, próprios para conexão de sistemas de armazenamento de energia, ou fotovoltaicos, com a rede elétrica.

Além disso, com a abordagem de controle utilizada, apresenta uma generalização dos inversores propostos do ponto de vista de modelagem e sistema de controle.

Outra contribuição é apresentar dados de testes e medições sobre as capacitâncias parasitas em baterias de lítio, possibilitando que outros trabalhos possam estimar o valor total dessa capacitância em diferentes aplicações.

1.3.2 *Estrutura da Tese*

O presente trabalho é estruturado em 11 capítulos, os quais são descritos a seguir, com a exceção dos capítulos 1 e 11 que são de introdução e conclusão.

O capítulo 2 apresenta uma revisão bibliográfica sobre baterias, com o foco para o surgimento das capacitâncias parasitas. Apresenta-se com maior ênfase as baterias de lítio, que são as empregadas no estudo. Uma análise e experimentação são realizadas para a determinação do valor da capacitância parasita.

O capítulo 3 informa o estado da arte em relação a topologias CC-CA não isoladas conectadas à rede elétrica que fazem a redução ou supressão da corrente de fuga capacitiva.

As técnicas utilizadas para solucionar o problema da corrente de modo comum são elencadas e exemplificadas. Para cada técnica, três conversores são analisados. A escolha dos inversores analisados foi baseada em sua relevância neste tema, ano de publicação e número de citações.

No capítulo 4 apresenta-se a metodologia para a derivação de inversores não isolados com aterramento comum a partir de conversores CC-CC. Esta é desenvolvida de maneira geral e matematicamente explicada. São expostos os requisitos necessários para a utilização dos conversores CC-CC. Uma família de inversores é gerada através deste método.

O capítulo 5 exibe o funcionamento detalhado de cada inversor da família proposta. São demonstradas as formas de onda ideais, etapas de operação, equacionamento voltado para o dimensionamento de elementos, projeto de filtros e esforços de tensão e corrente.

O capítulo 6 mostra a análise dos inversores do ponto de vista da modelagem e controle. Apresenta-se a técnica não linear de controle por realimentação linearizante. Para cada inversor é aplicada esta técnica, resultando em um novo sistema de equações, sobre o qual são projetados os controladores.

No capítulo 7 os inversores são projetados para uma determinada especificação e são realizadas simulações numéricas para validar o funcionamento e o equacionamento descritos no capítulo 5.

No capítulo 8 são realizadas simulações em tempo real. Através do equipamento Typhoon HIL402 são implementadas as quatro topologias propostas. Verifica-se o conteúdo harmônico de cada corrente de saída e o comportamento dinâmico de cada inversor com o controlador implementado no DSP.

O capítulo 9 mostra o protótipo construído do inversor zeta. Este é testado desconectado da rede elétrica e verificam-se os resultados experimentais em malha aberta para cargas resistivas, indutivas e capacitivas. Com isso, a análise desses resultados é realizada.

O capítulo 10 apresenta uma comparação e breve discussão sobre as características dos quatro inversores propostos e outros inversores não isolados e com aterramento comum.

2 BATERIAS E CAPACITÂNCIAS PARASITAS: REVISÃO E TESTES

2.1 INTRODUÇÃO

O desempenho dos EVs é altamente impactado por sua bateria, determinando, por exemplo, a distância que ele poderá percorrer. Contudo, existe uma variedade de tecnologias de baterias, que possuem características distintas, tais como capacidade (Ah), energia específica (Wh/kg), densidade de energia (Wh/l), além de quesitos de segurança, entre outros fatores que tornam dessa uma decisão primordial [39].

As baterias são divididas em dois grupos, inicialmente, diferenciados pela sua capacidade de serem ou não recarregáveis eletricamente com facilidade. As primárias uma vez descarregadas são descartadas, já as secundárias são recarregadas através de uma corrente oposta a corrente de descarga [40]. Logo, em EVs ou sistemas de armazenamento de energia utilizam-se baterias secundárias.

Comumente as baterias secundárias são identificadas pelos elementos químicos que a compõem. Alguns exemplos são dados a seguir:

- Chumbo ácido (do inglês *lead-acid*) – Pb-acid.
- Íon-lítio (do inglês *lithium-ion*) – Li-ion.
- Níquel-cadmio (do inglês *nickel-cadmium*) – NiCd.
- Hidretos metálicos de níquel (do inglês *nickel-metal hydride*) – NiMH.
- Enxofre de sódio (do inglês *sodium sulfur*) – NaS.

Inventada em 1860 por Raymond Gaston Planté, as baterias de chumbo ácido são as mais populares dentre as baterias secundárias. O custo desse tipo de bateria é baixo, além disso, é fácil de ser fabricada e mais de 97% de todo chumbo utilizado é reciclado. Esses atributos prontamente explicam sua vasta aplicação e popularidade [40].

Porém, esta possui uma densidade de energia baixíssima, se comparada as outras tecnologias. Além disso, as baterias de chumbo ácido apresentam poucos ciclos de vida, aproximadamente 750, onde cada ciclo representa uma carga e uma descarga em condições nominais de operação. Deste modo, dependendo da sua utilização, a substituição dessa bateria será frequente [41].

Com isso, elas deram lugar as tecnologias de íon-lítio (do inglês *lithium-ion*) e de hidreto de metal níquel (do inglês *nickel metal hydride*) para liderar como principais elementos químicos para baterias com aplicação em veículos elétricos ou híbridos. Embora

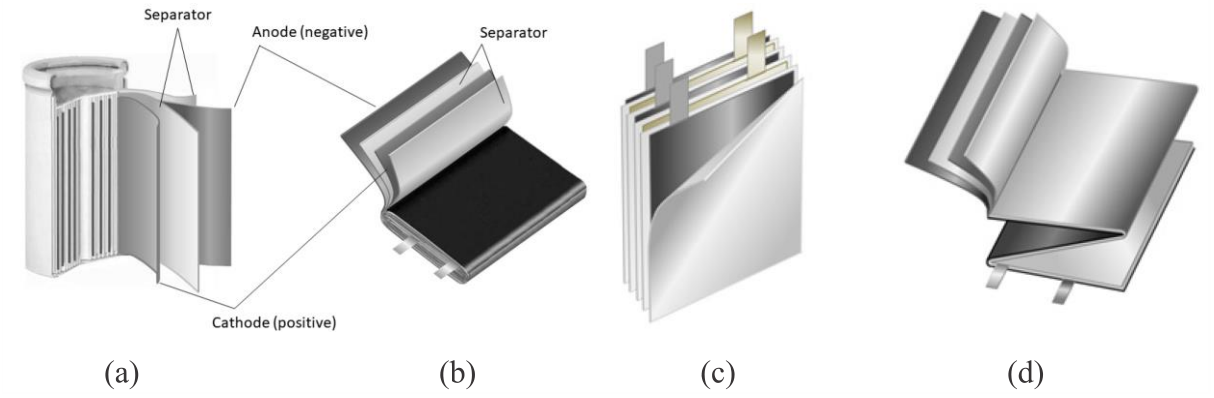
avanços com a tecnologia de baterias de chumbo ácido tenham sido reportados, dificilmente elas voltarão ao antigo patamar de elemento químico líder nesse seguimento [40].

2.2 DEFINIÇÕES E COMPOSIÇÃO BÁSICA DE BATERIAS DE LÍTIO

A célula é a estrutura eletroquímica mais básica de uma bateria. Formada por um eletrodo negativo, ou anodo, um eletrodo positivo, ou catodo, e pelo eletrólito. Ao conectar algum circuito aos eletrodos, estes sofrerão uma reação química, onde um deles libera elétrons, o anodo, e o outro recebe esses elétrons, o catodo. O eletrólito é o meio que provê um caminho para essa troca de cargas dentro da célula [40].

A montagem de células de lítio pode ser feita em diferentes formatos. Estas podem ser cilíndrica, pseudo-prismática ou prismática, como mostrado na Figura 2.1. Em todos estes formatos são utilizados separadores entre o anodo e o catodo para que não haja contato direto, a não ser pelo eletrólito [42].

Figura 2.1 – Formato de construção da célula lítio (a) cilíndrica, (b) pseudo-prismática, (c) prismática com chapas individuais e (d) prismática com dobra sanfonada.



Fonte: [42].

Essas células podem ser constituídas por eletrólito aquoso, denominadas células de íon-lítio, ou por eletrólito gelatinoso, chamadas de célula de polímero de lítio ou de íon-lítio. As de eletrólito aquoso devem possuir um invólucro rígido, enquanto as de eletrólito gelatinoso podem ser flexíveis, conforme demonstrado na Figura 2.2 e na Figura 2.3. Por serem menos propensas a pegar fogo, as células de polímero de lítio são consideradas mais seguras que as de íon-lítio [43].

Segundo [45], um bloco é formado quando duas ou mais células são ligadas em paralelo. A bateria, ou módulo, é formada pela ligação de blocos ou células em série. Já a associação de baterias em qualquer combinação, recebe o nome de *pack*.

Figura 2.2 – Célula de íon-lítio.



Fonte: [43].

Figura 2.3 – Célula de polímero de lítio.

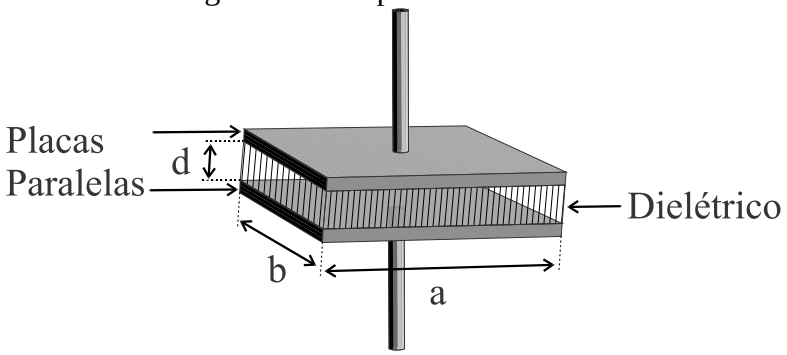


Fonte: [42], [44].

2.3 O SURGIMENTO DA CAPACITÂNCIA PARASITA

Um capacitor elementar é constituído por duas placas paralelas e sobrepostas, separadas por algum dielétrico, como apresentado na Figura 2.4. Sua capacitância pode ser calculada como demonstrado em (2.1).

Figura 2.4 – Capacitor elementar.



Fonte: Elaborada pelo autor (2020).

$$C = \varepsilon_o \varepsilon_r \frac{A}{d} \tag{2.1}$$

Onde:

ε_o: Constante de permissividade no vácuo (8,8542.10^{-12} F/m);

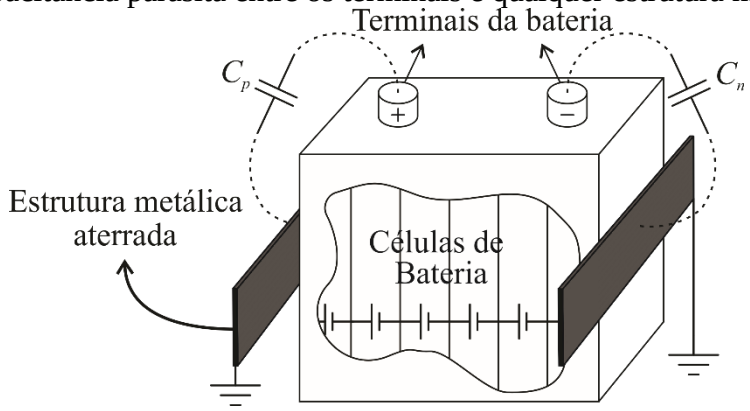
ε_r: Constante dielétrica;

A: Área da placa, dada pela multiplicação de a e b (m);

d: Distância entre as placas (m).

Na montagem das células de bateria, como pode ser observado na Figura 2.1, os terminais positivo e negativo são conectados a eletrodos feitos de chapas. Assim sendo, qualquer revestimento metálico paralelo a célula forma um capacitor com a chapa. Logo, uma capacitância parasita surge entre cada terminal e a estrutura metálica, como pode ser exemplificado de forma genérica na Figura 2.5.

Figura 2.5 – Capacitância parasita entre os terminais e qualquer estrutura metálica próxima.



Fonte: Elaborada pelo autor (2020).

Em [35] uma equação mais precisa para baterias de chumbo ácido é apresentada. Onde, no cálculo da área ainda leva em consideração a quantidade e espessura dos

separadores e o comprimento da bateria. As medições realizadas comprovam a eficácia desse equacionamento.

2.4 BATERIA DE LÍTIO TESTADA

Para o estudo da capacitância parasita serão utilizadas neste trabalho baterias de polímero de lítio. Sendo estas de segunda vida, por terem sido utilizadas em um EV, o Leaf da Nissan. A reportagem a seguir, retirada de [46], apresenta mais detalhes sobre a aquisição dessas baterias.

> O **Laboratório Fotovoltaica** (Centro de Pesquisa e Capacitação em Energia Solar da Universidade Federal de Santa Catarina) e a **Nissan do Brasil** assinaram, na última sexta-feira, 3 de agosto, memorando de entendimento que tem como objetivo iniciar estudos para soluções futuras para as baterias usadas de veículos elétricos. [...] Os convênios a serem firmados no futuro, a partir da assinatura do memorando, permitirão que a fabricante japonesa de automóveis e o grupo de pesquisa da UFSC testem as aplicações dessas baterias. Para tal, a Nissan vai fornecer à UFSC, inicialmente, seis conjuntos de baterias de veículos Nissan Leaf, que foram usados como táxis em São Paulo e no Rio de Janeiro como parte de um projeto especial da empresa entre 2012 e 2016.

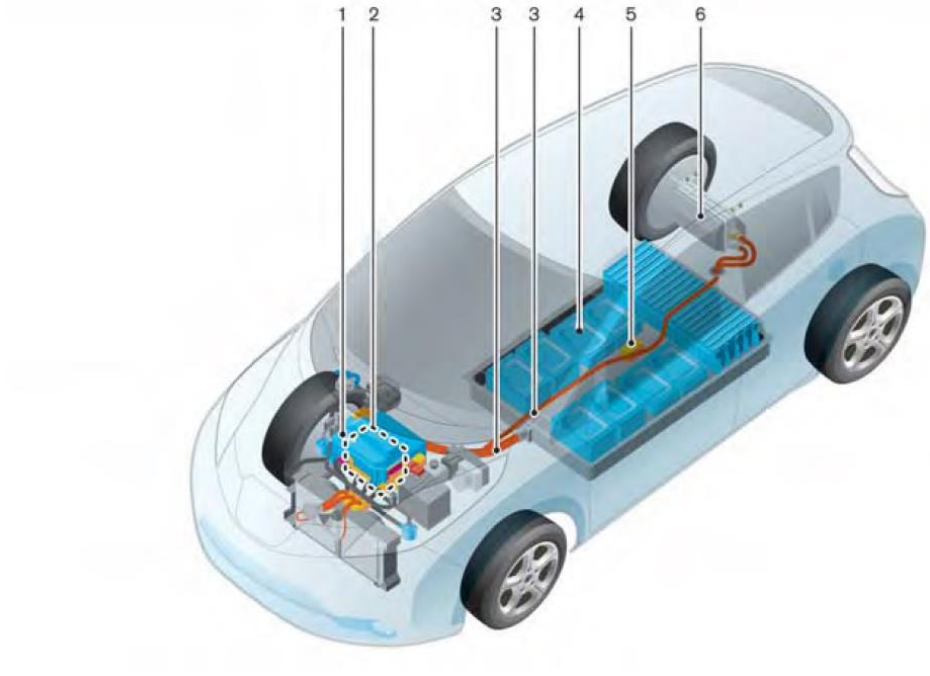
Dois tipos de baterias são utilizados nesse veículo. Uma bateria de 12 V, como as encontradas em veículos a combustão, que sustentam o sistema e os recursos diversos do veículo. Já as outras, de íon-lítio, proveem uma tensão elevada e alimentam o motor de tração elétrico, além de recarregarem as baterias de 12 V [47]. Essas baterias Li-ion formam um *pack*, Figura 2.6, este fica disposto na parte inferior do EV, como demonstrado na Figura 2.7.

Figura 2.6 – *Pack* de baterias Li-ion do Nissan Leaf 2011.



Fonte: [48].

Figura 2.7 – Componentes de alta tensão do Nissan Leaf 2012.



Fonte: [47].

Poucas informações são dadas a respeito dessa bateria, a qual é exibida na Figura 2.8. A própria fabricante, *Automotive Energy Supply Corporation*, não disponibiliza documentos específicos com dados técnicos. Contudo, alguns dados podem ser obtidos em sites de revenda e fóruns [49], [50]. Esses dados são apresentados a seguir.

Figura 2.8 – Módulo Li-ion Nissan Leaf 2012.



Fonte: Elaborada pelo autor (2020).

- Identificação: *Gen 1 Nissan LEAF Battery*

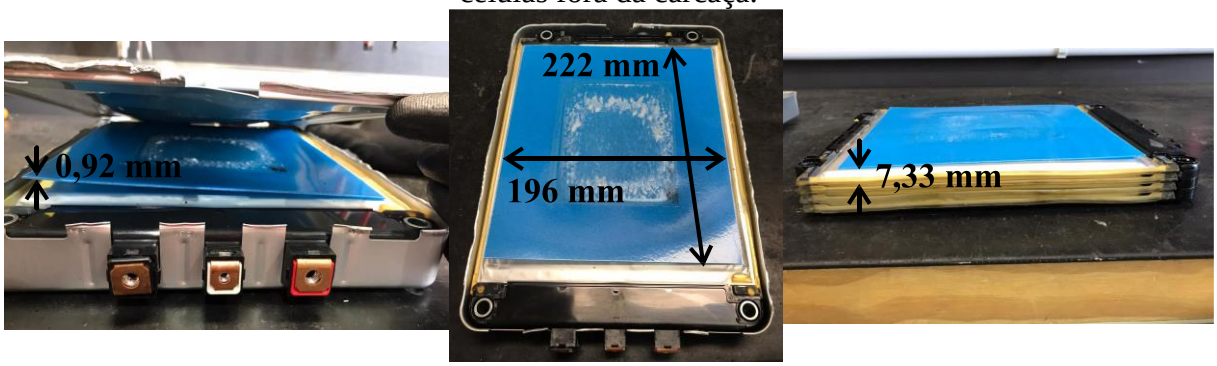
- Tensão nominal do módulo: 7,6 V;

- Capacidade: 64 Ah

- Composição da célula: $LiMn_2O_4/LiNiO_2$ (catodo), grafite (anodo), $LiPF_6$ tipo EC (eletrólito), separador seco Celgard PP.

Questões mais aprofundadas a respeito de aspectos construtivos não foram encontradas. Portanto, um módulo foi aberto para observação e medição. Algumas etapas são mostradas na Figura 2.9.

Figura 2.9 – Abertura de um módulo, (a) retirando a tampa superior, (b) vista superior e (c) células fora da carcaça.



(a) (b) (c)

Fonte: Elaborada pelo autor (2020).

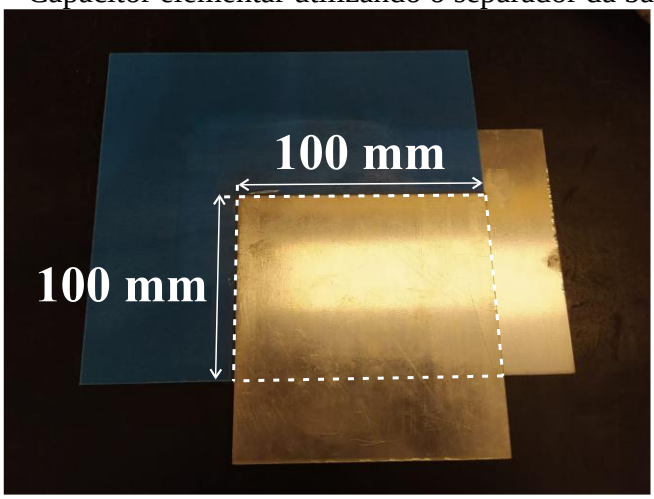
Verifica-se, portanto, que este módulo é constituído de 4 células, sendo duas ligadas em paralelo, em série com outras duas em paralelo, ou seja, dois blocos em série. Existe um separador externo de 0,92 mm de espessura que impede o contato direto da célula com a carcaça metálica. As placas dentro das células possuem uma dimensão aproximada de 196 x 222 mm. A espessura de cada célula fica em torno de 7,33 mm.

Por não se conhecer o material que faz a separação entre as células e a carcaça, um capacitor elementar foi construído, o qual pode ser visto na Figura 2.10. Este foi examinado através do analisador de impedância E4990A da Keysight, Figura 2.11. Dessa maneira, conhecendo a área das placas sobrepostas, a distância entre elas e o valor da capacitância gerada, por meio da equação dada anteriormente em (2.1), encontra-se a constante dielétrica do material como sendo 1,7352.

Ponderando que as chapas de eletrodo mais próximas a carcaça são as que geram as capacitâncias parasitas, duas são formadas. Sendo uma com a tampa superior, que está levantada na Figura 2.9(a), e outra com a parte inferior da carcaça. Utilizando os dados

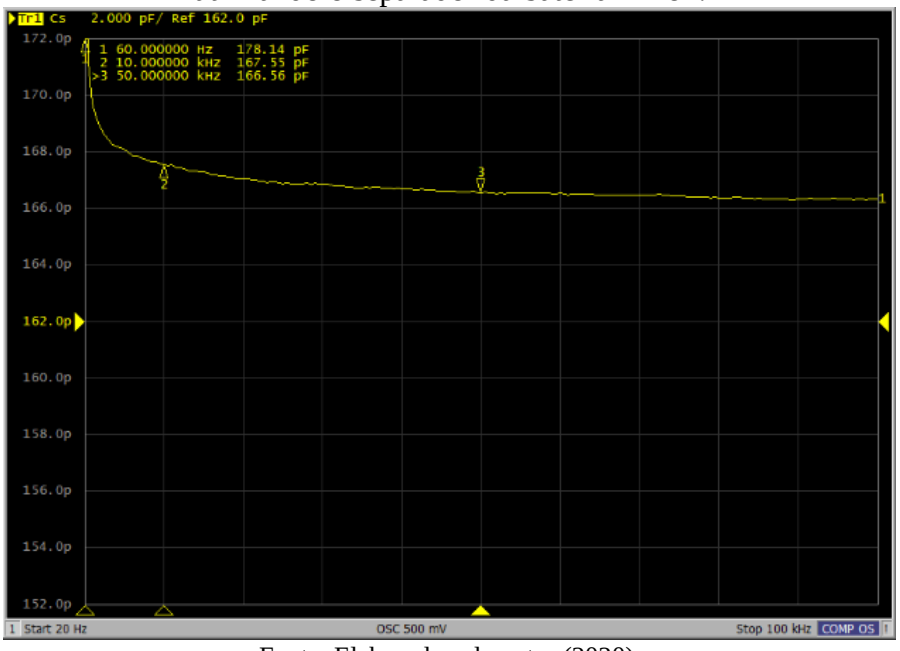
mencionados anteriormente na equação (2.1), obtém-se duas capacitâncias parasitas de 727 pF.

Figura 2.10 – Capacitor elementar utilizando o separador da bateria Li-ion.



Fonte: Elaborada pelo autor (2020).

Figura 2.11 – Capacitância obtida no analisador de potência para o capacitor elementar utilizando o separador da bateria Li-ion.

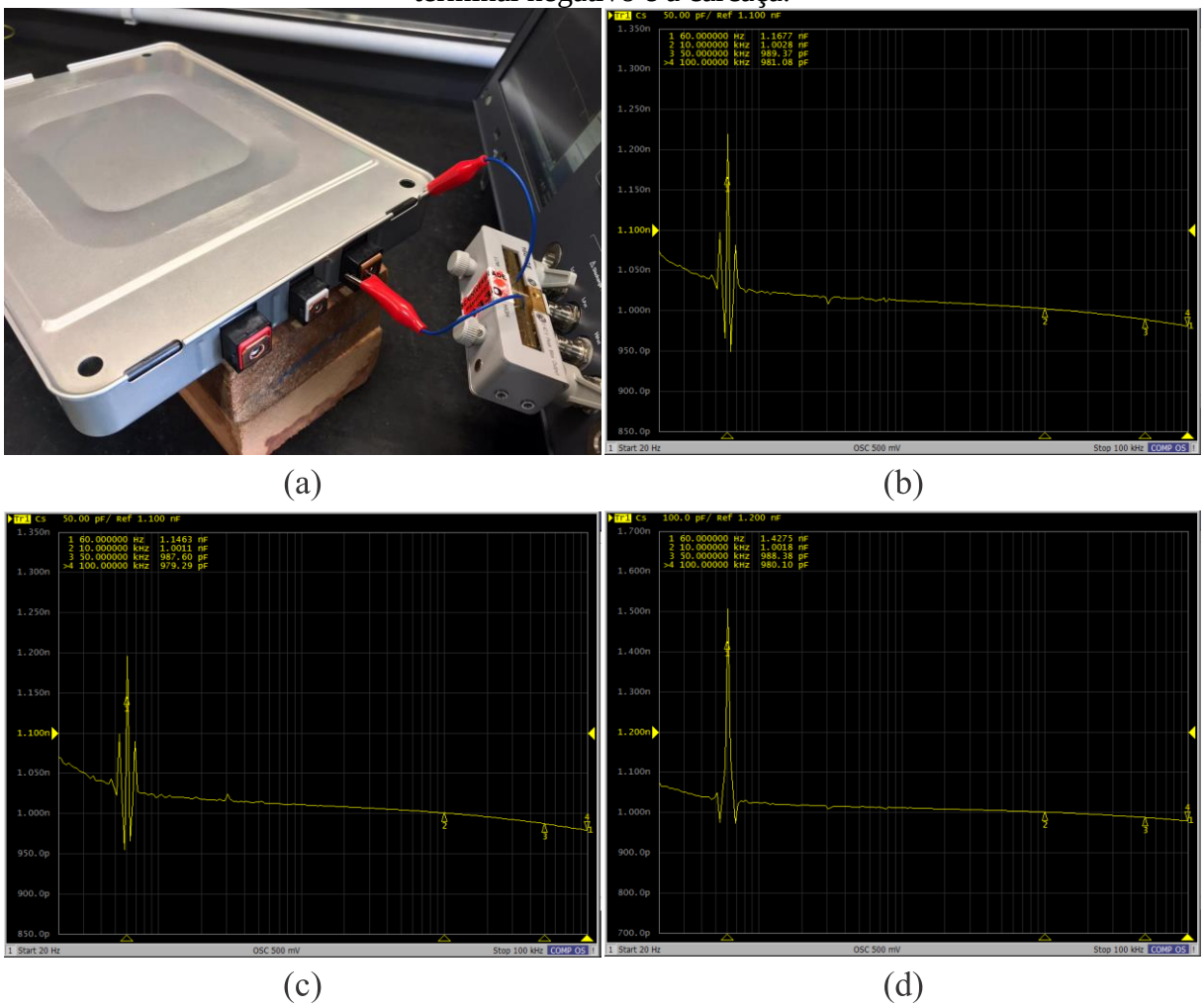


Fonte: Elaborada pelo autor (2020).

Assim como verificada a capacitância do capacitor elementar, utiliza-se o analisador de impedância para se obter o valor da capacitância parasita existente nesses módulos. A Figura 2.12 apresenta a medição realizada entre os terminais positivo, intermediário e negativo em relação a carcaça. Nota-se que apesar da ondulação que surge em 60 Hz, o valor

dessa capacitância permanece entre 1,08 e 0,97 nF. Estima-se que esta ondulação seja interferência da rede elétrica captada pelo invólucro de metal não aterrado. Portanto, desconsiderando-a, obtém-se uma capacitância parasita de aproximadamente 1 nF.

Figura 2.12 – (a) Medição da capacitância parasita existente em uma bateria (b) entre o terminal positivo e a carcaça, (c) entre o terminal intermediário e a carcaça e (d) entre o terminal negativo e a carcaça.



Fonte: Elaborada pelo autor (2020).

Embora uma pequena diferença surja dentre as medições de um terminal para outro, o analisador faz a leitura da capacitância total. Ou seja, a somas de todas as capacitâncias parasitas.

Essas medições são realizadas para outras baterias com a finalidade de observar alguma diferença na leitura da capacitância obtida. São analisadas outras duas baterias que faziam parte do mesmo pack, ou seja, de um mesmo veículo, e uma bateria de um veículo

diferente. Contudo, as medições apresentam pouca divergência. Os resultados podem ser examinados no APÊNDICE A.

2.5 UM BREVE EXEMPLO

Em recente implementação no Laboratório Fotovoltaica da UFSC utilizaram-se dois *packs* de 105 módulos de segunda vida cada para a criação de um Sistema de Armazenamento de Energia em Baterias (do inglês *Battery Energy Storage Systems* – BESS), o qual pode ser visto na Figura 2.13. Além das baterias de segunda vida também foram inseridas baterias de primeira vida, para fins de comparação. Pondera-se, portanto, que este sistema possui uma capacitância parasita total de, pelo menos, 210 nF, sendo que foram considerados apenas os 210 módulos de segunda vida.

Figura 2.13 – Baterias de segunda vida compondo um BESS implementado no Laboratório Fotovoltaica da UFSC.



Fonte: Elaborada pelo autor (2022).

2.6 CONCLUSÕES

As baterias de lítio já estão sendo utilizadas amplamente em EVs. Contudo, é uma tecnologia que ainda está sendo estudada, haja vista os trabalhos recentes apresentados nesse capítulo. Tanto a análise da capacitância parasita presente nesses módulos quanto o

desenvolvimento de uma equação geral para esta são atuais e colaboram para a construção do conhecimento desse tema.

Considera-se que o presente trabalho visa a aplicação de baterias de segunda vida para a construção de um banco de armazenamento. Para tanto, combinações elétricas de módulos são realizadas. A capacitância parasita presente nesse banco será de aproximadamente 1 nF por módulo, logo, precauções quanto a corrente de fuga capacitiva devem ser tomadas.

3 REVISÃO DAS TOPOLOGIAS DE INVERSORES NÃO ISOLADAS COM ATERRAMENTO COMUM

3.1 INTRODUÇÃO

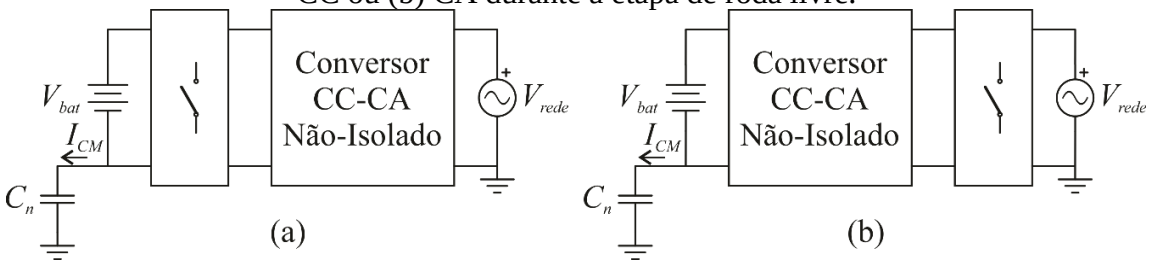
Muitas são as variáveis que podem ser levadas em consideração durante a escolha de uma topologia de conversor para uma aplicação específica. Sendo que cada conversor apresenta vantagens e desvantagens, a busca por características mais rigorosas conduz a novas estruturas, derivações e estratégias.

Com a finalidade de se manter as vantagens de uma estrutura não isolada e mitigar os problemas com a corrente de modo comum, diferentes trabalhos foram realizados. Basicamente, as estruturas de novos conversores propostos podem ser categorizadas em: grampeamento da tensão de modo comum, desacoplamento durante a etapa de roda livre ou aterramento comum [15]-[18].

Outros estudos ainda escolhem analisar o efeito da modulação sobre a tensão de modo comum, atentando para diferentes estratégias de comutação para se obter um resultado satisfatório [22], [51]-[56].

Tendo como propósito impedir interações entre os elementos do conversor com as capacitâncias parasitas, as estratégias de desacoplamento provêm a desconexão do caminho de interação ou um outro caminho de menor impedância. Devido as não idealidades dos transistores de potência, não é possível uma conexão ou desconexão perfeita, contudo apresenta uma melhora do ponto de vista da corrente de fuga capacitiva [6]. Esses métodos podem ser realizados do lado CC, como apresentado na Figura 3.1(a), ou do lado da CA, Figura 3.1(b).

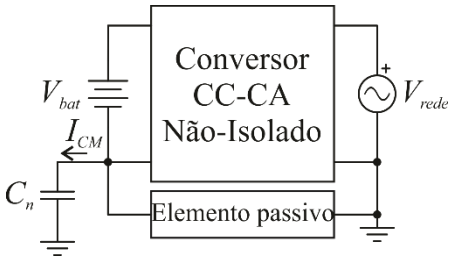
Figura 3.1 – Estrutura geral de conversores que utilizam a estratégia de desacoplamento (a) CC ou (b) CA durante a etapa de roda livre.



Fonte: Elaborada pelo autor (2020).

Outra possibilidade opta por dispor um caminho livre de semicondutores entre o lado CA e o lado CC, gerando assim um caminho sólido que grampeia a tensão de modo comum [12], [57]. Dessa maneira, comumente nessa estratégia, a capacitância parasita fica submetida a alguma pequena variação de tensão apenas em baixa frequência, diminuindo assim a corrente de fuga. Uma visão geral dessa estrutura é mostrada na Figura 3.2.

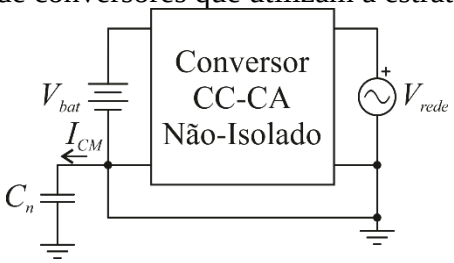
Figura 3.2 – Estrutura geral de conversores que utilizam a estratégia de grampeamento da tensão de modo comum.



Fonte: Elaborada pelo autor (2020).

Topologias de aterramento comum, contudo, tem ganhado maior destaque, uma vez que outras técnicas não eliminam a corrente de fuga completamente [15]-[18]. A conexão direta entre o lado CA e o lado CC curto-circuita a capacitância parasita, como pode ser visto na Figura 3.3.

Figura 3.3 – Estrutura geral de conversores que utilizam a estratégia de aterramento comum.



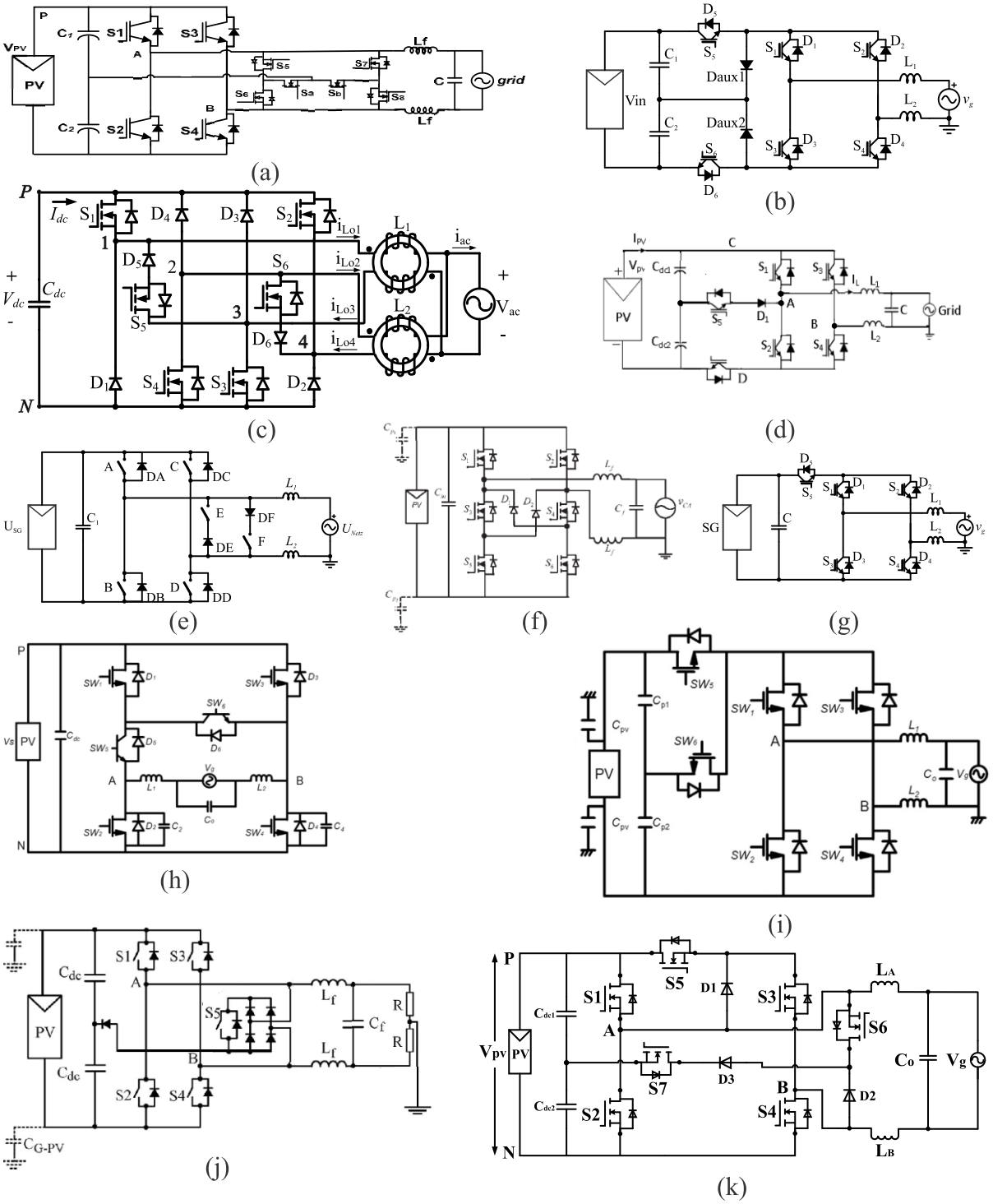
Fonte: Elaborada pelo autor (2020).

A seguir são discutidas e demonstradas com exemplos cada uma das estratégias citadas.

3.2 DESACOPLAMENTO DURANTE A ETAPA DE RODA LIVRE

A Figura 3.4 apresenta exemplos de topologias que foram propostas como solução para a corrente de fuga capacitiva. Conforme mencionado anteriormente, nota-se que a massiva parte das propostas são para aplicações em sistemas fotovoltaicos.

Figura 3.4 – Topologias de desacoplamento; (a) Inversor sugerido em [11], (b) H6 [58], [59], (c) Inversor sugerido em [60], (d) Inversor sugerido em [61], (e) HERIC [62], [63], (f) H6 AC bypass [64], (g) H5 [65], (h) Inversor sugerido em [14], (i) oH5 [66], (j) FB-ZVR [67], (k) Inversor sugerido em [24].



Fonte: [11], [14], [21], [24, [60], [61], [67] e adaptados de [58], [62], [65].

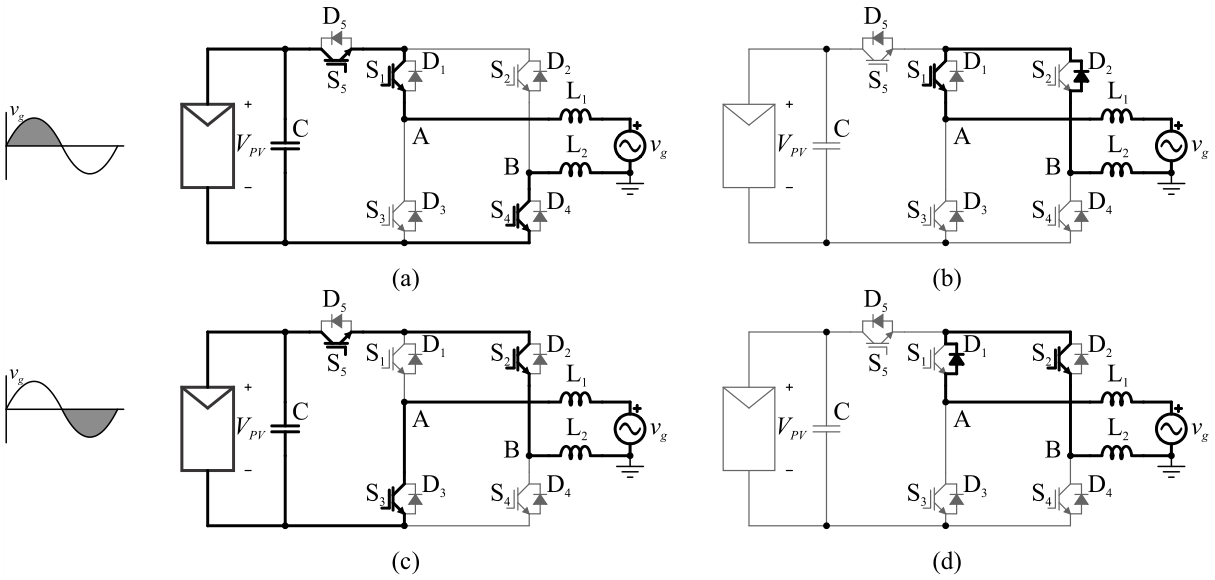
As topologias H5, HERIC e H6 dentre os exemplos citados nessa figura são analisados a seguir.

3.2.1 Topologia H5

Por acrescentar um transistor ao FB convencional, também conhecida como Ponte H, este conversor recebeu a denominação de inversor H5. Foi proposto e patenteado pela SMA em 2005 e é demonstrado na Figura 3.4(g) [6], [9], [65]. É atualmente comercializado em uma serie cujo nome é *Sunny Boy* [38].

Duas etapas de operação por semiciclo podem ser observadas. Isso é verificado na Figura 3.5. O método de modulação utilizado para se obter esse comportamento é expresso na Figura 3.6.

Figura 3.5 – Etapas de operação do H5: (a) Tensão positiva, $V_{AB} = +V_{PV}$, (b) roda livre para o semiciclo positivo, $V_{AB} = 0$ V, (c) tensão negativa, $V_{AB} = -V_{PV}$ e (d) roda livre para o semiciclo negativo, $V_{AB} = 0$ V.



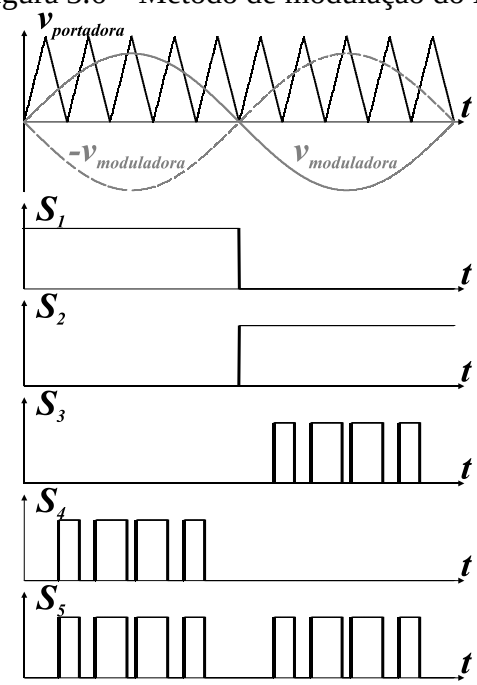
Fonte: Elaborada pelo autor (2020).

Observa-se que durante a etapa de roda livre, o transistor S_5 está bloqueado. Portanto, a tensão CC, V_{PV}, é dividida em dois transistores durante essa etapa. Tomando por exemplo o transistor S_3, durante o semiciclo positivo a tensão sobre ele será V_{PV} ou $V_{PV}/2$, pela análise da Figura 3.5(a) e (b), consecutivamente. Enquanto para o semiciclo negativo, conforme a Figura 3.5(c) e (d), esta será 0 ou $V_{PV}/2$. Dessa maneira, a Figura 3.7 apresenta a tensão de modo comum obtida, desconsiderando a influência da rede elétrica.

Verifica-se que a tensão de modo comum é mantida constante na metade do valor da tensão CC. Contudo, ainda três fatores afetam a corrente de fuga capacitiva nessa topologia. Primeiramente, a divisão da tensão V_{PV} em dois transistores durante as etapas de roda livre

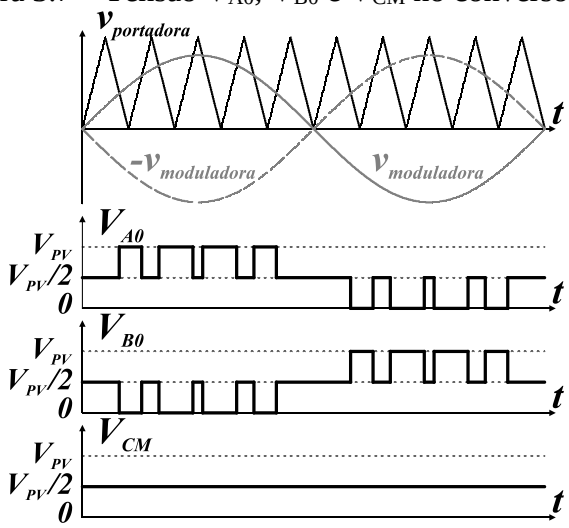
pode ser desbalanceada, o que quer dizer que a tensão de modo comum pode ficar um pouco acima ou abaixo de $V_{PV}/2$ durante esta etapa. A tensão da rede que foi desconsiderada por estar em baixa frequência se torna uma influência relevante na corrente de fuga capacitiva, uma vez dada a solução para a alta frequência. Além disso, cabe salientar que as não idealidades dos transistores e de todo o seu circuito de acionamento fazem com que ruídos em alta frequência surjam na tensão de modo comum.

Figura 3.6 – Método de modulação do H5.



Fonte: Elaborada pelo autor (2020).

Figura 3.7 – Tensão V_{A0}, V_{B0} e V_{CM} no conversor H5.



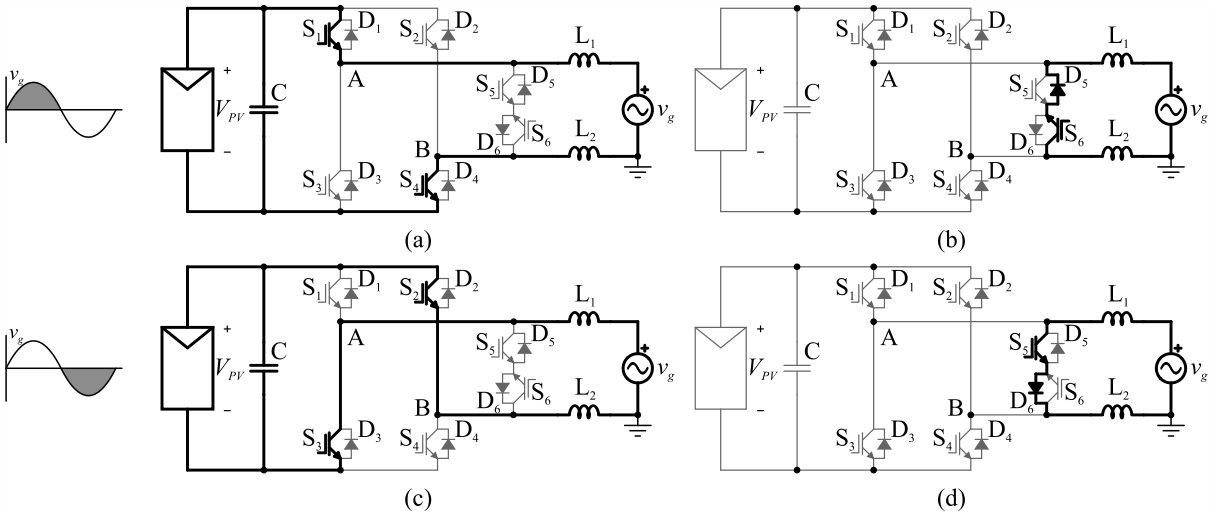
Fonte: Elaborada pelo autor (2020).

3.2.2 Topologia HERIC

O Conceito de Inversor Altamente Eficiente e Confiável (do inglês *Highly Efficient and Reliable Inverter Concept*), conversor HERIC, como é conhecido, foi patenteado em 2003. Este pode ser visto na Figura 3.4(e). Comercialmente é empregado na *NT-series* da fabricante *Sunway* [14], [68].

Dois transistores são acionados simultaneamente para impor a tensão do barramento CC positiva ou negativa na saída da ponte, como ocorre no FB dois níveis. Contudo, dois transistores são inseridos no lado CA para realizar a etapa de roda livre. Essas etapas são demonstradas na Figura 3.8 e a estratégia de modulação na Figura 3.9. Nota-se que cada par de transistores da ponte comuta em alta frequência durante um semiciclo apenas, enquanto os transistores do lado CA operam em baixa frequência.

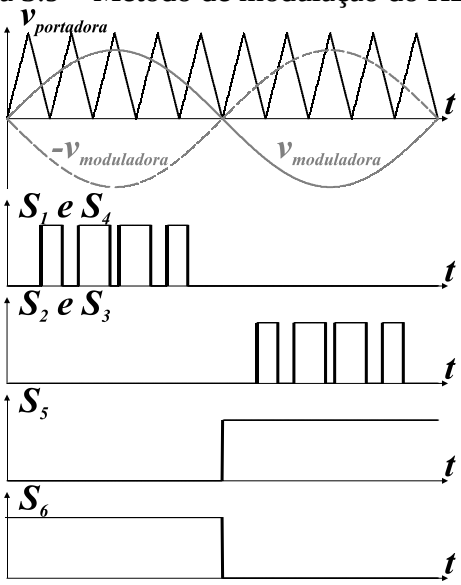
Figura 3.8 – Etapas de operação do HERIC: (a) Tensão positiva, $V_{AB} = +V_{PV}$, (b) roda livre para o semiciclo positivo, $V_{AB} = 0$ V, (c) tensão negativa, $V_{AB} = -V_{PV}$ e (d) roda livre para o semiciclo negativo, $V_{AB} = 0$ V.



Fonte: Elaborada pelo autor (2020).

Quando ocorrem as etapas de roda livre todos os transistores da ponte estão bloqueados, logo a tensão do lado CC, V_{PV}, é dividida entre os dois transistores de cada braço. Realizando a análise da tensão de modo comum identificam-se as mesmas formas de onda apresentadas para o H5 na Figura 3.7. E, de modo semelhante, as mesmas observações quanto as não idealidades do circuito e a influência da rede na tensão de modo comum podem ser feitas aqui.

Figura 3.9 – Método de modulação do HERIC.

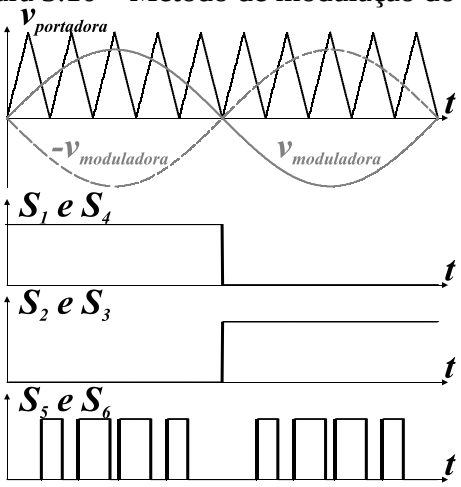


Fonte: Elaborada pelo autor (2020).

3.2.3 Topologia H6

Popularmente conhecido como H6, o conversor da Figura 3.4(b) opera com os transistores da ponte em baixa frequência, como visto na Figura 3.10. A comutação em alta frequência é empregada apenas por S_5 e S_6. Os diodos auxiliares, D_{aux1} e D_{aux2}, servem para grampear a tensão V_{A0} e V_{B0} em $V_{PV}/2$ durante as etapas de roda livre. Percebe-se também que durante esta etapa a corrente é dividida por toda a ponte. Isso pode ser visto na Figura 3.11 [58], [69].

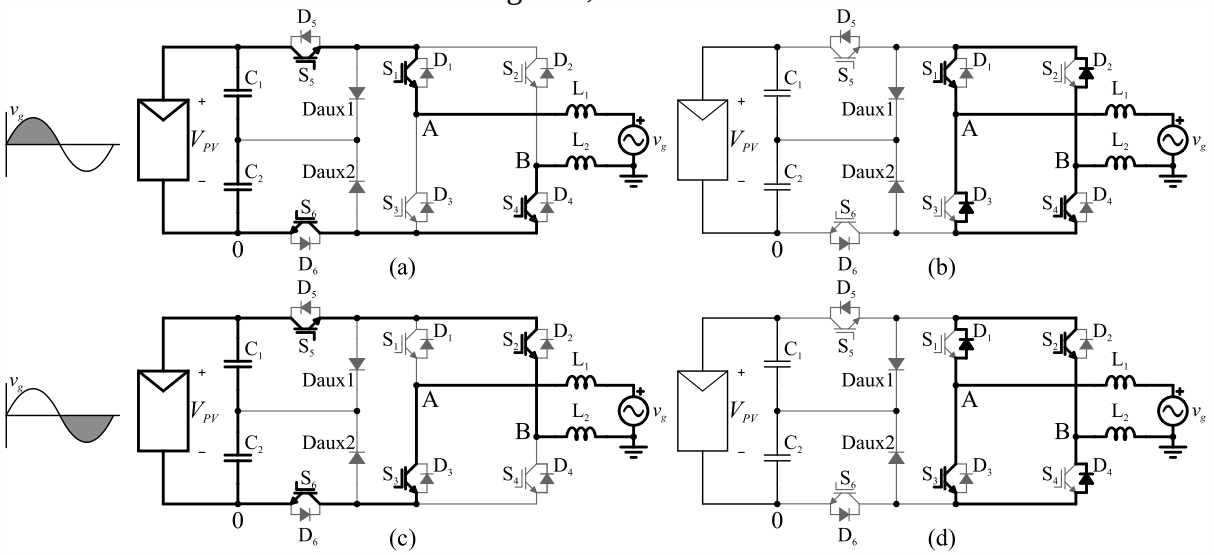
Figura 3.10 – Método de modulação do H6.



Fonte: Elaborada pelo autor (2020).

A tensão de modo comum é a mesma que a apresentada para o H5 na Figura 3.7. Contudo, o problema do desbalanço na divisão da tensão é resolvido pelo grampeamento das tensões V_{A0} e V_{B0} nas etapas de roda livre. Isso faz com que este obtenha a menor corrente de fuga dentre os três conversores apresentados, embora seja o que possui a maior perda em condução, pois a corrente passa por 4 transistores durante as etapas (a) e (c) da Figura 3.11. Consequentemente também é o que possui menor rendimento [6], [66].

Figura 3.11 – Etapas de operação do H6: (a) Tensão positiva, $V_{AB} = +V_{PV}$, (b) roda livre para o semiciclo positivo, $V_{AB} = 0$ V, (c) tensão negativa, $V_{AB} = -V_{PV}$ e (d) roda livre para o semiciclo negativo, $V_{AB} = 0$ V.



Fonte: Elaborada pelo autor (2020).

3.3 GRAMPEAMENTO DA TENSÃO DE MODO COMUM

Topologias que utilizam a estratégia de grampeamento da tensão de modo comum frequentemente possuem um ponto de conexão médio do lado CC. Isso pode ser observado nos conversores expostos na Figura 3.12. Dentre os quais, três são elencados para serem explicados com maiores detalhes, são estes o NPC, o Conergy NPC e o SIB *Buck-Boost*.

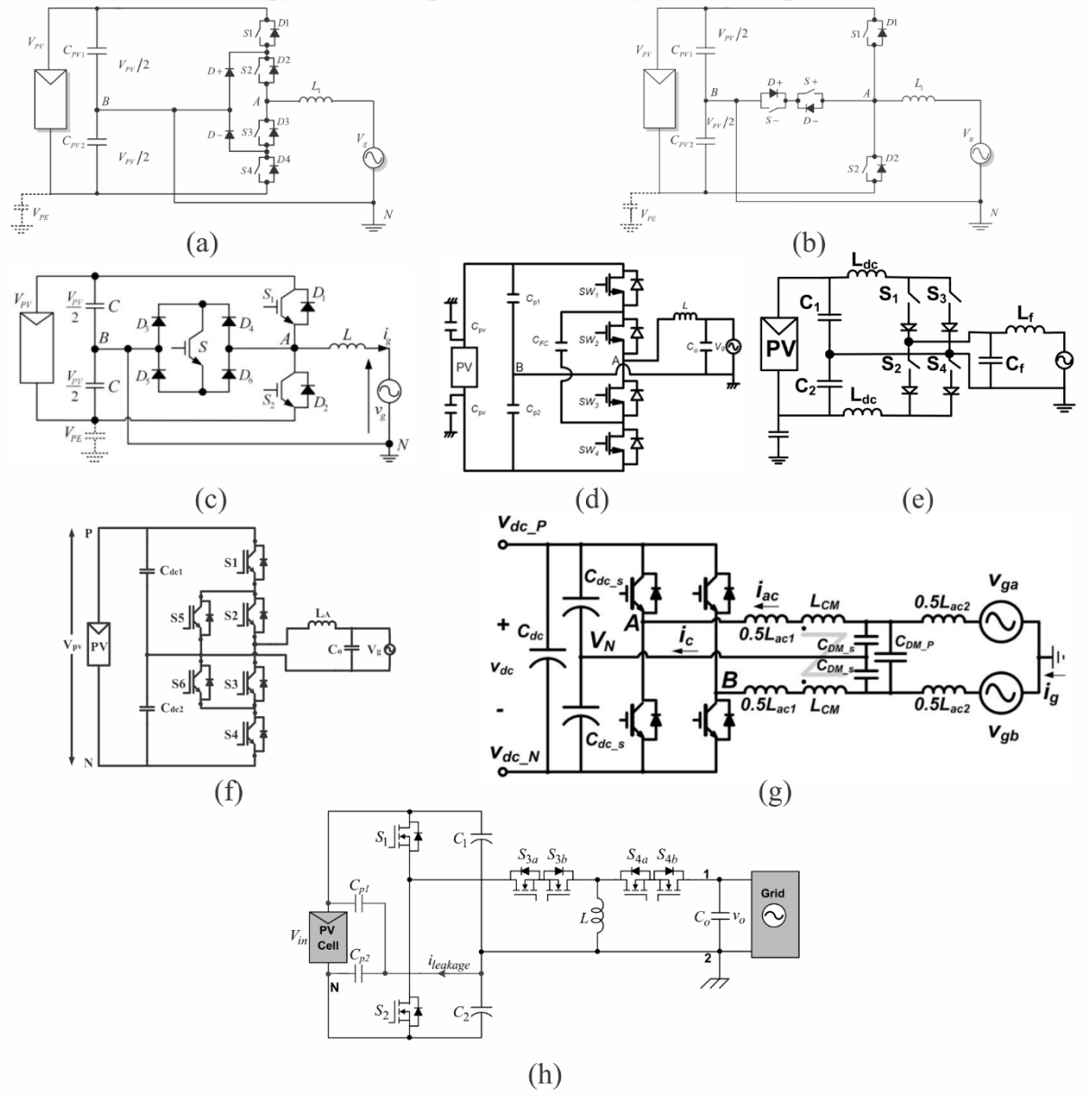
3.3.1 Topologia NPC

O conversor de três níveis NPC, demonstrado na Figura 3.12(a), é uma das topologias mais utilizadas e populares de conversores multiníveis [12], [78], [79]. Suas etapas de operação são expostas na Figura 3.13 para uma modulação unipolar, como mostra a Figura

3.14. Logo, a saída V_{AN} apresenta três níveis. Contudo, necessita do dobro da tensão de entrada comparado a um FB, para uma mesma aplicação [21].

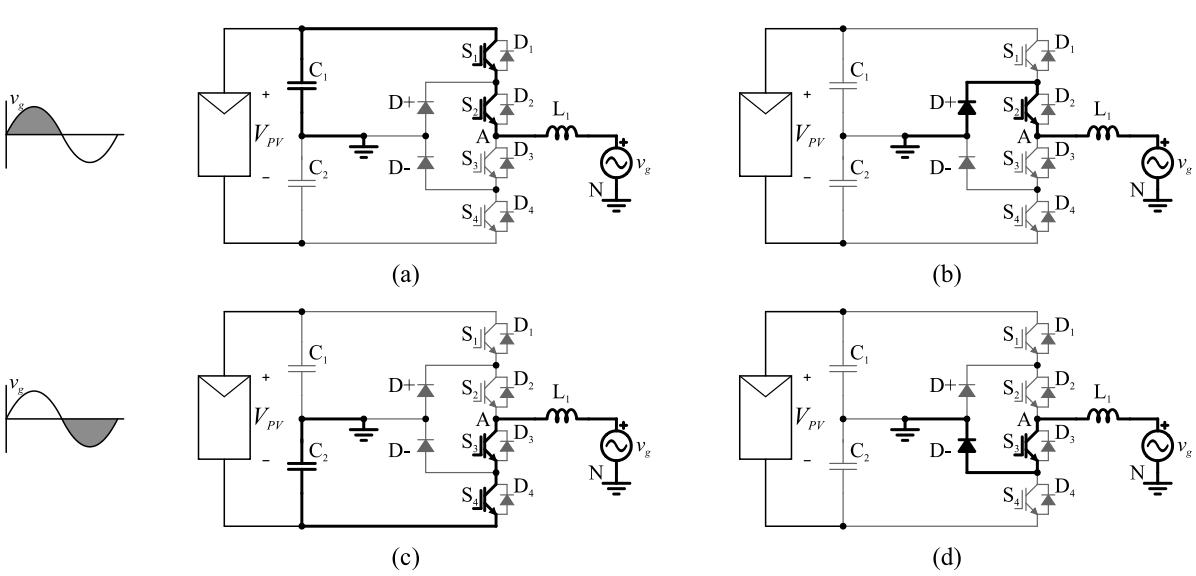
Sendo o ponto médio dos capacitores um local de conexão fixa com o aterramento, observa-se que a capacitância parasita está em paralelo com o capacitor C_2. Desse modo, a tensão de modo comum será igual a v_{C2}, que possui uma pequena variação em alta e baixa frequência. Portanto, a corrente de fuga capacitiva poderá ser considerada próxima de zero.

Figura 3.12 – Topologias de grampeamento; (a) NPC [70], (b) Conergy NPC [71], (c) BDS Conergy NPC [72], (d) *Flying Capacitor* NPC [73], (e) Inversor sugerido em [74], (f) Active NPC [75], (g) Inversor sugerido em [76], (h) Inversor sugerido em [77].



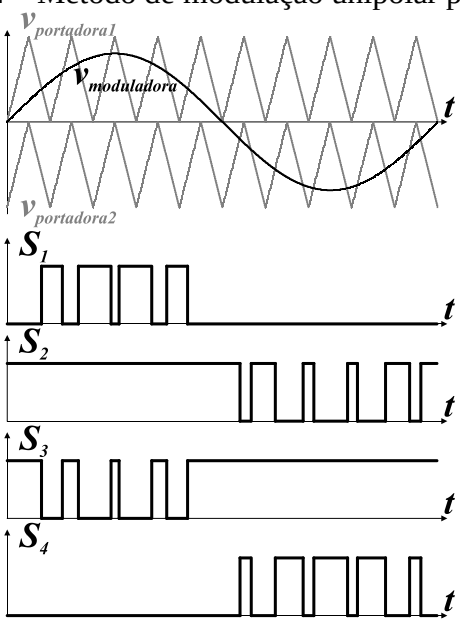
Fonte: [9], [12], [14], [72], [74], [76], [77].

Figura 3.13 – Etapas de operação do NPC: (a) Tensão positiva, $V_{AN} = +V_{PV}/2$, (b) roda livre para o semiciclo positivo, $V_{AN} = 0$ V, (c) tensão negativa, $V_{AN} = -V_{PV}/2$ e (d) roda livre para o semiciclo negativo, $V_{AN} = 0$ V.



Fonte: Elaborada pelo autor (2020).

Figura 3.14 – Método de modulação unipolar para o NPC.



Fonte: Elaborada pelo autor (2020).

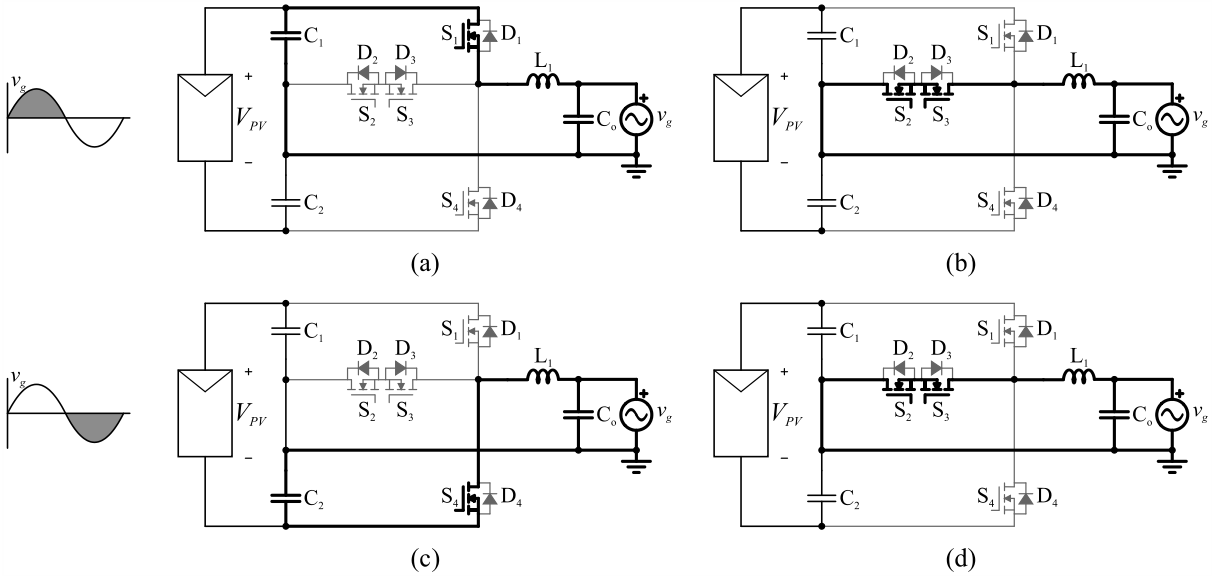
3.3.2 Topologia Conergy NPC

Várias derivações do NPC foram propostas com o intuito de solucionar os problemas de distribuição de perdas nos semicondutores, melhorar o rendimento, permitir a injeção de reativos, entre outros. Alguns exemplos são o NPC Ativo (do inglês *Active* NPC – ANPC), o

com Capacitor Flutuante (do inglês *Flying Capacitor* – FC NPC) e o Tipo T (do inglês *T-Type* NPC), que ficou conhecido como Conergy NPC, por ser a empresa que o patenteou. Esses exemplos citados estão na Figura 3.12(f), (d) e (b), respectivamente [12], [13], [69], [73], [80].

O Conergy NPC impõe tensão positiva a saída, V_{AN}, quando acionado S_1 e negativa quando acionado S_4. A tensão zero é obtida pela atuação de S_2 e S_3, assim como no NPC tradicional. Isso pode ser visto na Figura 3.15. A modulação utilizada é a mesma da Figura 3.14.

Figura 3.15 – Etapas de operação do Conergy NPC: (a) Tensão positiva, $V_{AN} = +V_{PV}/2$, (b) roda livre para o semiciclo positivo, $V_{AN} = 0$ V, (c) tensão negativa, $V_{AN} = -V_{PV}/2$ e (d) roda livre para o semiciclo negativo, $V_{AN} = 0$ V.



Fonte: Elaborada pelo autor (2020).

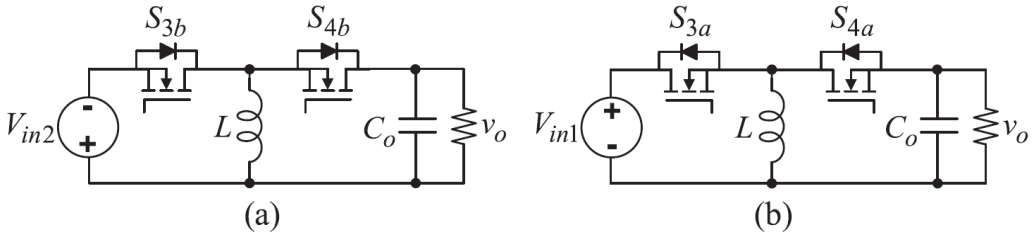
Cabe salientar que na utilização de Transistor Bipolar de Porta Isolada (do inglês *Insulated Gate Bipolar Transistor* – IGBT) como transistores dessa estrutura, a corrente passará por D_3 ao invés de S_3 na etapa (b) da Figura 3.15 e por D_2 no lugar de S_2 em (d).

3.3.3 Topologia SIB *Buck-Boost*

Apresentado em 2020 em [77], o inversor *Buck-Boost* Bidirecional com Indutor Único (do inglês *Single Inductor Bidirectional Buck–Boost* – SIB *Buck-Boost*), visto na Figura 3.12(h) divide a tensão do barramento CC em dois capacitores. Dessa maneira, como se fossem duas fontes de tensão distintas e de mesmo valor, propôs-se um circuito que opera

como um conversor *Buck-Boost* para cada semiciclo reutilizando o mesmo indutor. Mantendo os transistores S_2, S_{3a} e S_{4a} ligados durante todo o semiciclo positivo e S_1, S_{3b} e S_{4b} durante o negativo, observam-se os circuitos equivalentes para cada semiciclo na Figura 3.16. Nota-se nesta figura que durante o semiciclo positivo, item (a), não há necessidade de acionar o transistor S_{4b}, contudo, este pode ser comandado após a entrada em condução de seu diodo em antiparalelo, melhorando assim as características de condução [77].

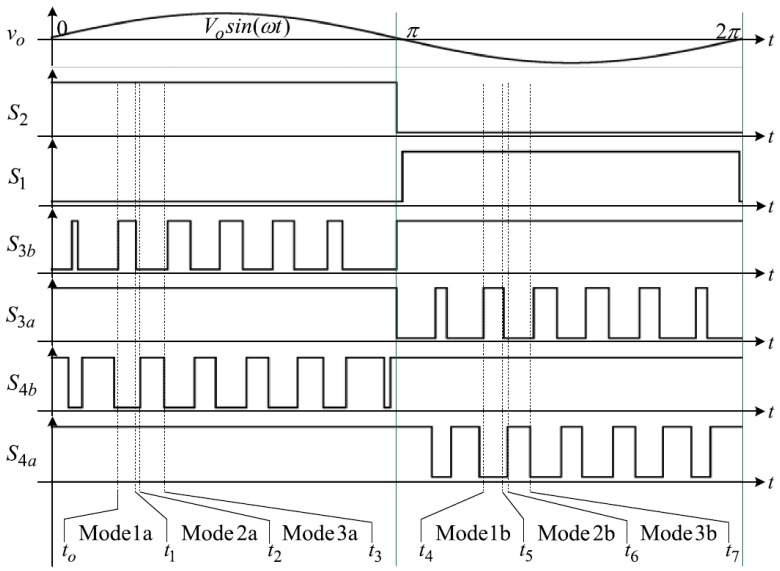
Figura 3.16 – Conversor *Buck-Boost* equivalente para o (a) semiciclo positivo e (b) semiciclo negativo.



Fonte: [77].

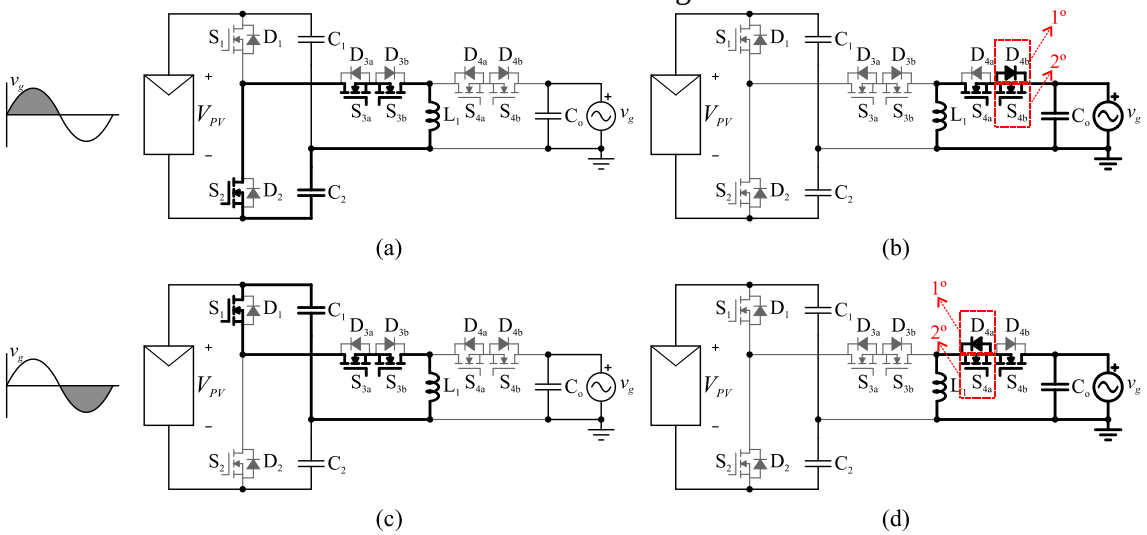
Na Figura 3.17 é exposta a modulação apresentada para este inversor. Percebe-se que as etapas *Mode* 2a e *Mode* 2b são de tempo morto e que será durante estas que os diodos em antiparalelo de S_{4b} e S_{4a} conduzirão. As etapas de operação são demonstradas na Figura 3.18.

Figura 3.17 – Modulação empregada no SIB *Buck-Boost*.



Fonte: [77].

Figura 3.18 – Etapas de operação do SIB *Buck-Boost*: (a) Armazenamento e (b) transferência de energia durante o semiciclo positivo, (c) armazenamento e (b) transferência de energia durante o semiciclo negativo.



Fonte: Elaborada pelo autor (2020).

3.4 ATERRAMENTO COMUM

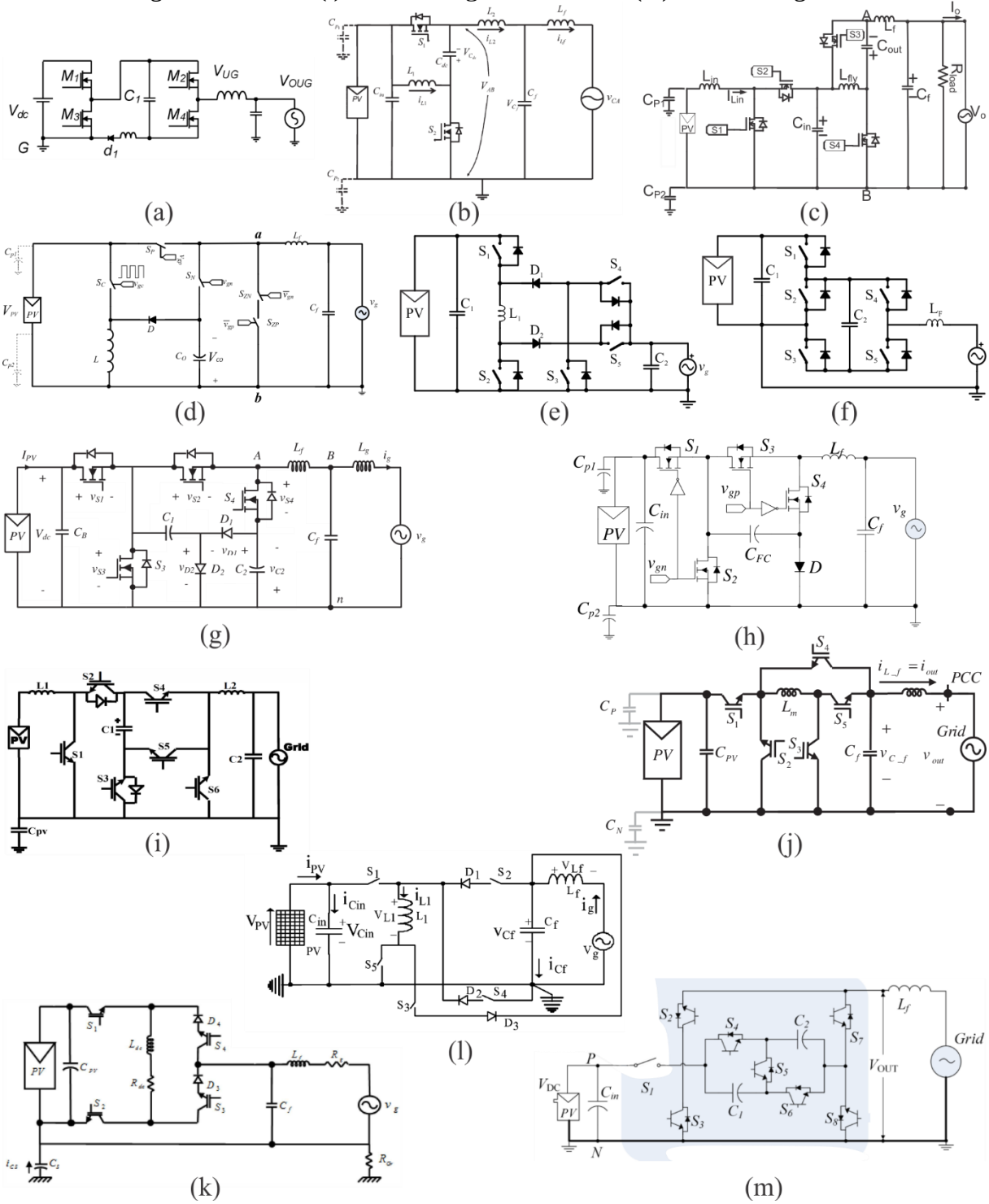
Exemplos de topologias que possuem aterramento comum são expressas na Figura 3.19. Diferentemente das anteriores, essas estruturas são obrigatoriamente assimétricas, devido ao fato de haver uma conexão direta entre o lado CC e CA. A seguir, três inversores são descritos com maiores detalhes, são estes o *Three-Level* SVS *Inverter* ZNPP, o *Virtual DC Bus* e o *Flying Capacitor Type-I*.

3.4.1 Topologia *Three-Level* SVS *Inverter* ZNPP

Proposto por W.-S. Oh, S.-K. Han e G.-W. Moon em 2004, o inversor três níveis Fonte de Tensão Comutada com Potencial de Ponto Neutro Zero (*Switched Voltage Source with Zero Neutral Point Potential* – SVS-ZNPP), exposto no item (a) da Figura 3.19, é a mais antiga dentre as topologias apresentadas na mesma. Inicialmente é sugerido como uma solução aos problemas encontrados no NPC e com aplicação em acionamento de máquinas elétricas. Pouco foi investigada essa topologia para aplicações onde se há problemas com a corrente de fuga capacitiva, tal como no sistema fotovoltaico, que é apenas mencionado como uma possível aplicação [81], [82].

O indutor L_1 é inserido no circuito como um *snubber* para a corrente *inrush* no transistor S_1, devida a diferença de tensão entre v_{C1} e V_{dc} [81], [82].

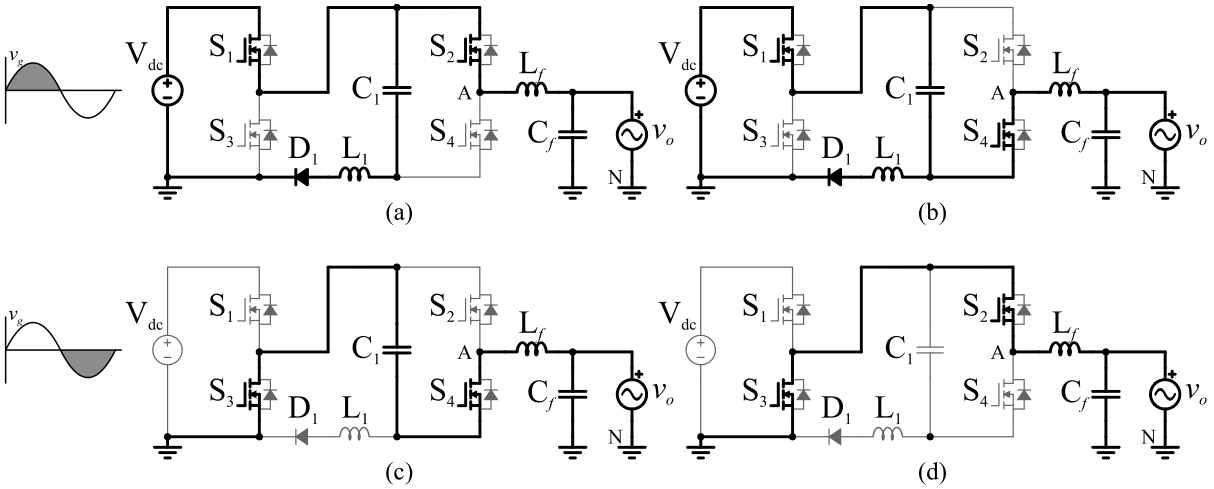
Figura 3.19 – Topologias de aterramento comum; (a) SVS-ZNPP [81], [82], (b) Inversor sugerido em [21], (c) Inversor sugerido em [79], (d) Inversor sugerido em [18], (e) Inversor sugerido em [83], (f) *Virtual DC Bus* [25], (g) Inversor sugerido em [17], (h) *Flying Capacitor Type-I* [16], (i) Inversor sugerido em [30], (j) Inversor sugerido em [15], (k) Inversor sugerido em [84], (l) Inversor sugerido em [34], (m) Inversor sugerido em [10].



Fonte: [10], [15], [17], [21], [25], [30], [34], [79], [82], [84].

Conforme pode ser observado nas etapas de operação da Figura 3.20, o capacitor C_1 é carregado com a tensão de entrada durante o semiciclo positivo e descarregado durante o negativo. Isso faz com que exista uma pequena diferença em módulo no valor da tensão aplicada na saída durante o semiciclo negativo em relação ao positivo, uma vez que a tensão v_{C1} diminui enquanto o capacitor descarrega.

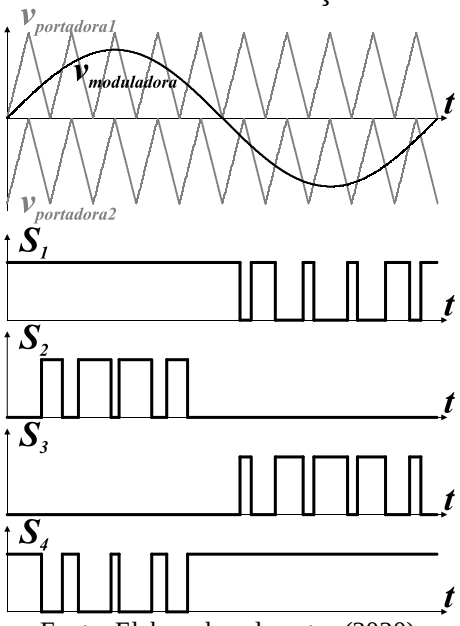
Figura 3.20 – Etapas de operação do SVS-ZNPP: (a) Tensão positiva, $V_{AN} = +V_{dc}$, (b) tensão zero para o semiciclo positivo, $V_{AN} \approx 0$ V sendo $V_{C1} \approx V_{dc}$, (c) tensão negativa, $V_{AN} \approx -V_{dc}$ e (d) roda livre para o semiciclo negativo, $V_{AN} = 0$ V.



Fonte: Elaborada pelo autor (2020).

A estratégia de modulação é demonstrada na Figura 3.21.

Figura 3.21 – Método de modulação do SVS-ZNPP.

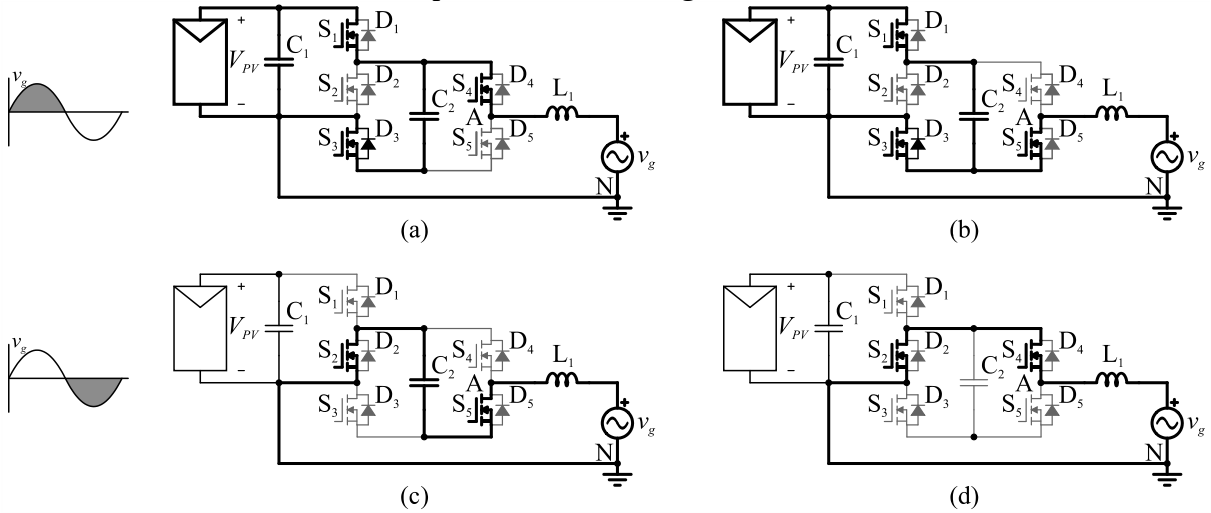


Fonte: Elaborada pelo autor (2020).

3.4.2 Topologia *Virtual DC Bus*

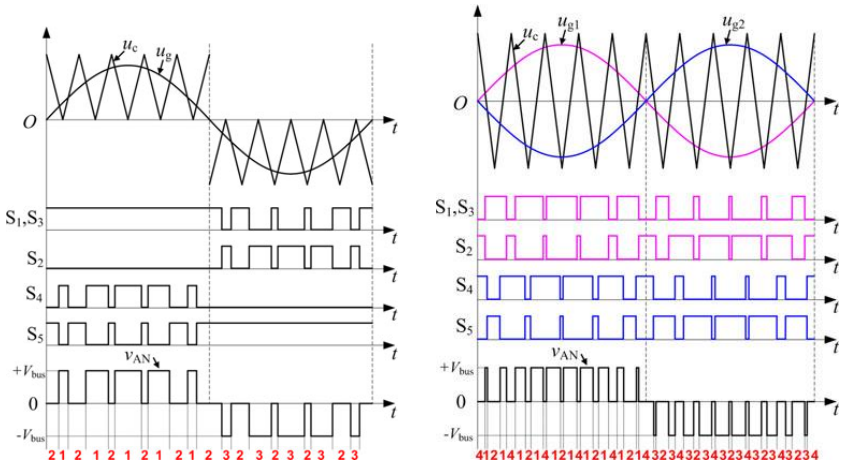
O conversor (f) da Figura 3.19 apresenta o conceito da criação de um barramento CC virtual que torna possível a geração da tensão negativa na saída, necessária para que este possa operar como inversor. O capacitor desse barramento, por sua vez, é carregado apenas durante o semiciclo positivo, como pode ser verificado nas etapas de operação da Figura 3.22. Este fato exige que este tenha uma capacitância elevada [16], [25].

Figura 3.22 – Etapas de operação do inversor *Virtual DC Bus*: (a) Tensão positiva, V_{AN} = $+V_{PV}$, (b) roda livre para o semiciclo positivo, V_{AN} = 0 V, (c) tensão negativa, $V_{AN} \approx -V_{PV}$ e (d) roda livre para o semiciclo negativo, V_{AN} = 0 V.



Fonte: Elaborada pelo autor (2020).

Figura 3.23 – Métodos de modulação (a) SPWM unipolar e (b) *Double-Frequency* SPWM do inversor *Virtual DC Bus*.



Fonte: [25].

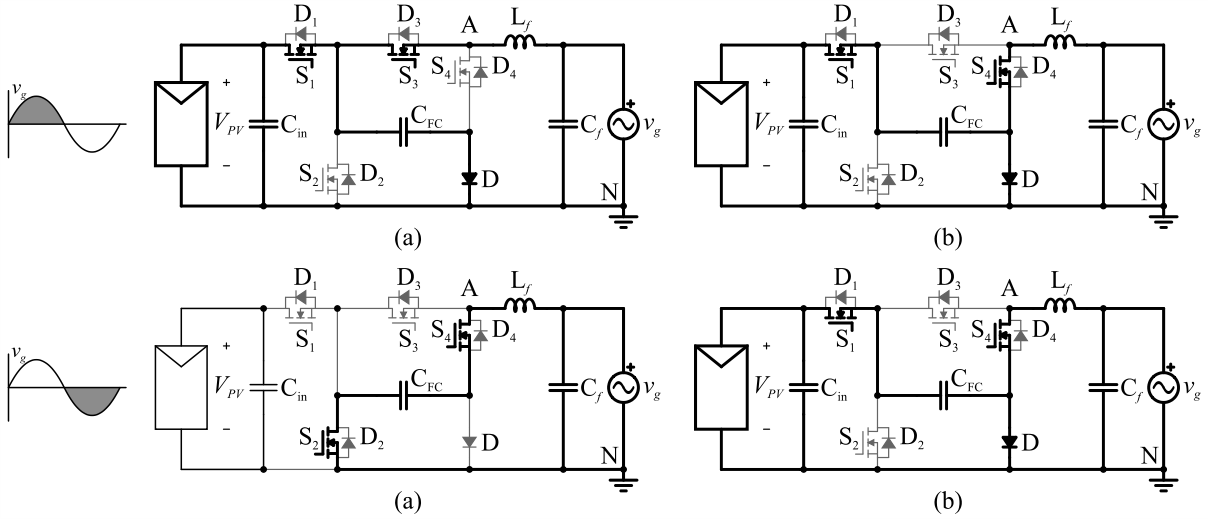
Duas estratégias de modulação são apresentadas para este conversor. Sendo uma a Modulação por Largura de Pulso Senoidal (do inglês *Sinosoidal Pulse Width Modulation* – SPWM) unipolar convencional, que corresponde às etapas de operação dadas anteriormente, e a outra a SPWM com frequência dobrada (do inglês *Double-Frequency* SPWM) [25]. Ambas são expressas na Figura 3.23.

3.4.3 Topologia *Flying Capacitor Type-I*

Em 2016, o conversor visto na Figura 3.19(h) foi proposto. Em 2018, os mesmos autores apresentaram uma família de conversores baseada no princípio de capacitores flutuantes, no qual denomina este como inversor com capacitor flutuante Tipo-I (do inglês *Type-I* FC). O capacitor flutuante é carregado com a tensão de entrada através de S_1 e D. Quando S_1 e S_3 são acionados, a tensão positiva da entrada é imposta a saída, quando S_2 e S_4 atuam, a tensão negativa do capacitor é aplicada a esta, o que pode ser visto na Figura 3.24 [16], [23].

A modulação aplicada a este conversor é exposta na Figura 3.25.

Figura 3.24 – Etapas de operação do *Type-I* FC: (a) Tensão positiva, $V_{AN} = +V_{PV}$, (b) roda livre para o semiciclo positivo, $V_{AN} = 0$ V, (c) tensão negativa, $V_{AN} \approx -V_{dc}$ e (d) roda livre para o semiciclo negativo, $V_{AN} = 0$ V.

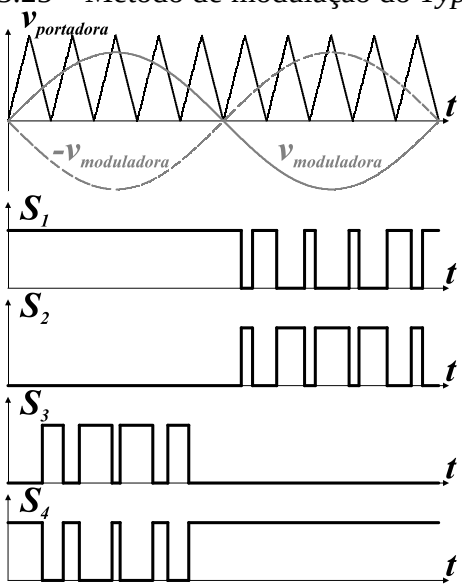


Fonte: Elaborada pelo autor (2020).

Este conversor apresenta elevado rendimento, capacidade de compensação de reativos, tensão sobre os transistores igual a tensão de entrada, filtro de saída reduzido, entre outras características interessantes. Contudo, o fenômeno da corrente *inrush* durante o

carregamento do capacitor é inevitável, o que pode ser prejudicial para todos os componentes no caminho desta [16], [18].

Figura 3.25 – Método de modulação do *Type-I* FC.



Fonte: Elaborada pelo autor (2020).

3.5 CONCLUSÕES

Diferentes estratégias de redução da corrente de fuga capacitiva foram observadas. Ainda existem trabalhos recentes nas três categorias, indicando que até o momento não há um consenso definitivo.

A extinção dessa corrente não é obrigatória, porém os limites impostos por normas e diretrizes são severos.

As estruturas de desacoplamento durante a etapa de roda livre e de grampeamento da tensão de modo comum reduzem a corrente de fuga capacitiva através da redução da tensão de modo comum. Porém, se a capacitância parasita total do sistema for elevada, os limites estipulados para essa corrente podem ser ultrapassados. Logo, a total eliminação da corrente de fuga capacitiva é atingida apenas para os conversores com aterramento comum.

4 METODOLOGIA PARA DERIVAÇÃO DE INVERSORES NÃO ISOLADOS COM ATERRAMENTO COMUM

4.1 INTRODUÇÃO

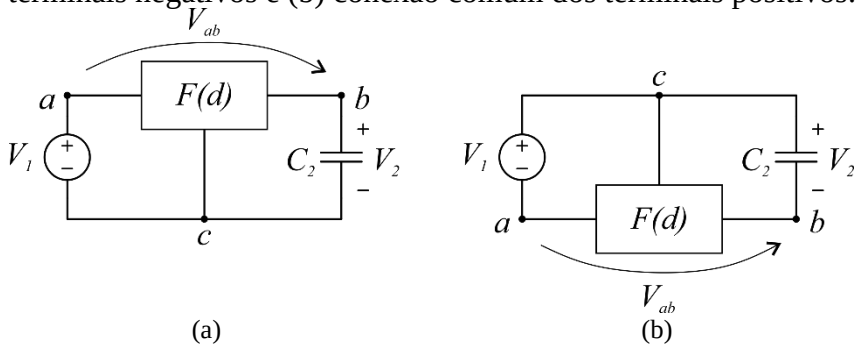
Alguns dos inversores apresentados na seção anterior foram derivados de topologias já conhecidas. Contudo, baseado em busca na literatura, nenhum método que demonstre por passos claros como desenvolver topologias de inversores com aterramento comum foi reportado até o momento.

Assim sendo, um método para geração de inversores com aterramento comum é proposto neste trabalho. Este abre a possibilidade de transformar uma grande variedade de conversores CC-CC já conhecidos em inversores aplicados a sistemas fotovoltaicos e de armazenamento de energia conectados com a rede elétrica.

4.2 CONVERSORES CC-CC NÃO ISOLADOS BIDIRECIONAIS

A Figura 4.1(a) mostra um conversor CC-CC bidirecional não isolado genérico representado por *F(d)*, interligando a fonte de tensão V_1 e o capacitor C_2, com conexão comum entre os terminais de polaridade negativa. A Figura 4.1(b) mostra o mesmo conversor, mas com uma conexão comum entre os terminais positivos da fonte V_1 e do capacitor C_2.

Figura 4.1 – Conversor CC-CC bidirecional não isolado com (a) conexão comum dos terminais negativos e (b) conexão comum dos terminais positivos.



(a) (b)

Fonte: Elaborada pelo autor (2021).

Considerando a conexão comum dos terminais positivos, conforme a Figura 4.1(b), as tensões são descritas por (4.1) e (4.2). Onde, *F(d)* é uma função da razão cíclica que depende da topologia do conversor.

$$V_2 = F\left(d\right)V_1 \tag{4.1}$$

$$V_{ab} + V_2 = V_1 \tag{4.2}$$

Substituindo (4.1) em (4.2), obtém-se (4.3).

$$V_{ab} = V_1 - F\left(d\right)V_1 = V_1\left[1 - F\left(d\right)\right] \tag{4.3}$$

Dessa maneira, a razão de conversão da tensão CC é dada em (4.4).

$$G = \frac{V_{ab}}{V_1} = 1 - F(d) \tag{4.4}$$

Portanto, o ganho de tensão é positivo se *F(d)<1* e é negativo se *F(d)>1*. Assumindo que *F(d)* seja dado por (4.5), onde d_1 é a razão cíclica.

$$F(d_1) = \frac{d_1}{1 - d_1} \tag{4.5}$$

Sendo que a razão cíclica complementar é descrita em (4.6), (4.5) pode ser reescrita conforme (4.7).

$$d_2 = 1 - d_1 \tag{4.6}$$

$$F(d_2) = \frac{1 - d_2}{d_2} \tag{4.7}$$

Substituindo (4.5) e (4.7) em (4.4) obtém-se (4.8) e (4.9).

$$G_1 = 1 - \frac{d_1}{1 - d_1} = \frac{1 - 2d_1}{1 - d_1} \tag{4.8}$$

$$G_2 = 1 - \frac{1 - d_2}{d_2} = \frac{2d_2 - 1}{d_2} \tag{4.9}$$

Como o ganho dado por (4.8) e (4.9) são complementares, optou-se por utilizar o ganho descrito por G_2, devido ao fato deste ser incremental à medida que d_2 aumenta, conforme demonstra a Figura 4.2.

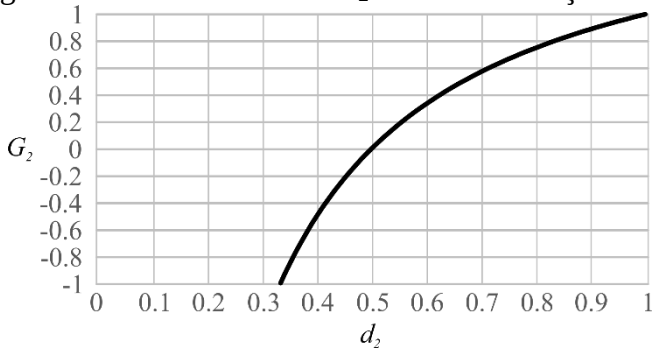
As equações (4.4) e (4.7) e a curva mostrada na Figura 4.2 mostram que a tensão pode ter valores positivos ou negativos em relação à tensão de entrada, em função do valor da razão cíclica. Assim, verifica-se essa relação em (4.10).

$$\begin{cases} 0 \le G_2 \le 1 \rightarrow d_2 \ge 0,5 \\ G_2 < 0 \rightarrow d_2 < 0,5 \end{cases} \tag{4.10}$$

É possível adicionar um par *RC* entre os terminais *ab* sem modificar os princípios de operação, como é mostrado na Figura 4.3(a). Redesenhando o circuito, pode-se obter a forma mostrada na Figura 4.3(b), a qual sugere que a tensão V_{ab} na carga, com ponto de conexão

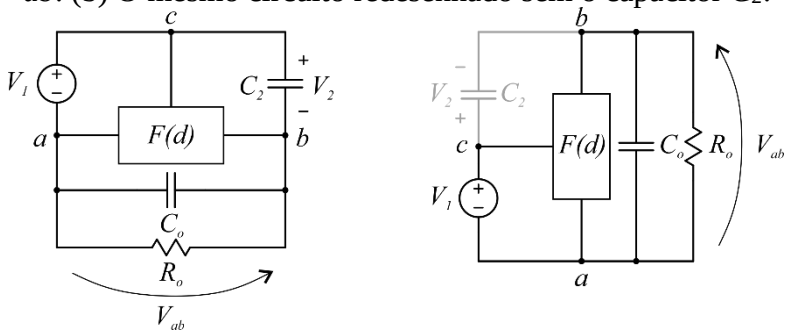
comum com a fonte de tensão de entrada V_1 possa ser alternada, desde que a razão cíclica seja controlada adequadamente.

Figura 4.2 – Ganho estático G_2 como uma função de d_2.



Fonte: Elaborada pelo autor (2021).

Figura 4.3 – (a) Circuito mostrado na Figura 4.1(b) com o par *RC* adicionado nos terminais *ab*. (b) O mesmo circuito redesenhado sem o capacitor C_2.



Fonte: Elaborada pelo autor (2021).

As tensões médias quase instantâneas entre os capacitores C_2 e C_o não dependem da presença de C_2. Portanto, este é redundante e pode ser excluído do circuito. A consequência disso é apenas um aumento no componente de alta frequência da corrente no capacitor C_o.

Este resultado sugere uma metodologia genérica para derivar topologias de inversores de fonte de tensão com aterramento comum entre a fonte de alimentação de entrada e um dos terminais de tensão de carga, empregando conversores CC-CC bidirecionais independentemente de sua topologia, desde que sua característica estática possa ser dada por (4.5).

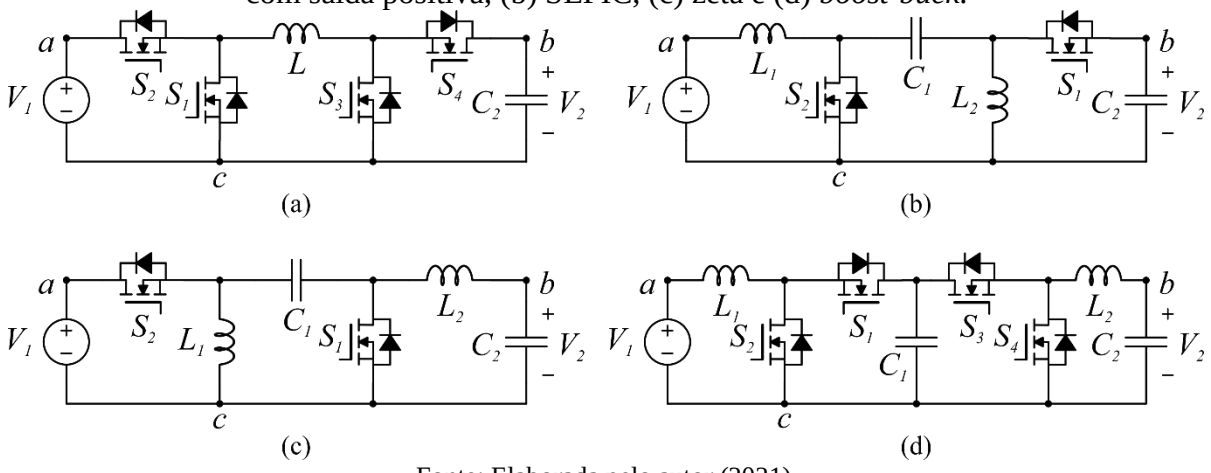
4.3 DERIVAÇÃO DE UMA FAMÍLA DE INVERSORES FONTE DE TENSÃO COM ATERRAMENTO COMUM

Quatro conversores CC-CC bidirecionais não isolados são mostrados na Figura 4.4. São esses: (a) conversor *buck-boost* com saída positiva, mostrado na Figura 4.4(a), (b) conversor SEPIC, mostrado na Figura 4.4(b), (c) conversor zeta, mostrado na Figura 4.4(c) e (d) conversor *boost-buck*, mostrado na Figura 4.4(d). Em todas as topologias, existe uma conexão comum entre os terminais negativos das fontes de tensão de entrada e saída. As mesmas topologias são mostradas na Figura 4.5, mas com conexões comuns entre os terminais positivos das fontes de tensão de entrada e saída.

A Figura 4.6 mostra as mesmas topologias da Figura 4.5, na mesma ordem, mas com os pares R_oC_o, que representam a carga, conectados nos terminais *ab*.

Ao redesenhar adequadamente os circuitos apresentados na Figura 4.6, são obtidas as topologias de inversores fonte de tensão com aterramento comum da Figura 4.7, geradas pelos conversores bidirecionais não isolados (a) *buck-boost* com saída positiva, (b) SEPIC, (c) zeta e (d) *boost-buck*. Em todos os casos, o capacitor, sendo redundante, foi retirado do circuito.

Figura 4.4 – Conversores CC-CC bidirecionais com conexão negativa comum. (a) *Buck-boost* com saída positiva, (b) SEPIC, (c) zeta e (d) *boost-buck*.

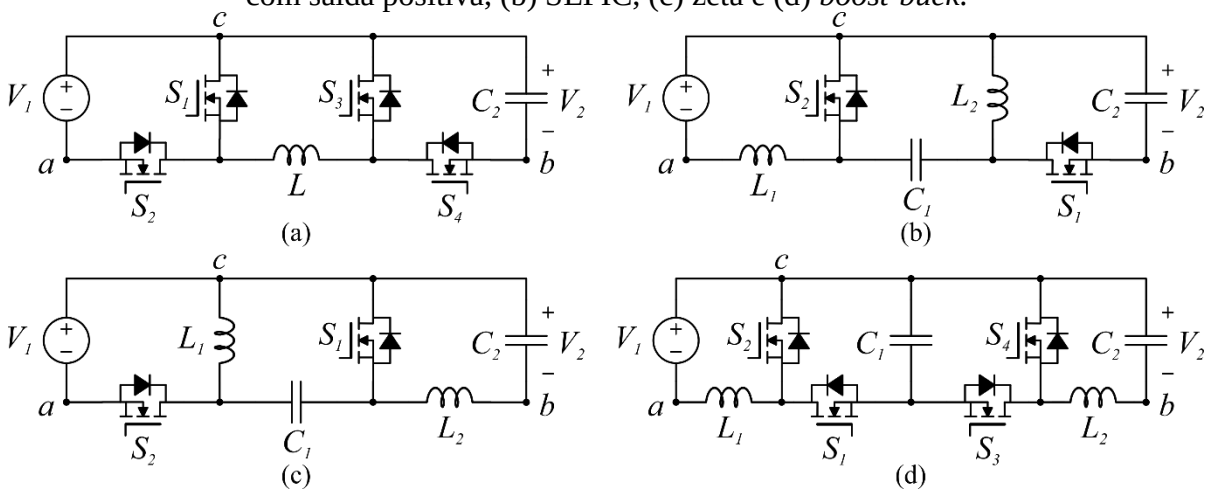


Fonte: Elaborada pelo autor (2021).

As topologias mostradas na Figura 4.7(b) e na Figura 4.7(c) foram originalmente publicadas por Cao, Jiang, Yu e Peng [85], e designadas respectivamente como *semi-Z-source-inverter* e *semi-quasi-Z-source-inverter*. Em [87] foi proposta a topologia Figura 4.7(a) por Fiori, Brigo e Barbi. Nesses trabalhos, entretanto, não é apresentado um método

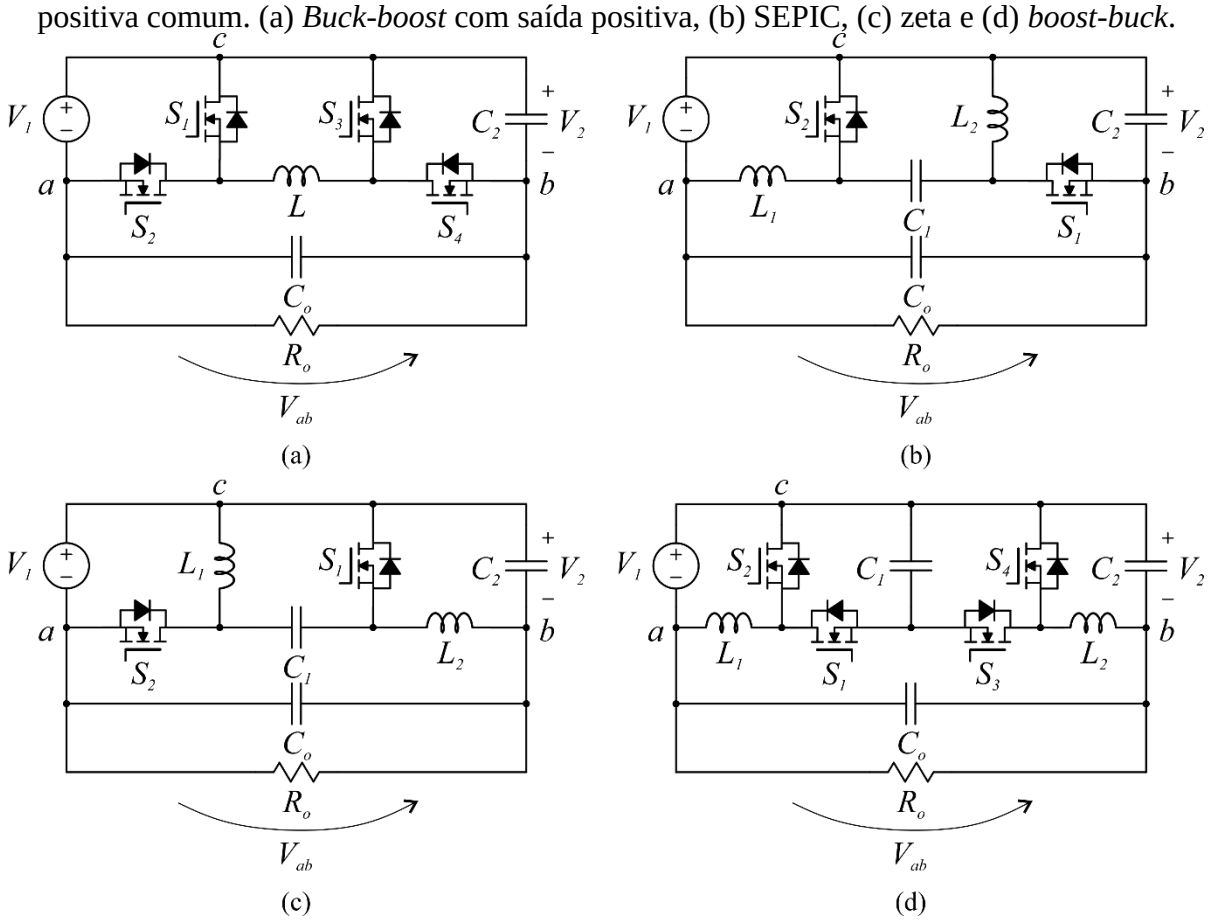
sistemático de obtenção dessas topologias. O *semi-quasi-Z-source-inverter* foi estudado em [85] e em [86] com a inclusão de estratégia de controle e resultados experimentais.

Figura 4.5 – Conversores CC-CC bidirecionais com conexão positiva comum. (a) *Buck-boost* com saída positiva, (b) SEPIC, (c) zeta e (d) *boost-buck*.



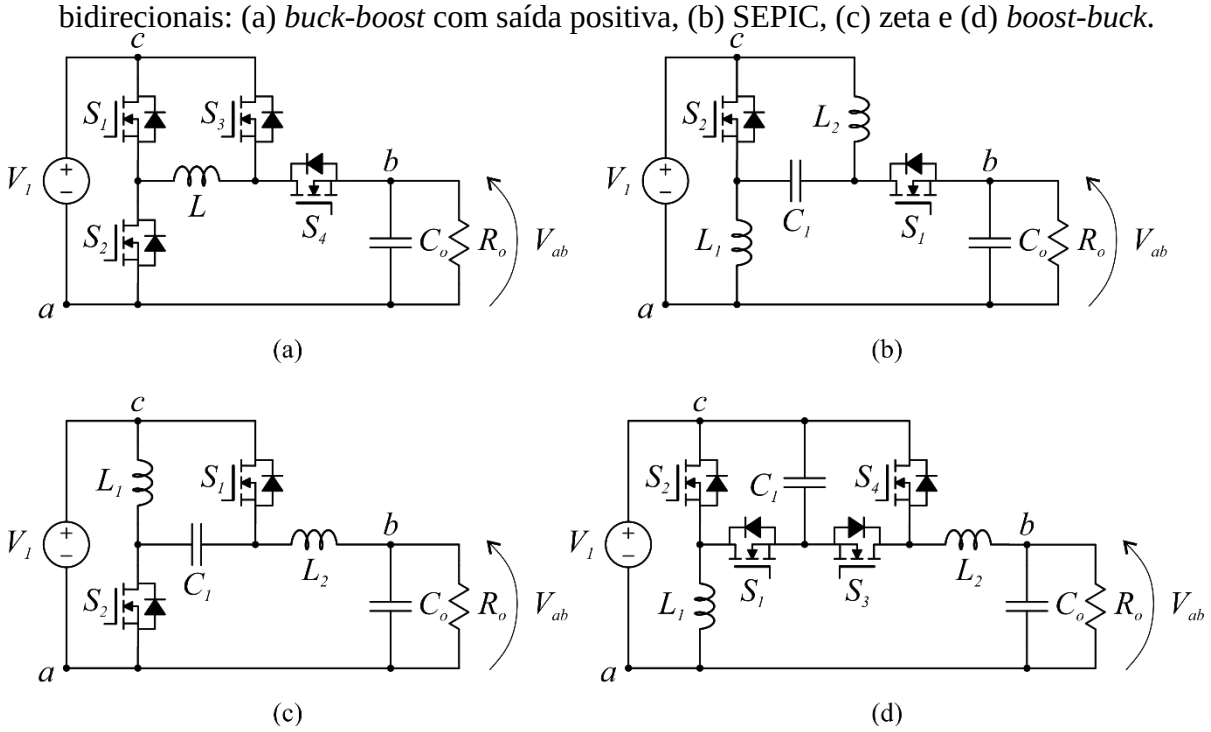
Fonte: Elaborada pelo autor (2021).

Figura 4.6 – Adicionado um par *RC* aos conversores CC-CC bidirecionais com conexão positiva comum. (a) *Buck-boost* com saída positiva, (b) SEPIC, (c) zeta e (d) *boost-buck*.



Fonte: Elaborada pelo autor (2021).

Figura 4.7 – Inversores não isolados com aterramento comum derivados dos conversores bidirecionais: (a) *buck-boost* com saída positiva, (b) SEPIC, (c) zeta e (d) *boost-buck*.



Fonte: Elaborada pelo autor (2021).

4.4 CONCLUSÕES

Um método sistemático de derivação de inversores não isolados com aterramento comum a partir de conversores bidirecionais CC-CC não isolados foi apresentado. Os conversores CC-CC que podem ser aplicados nesse método necessitam atender a três requisitos:

- Bidirecionalidade;
- Ganho estático com característica abaixadora-elevadora;
- Saída positiva em relação ao ponto comum negativo.

A partir disso, três passos são necessários para a derivação de um inversor, sendo esses:

- Ajustar a topologia para uma conexão positiva comum;
- Inserir um par *RC* entre os terminais *a* e *b*;
- Retirar o capacitor redundante C_2.

Mesmo os conversores CC-CC possuindo uma característica abaixadora-elevadora, os inversores derivados destes possuem característica de inversores abaixadores. Isso se deve ao fato de que para se obter uma tensão simétrica o ganho positivo deve ser igual ao ganho

negativo em módulo, logo, conforme pode ser constatado na Figura 4.2, o ganho máximo que pode ser utilizado é 1.

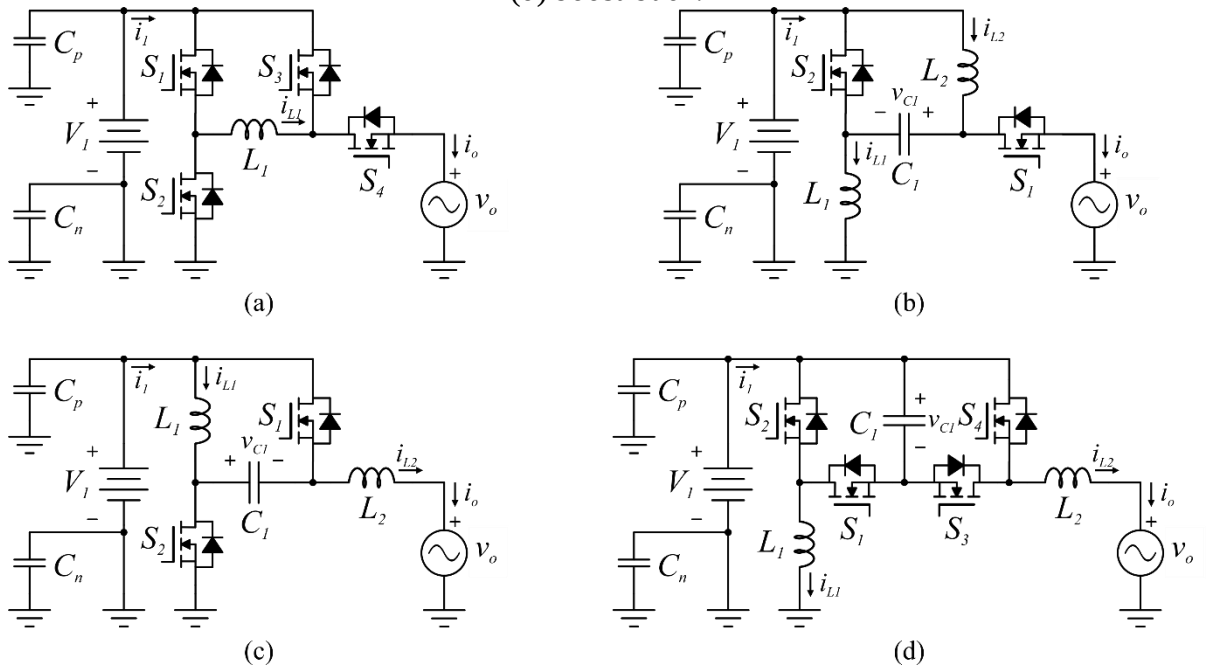
5 FAMÍLA DE INVERSORES NÃO ISOLADOS COM ATERRAMENTO COMUM

5.1 INTRODUÇÃO

Bancos de baterias podem ser utilizados como estações de recarga veicular. Isso traz benefícios do ponto de vista da rede elétrica, reduzindo os picos de consumo, bem como do ponto de vista de aproveitamento de baterias, aumentando o tempo de vida útil dessas baterias.

Pensando nessa aplicação e considerando que cada bateria tem atrelada a ela uma capacitância parasita de 1 nF, os inversores não isolados com aterramento comum gerados pela metodologia proposta no capítulo anterior podem ser utilizados. A Figura 5.1 demonstra tal ligação. Observa-se que o terminal negativo da bateria é conectado diretamente ao aterramento da rede. Logo, a capacitância parasita do terminal negativo é curto-circuitada, enquanto a do terminal positivo está com a tensão CC do banco de baterias.

Figura 5.1 – Família de inversores não isolados com aterramento comum realizando a conexão entre um banco de baterias e a rede elétrica, considerando as capacitâncias parasitas. Inversores derivados dos conversores: (a) *buck-boost* com saída positiva, (b) SEPIC, (c) zeta e (d) *boost-buck*.



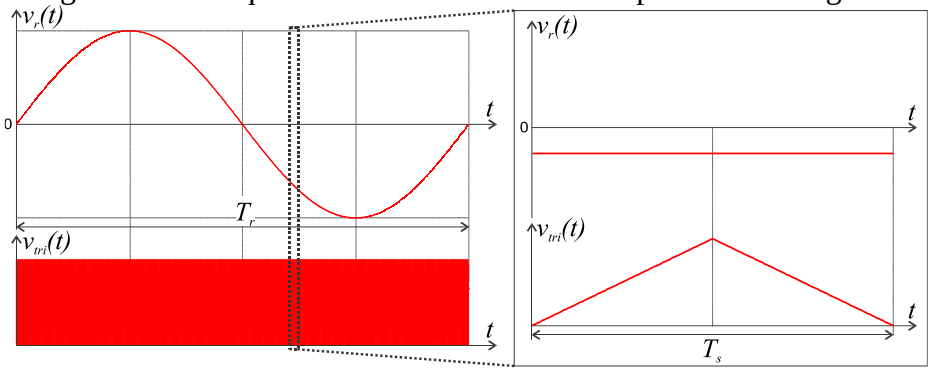
Fonte: Elaborada pelo autor (2021).

5.2 PRINCÍPIO DE OPERAÇÃO

A partir do acionamento complementar dos transistores, ou par de transistores, é possível controlar a corrente nos indutores, por exemplo. O PWM é utilizado para gerar os sinais de comutação. Onde um sinal modulador é comparado com uma onda triangular de amplitude unitária, resultando na razão cíclica.

Para o correto entendimento operacional dos inversores, inicialmente considera-se que a frequência da rede (f_r), 50 – 60 Hz, é muito menor que a frequência de comutação dos transistores (f_s), usualmente maior que 20 kHz. Logo, durante um período de comutação a tensão da rede se mantém praticamente constante, permitindo que este seja analisado como um conversor CC-CC. Isso pode ser examinado na Figura 5.2.

Figura 5.2 – Frequência da tensão da rede e da portadora triangular.



Fonte: Elaborada pelo autor (2020).

Como os conversores operam necessariamente em modo de condução contínua, para cada um deles existem dois estados topológicos em um período de chaveamento. Os sinais de gatilho são indicados no Quadro 5.1, onde v_{g1} define a razão cíclica d enquanto v_{g2} define a razão cíclica complementar $1\text{-}d$.

Quadro 5.1 – Sinal de gatilho para cada topologia.

Sinal de gatilho	Topologia			
	Buck-Boost	SEPIC	Zeta	*Boost-Buck*
v_{g1}	S_1, S_4	S_1	S_1	S_1, S_4
v_{g2}	S_2, S_3	S_2	S_2	S_2, S_3

Fonte: Elaborada pelo autor (2021).

Cada inversor é estudado individualmente neste capítulo. Para essa análise, é considerado um período de chaveamento onde a tensão de saída v_o é positiva, ressaltando

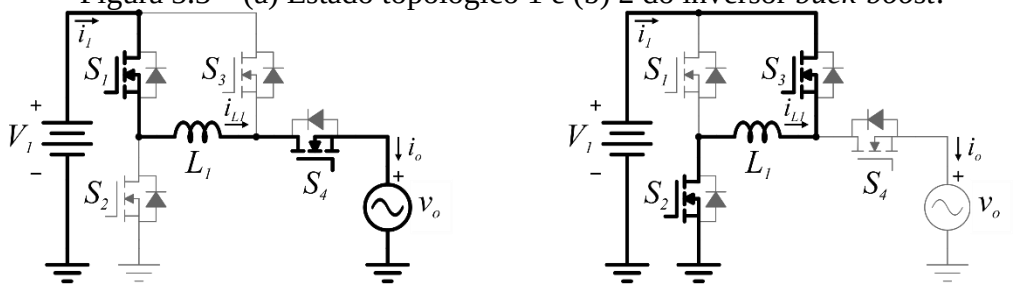
ainda que, por se tratar de inversores abaixadores de tensão, a tensão de entrada V_1 sempre será maior que a tensão de saída v_o.

5.3 INVERSOR *BUCK-BOOST*

5.3.1 Etapas de Operação

Os estados topológicos do inversor *buck-boost* são demonstrados na Figura 5.3 e descritos a seguir.

Figura 5.3 – (a) Estado topológico 1 e (b) 2 do inversor *buck-boost*.



Fonte: Elaborada pelo autor (2021).

Etapa de operação 1: Conforme descrito no Quadro 5.1, os transistores S_1 e S_4 recebem o mesmo comando de gatilho para o acionamento. Por possuírem um sinal complementar a este, os transistores S_2 e S_3 entram em bloqueio. A tensão no indutor L_1 é a diferença entre a tensão de entrada V_1 e a tensão de saída v_o. Sendo que $V_1 \geq v_o$, essa tensão será sempre positiva.

Etapa de operação 2: Os transistores S_2 e S_3 são acionados e desligados os transistores S_1 e S_4. O indutor L_1 fica submetido ao valor negativo da tensão da bateria V_1.

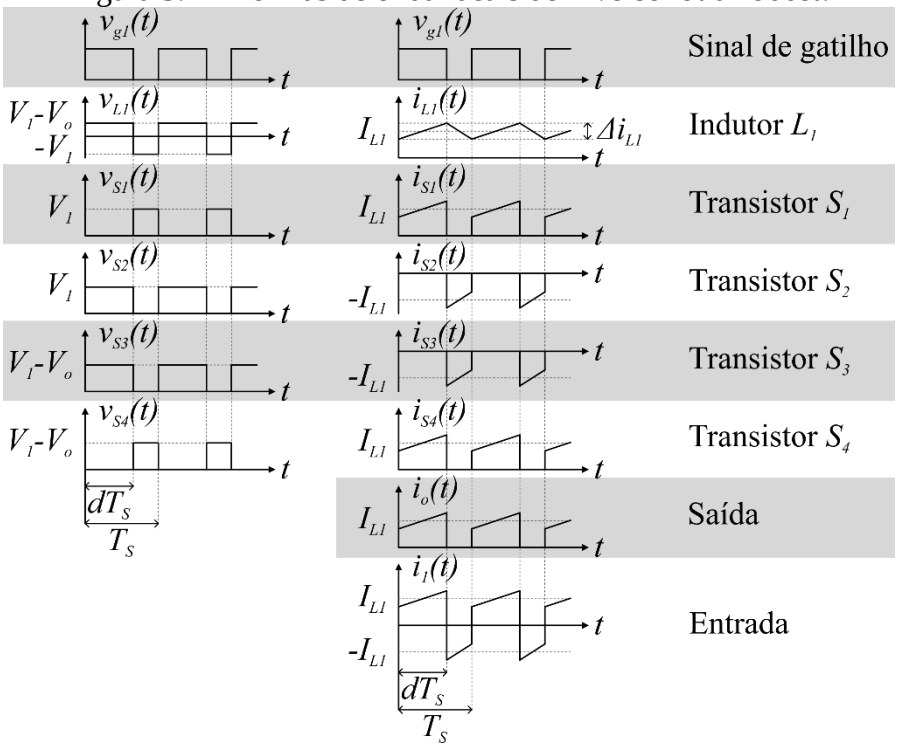
5.3.2 Formas de Onda Ideais

A Figura 5.4 apresenta as formas de onda ideais em cada componente do inversor, além das correntes de entrada e saída. Ao lado esquerdo são dispostas as tensões, enquanto ao lado direito as correntes, ambos tendo por referência o sinal de gatilho v_{g1}.

A corrente no indutor possui um valor médio dentro do período de comutação, denominado I_{L1}, com uma ondulação em alta frequência, Δi_{L1}, que é uma especificação de

projeto. Estas variáveis servem de base para o desenho das outras correntes. Também é utilizado V_o como sendo o valor médio da tensão de saída durante um período de comutação.

Figura 5.4 – Formas de onda ideais do inversor *buck-boost*.



Fonte: Elaborada pelo autor (2021).

5.3.3 Análise Orientada para Dimensionamento

Observando a tensão imposta ao indutor L_1 durante a segunda etapa, escreve-se (5.1). A partir desta é possível encontrar a ondulação de corrente parametrizada apresentada em (5.2). Percebe-se que a máxima ondulação de corrente neste indutor ocorrerá no valor mínimo da razão cíclica e que, reescrevendo (4.9) em (5.3), isso representa o valor mais negativo do ganho do conversor. Ou seja, a maior ondulação de corrente será observada no pico negativo da tensão de saída.

$$v_L = L\frac{di_L}{dt} \rightarrow -V_1 = L_1\frac{\left(-\Delta i_{L1}\right)}{\left(1-d\right)T_s} \tag{5.1}$$

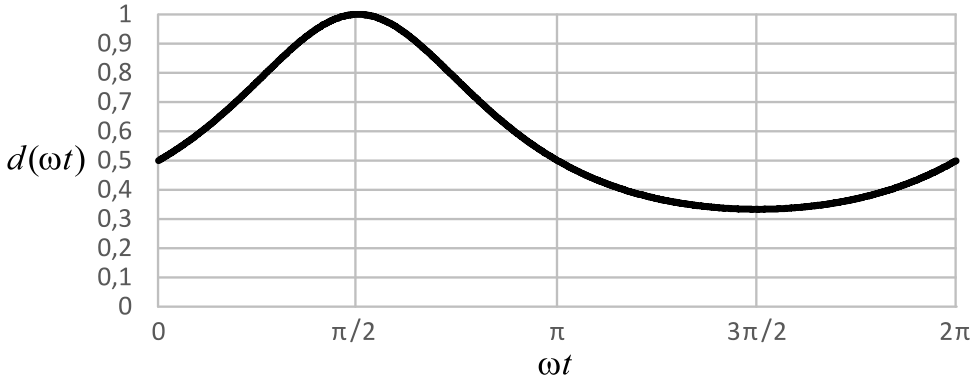
$$\overline{\Delta i_{L1}} = \Delta i_{L1}\frac{L_1 f_s}{V_1} = 1-d \tag{5.2}$$

$$G = \frac{V_o}{V_1} = \frac{2d-1}{d} \tag{5.3}$$

A partir do ganho estático, ponderando que a tensão da rede é senoidal, a razão cíclica é obtida conforme descrito em (5.4). A razão entre V_{opk} e V_1 é definida por α. O formato desse sinal modulador pode ser observado na Figura 5.5 onde foi atribuído um valor unitário a α.

$$d(\omega t) = \frac{V_1}{2V_1 - V_o} = \frac{V_1}{2V_1 - V_{opk}\,\mathrm{sen}(\omega t)} = \frac{1}{2 - \alpha\,\mathrm{sen}(\omega t)} \tag{5.4}$$

Figura 5.5 – Sinal modulador para um α unitário.

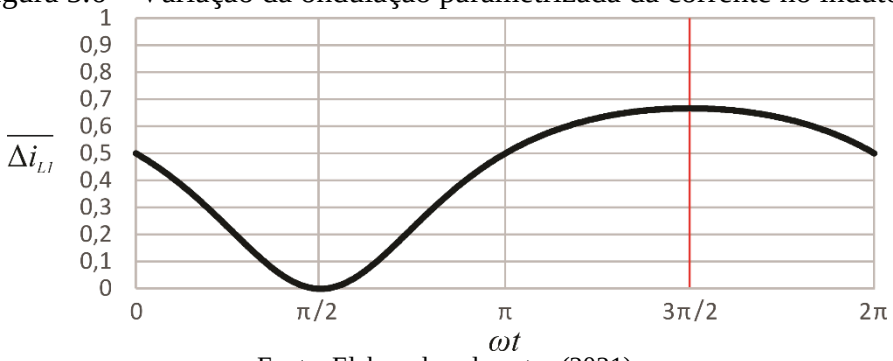


Fonte: Elaborada pelo autor (2020).

A substituição de (5.4) em (5.2) possibilita obter a equação (5.5). O comportamento da ondulação parametrizada da corrente no indutor em função da variação do ângulo ωt pode ser visto na Figura 5.6. Para o desenho desse gráfico utilizou-se α unitário.

$$\overline{\Delta i_{L1}} = \frac{1 - \alpha\,\mathrm{sen}(\omega t)}{2 - \alpha\,\mathrm{sen}(\omega t)} \tag{5.5}$$

Figura 5.6 – Variação da ondulação parametrizada da corrente no indutor.



Fonte: Elaborada pelo autor (2021).

A máxima ondulação no indutor ocorre para $\omega t = 3\pi/2$, ou seja, no valor mínimo da razão cíclica. Em (5.6) é dada a equação deste valor máximo.

$$\overline{\Delta i_{L1\max}} = \frac{1+\alpha}{2+\alpha} \tag{5.6}$$

Substituindo (5.6) em (5.2) a equação para o projeto do indutor é obtida e descrita em (5.7).

$$L_1 = \frac{V_1}{\Delta i_{L1} f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.7}$$

5.3.4 Análise dos Esforços de Corrente e Tensão

Para a obtenção dos esforços de corrente, são analisadas as formas de onda nos componentes, apresentadas na Figura 5.4. Estas podem ser descritas matematicamente como demonstra as equações de (5.8) a (5.13).

$$i_{L1}^{'}(t) = I_{L1} - \frac{\Delta i_{L1}}{2} + \frac{\Delta i_{L1}}{dT_s}t \tag{5.8}$$

$$i_{L1}^{''}(t) = I_{L1} + \frac{\Delta i_{L1}}{2} - \frac{\Delta i_{L1}}{(1-d)T_s}t \tag{5.9}$$

$$i_{S1}^{'}(t) = i_{S4}^{'}(t) = i_{L1}^{'}(t) \tag{5.10}$$

$$i_{S1}^{''}(t) = i_{S4}^{''}(t) = 0 \tag{5.11}$$

$$i_{S2}^{'}(t) = i_{S3}^{'}(t) = 0 \tag{5.12}$$

$$i_{S2}^{''}(t) = i_{S3}^{''}(t) = -i_{L1}^{''}(t) \tag{5.13}$$

Onde I_{L1} é a corrente média quase instantânea, as equações (5.8), (5.10) e (5.12) descrevem a reta durante a etapa de operação 1, já (5.9), (5.11) e (5.13) são referentes a etapa de operação 2. Considera-se, porém, que, por simplicidade, essas equações foram desenvolvidas considerando a duração de cada etapa, como exemplifica (5.7).

$$\begin{cases} i_{L1} = i_{L1}^{'}, 0 \le t \le dT_s \\ i_{L1} = i_{L1}^{''}, 0 \le t \le (1-d)T_s \end{cases} \tag{5.14}$$

Logo, (5.15) é escrita para encontrar o valor eficaz da corrente em L_1 durante um período de comutação, que resulta em (5.16).

$$i_{LefTs} = \sqrt{\frac{1}{T_s}\left(\int_0^{dT_s}\left(i_L^{'}(t)\right)^2 dt + \int_0^{(1-d)T_s}\left(i_L^{''}(t)\right)^2 dt\right)} \tag{5.15}$$

$$i_{L1efTs} = \sqrt{I_{L1}^2 + \frac{\Delta i_{L1}^2}{12}} \tag{5.16}$$

Como mencionado anteriormente, I_{L1} representa o valor médio quase instantâneo dentro do período de comutação. Desta maneira, ela representa o envoltório em baixa frequência da corrente em L_1, ou seja, $i_{L1}(\omega t)$. Considera-se que a relação entre a corrente média quase instantânea em L_1 e a corrente de saída do conversor, $i_o(\omega t)$, pode ser descrita por (5.17). Logo, ponderando que o envoltório desejado da corrente de saída em baixa frequência é demonstrado em (5.18), substitui-se (5.4) e (5.18) em (5.17), que leva a (5.19).

$$i_o(\omega t) = i_{L1}(\omega t)\, d(\omega t) \tag{5.17}$$

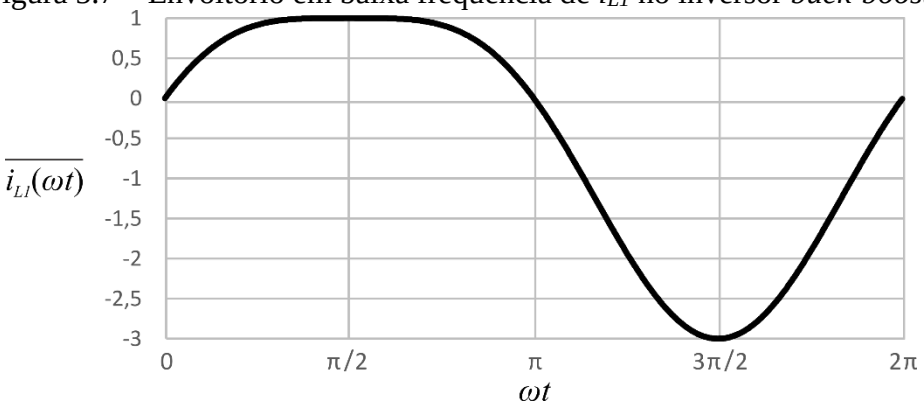
$$i_o(\omega t) = I_{opk}\, \mathrm{sen}(\omega t) \tag{5.18}$$

$$i_{L1}(\omega t) = I_{opk}\, \mathrm{sen}(\omega t)\left(2 - \alpha\, \mathrm{sen}(\omega t)\right) \tag{5.19}$$

Essa corrente é parametrizada em (5.20) e seu formato é expresso na Figura 5.7, para $\alpha = 1$.

$$\overline{i_{L1}(\omega t)} = \frac{i_{L1}(\omega t)}{I_{opk}} = \mathrm{sen}(\omega t)\left[2 - \alpha\, \mathrm{sen}(\omega t)\right] \tag{5.20}$$

Figura 5.7 – Envoltório em baixa frequência de i_{L1} no inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

Reescrevendo (5.5) em (5.21) e substituindo este e (5.19) em (5.16), obtém-se (5.22).

$$\Delta i_{L1} = \frac{V_1}{L_1 f_s}\left(\frac{1 - \alpha\, \mathrm{sen}(\omega t)}{2 - \alpha\, \mathrm{sen}(\omega t)}\right) \tag{5.21}$$

$$i_{L1efTs}(\omega t) = \sqrt{I_{opk}^2\, \mathrm{sen}^2(\omega t)\left[2 - \alpha\, \mathrm{sen}(\omega t)\right]^2 + \frac{V_1^2}{12 L_1^2 f_s^2}\left[\frac{1 - \alpha\, \mathrm{sen}(\omega t)}{2 - \alpha\, \mathrm{sen}(\omega t)}\right]^2} \tag{5.22}$$

O valor eficaz para o período da rede é então alcançado através da integral demonstrada em (5.23).

$$I_{L1ef} = \sqrt{\frac{1}{2\pi}\int_0^{2\pi} i_{L1efTs}^2(\omega t)\, d\omega t} \tag{5.23}$$

Por se tratar de um inversor abaixador de tensão, assume-se que o valor de α está compreendido entre 0 e 1. Com isso e substituindo (5.22) em (5.23), (5.24) é encontrada.

$$I_{L1ef} = \sqrt{I_{oef}^2\left(4+\frac{3}{4}\alpha^2\right)+\frac{V_1^2\left[6-2\alpha^2+\left(4-\alpha^2\right)^{3/2}\right]}{12L_1^2 f_s^2\left(4-\alpha^2\right)^{3/2}}} \tag{5.24}$$

Onde, I_{oef} é o valor eficaz da corrente de saída, dado por (5.25), uma vez que $i_o(\omega t)$ é uma senoide, como demonstrado em (5.18).

$$I_{oef} = \frac{I_{opk}}{\sqrt{2}} \tag{5.25}$$

Com o intuito de realizar uma análise adimensional, (5.24) é parametrizada conforme demonstrado em (5.26) e (5.27).

$$\overline{I_{L1ef}} = \frac{I_{L1ef} L_1 f_s}{V_1} = \sqrt{\overline{I_{oef}}^2\left(4+\frac{3}{4}\alpha^2\right)+\frac{6-2\alpha^2+\left(4-\alpha^2\right)^{3/2}}{12\left(4-\alpha^2\right)^{3/2}}} \tag{5.26}$$

$$\overline{I_{oef}} = \frac{I_{oef} L_1 f_s}{V_1} \tag{5.27}$$

Seguindo estes mesmos passos, encontram-se as correntes eficazes parametrizadas dos transistores em (5.28) e (5.29).

$$\overline{I_{S1ef}} = \overline{I_{S4ef}} = \sqrt{2\overline{I_{oef}}^2+\frac{2\alpha^4-7\alpha^2+8}{24\left(4-\alpha^2\right)^{5/2}}} \tag{5.28}$$

$$\overline{I_{S2ef}} = \overline{I_{S3ef}} = \sqrt{\overline{I_{oef}}^2\left(2+\frac{3}{4}\alpha^2\right)+\frac{2\left(4-\alpha^2\right)^{5/2}-6\alpha^4+35\alpha^2-56}{24\left(4-\alpha^2\right)^{5/2}}} \tag{5.29}$$

Nota-se que, embora a corrente em S_1 e S_2 sejam iguais a corrente de saída, (5.28) não representa isso. Esse fato ocorre devido a corrente de saída ter sido considerada nos cálculos conforme (5.18). Para transformar a corrente pulsada de S_4 na corrente de saída de (5.18) um filtro deverá ser inserido. Como isso é esperado tanto a para conexão de cargas quanto para conexão com a rede elétrica, considera-se (5.28) adequada.

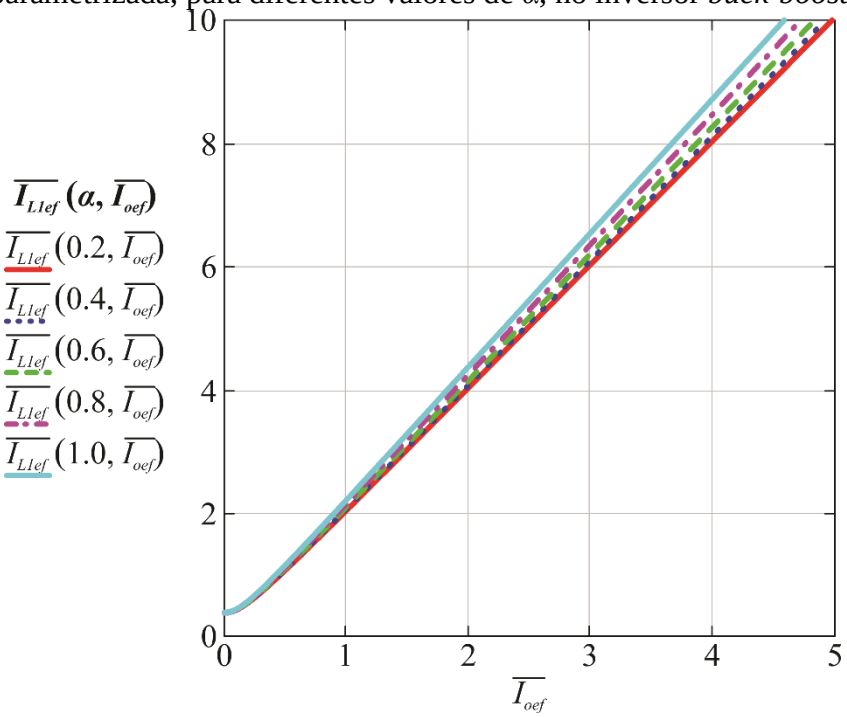
Através da Figura 5.8, Figura 5.9 e Figura 5.10 verifica-se o comportamento da corrente eficaz parametrizada em L_1, S_1 e S_2 de acordo com a variação de α.

Observa-se na Figura 5.8 que, para valores mais próximos das tensões de entrada e saída, ou seja, valores de α tendendo à unidade, maior será a corrente eficaz em L_1 para uma mesma corrente de saída. Logo, desconsiderando a pequena curva no começo do gráfico, é possível identificar que α desempenha um papel de coeficiente angular dessa reta. Dessa maneira, para valores crescentes de α mais íngreme será a reta.

A corrente em S_1 e S_4, demonstrada na Figura 5.9, possui uma influência praticamente nula em relação a α. Já o comportamento da corrente em S_2 e S_3, apresentado na Figura 5.10, é semelhante ao descrito da corrente em L_1, contudo $\overline{I_{L1ef}}$ possui valores mais elevados que $\overline{I_{S2ef}}$ para um mesmo α e $\overline{I_{oef}}$.

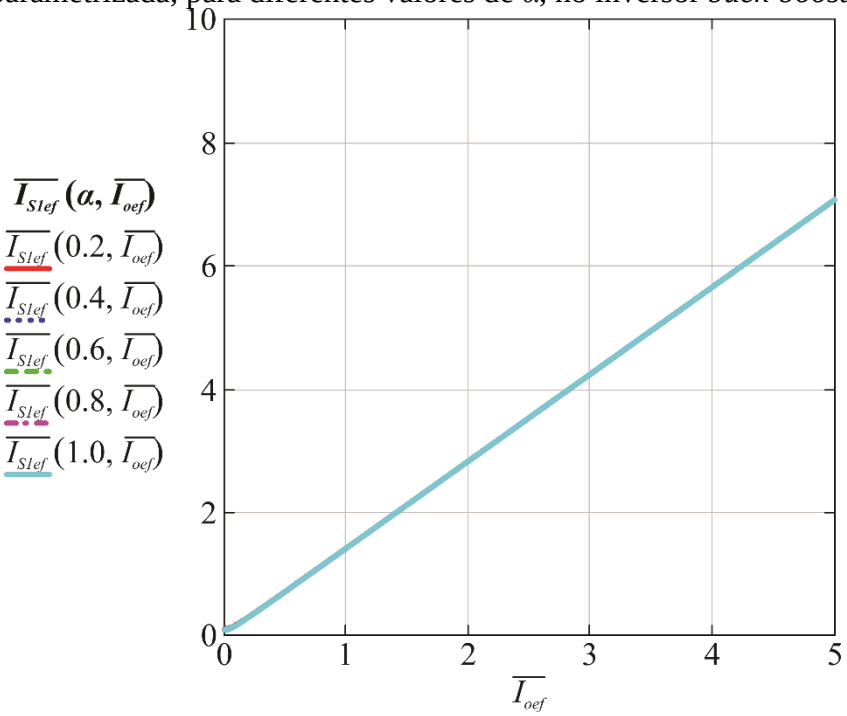
Observando as etapas de operação na Figura 5.3 no instante em que cada transistor está bloqueado, verifica-se que é imposta a tensão de entrada V_1 nos transistores S_1 e S_2, enquanto a tensão em S_3 e S_4 é a diferença entre V_1 e a tensão de saída v_o. Logo, as tensões máximas nos transistores podem ser escritas como em (5.30) e (5.31).

Figura 5.8 – Corrente eficaz em L_1 parametrizada em função da corrente eficaz de saída parametrizada, para diferentes valores de α, no inversor *buck-boost*.



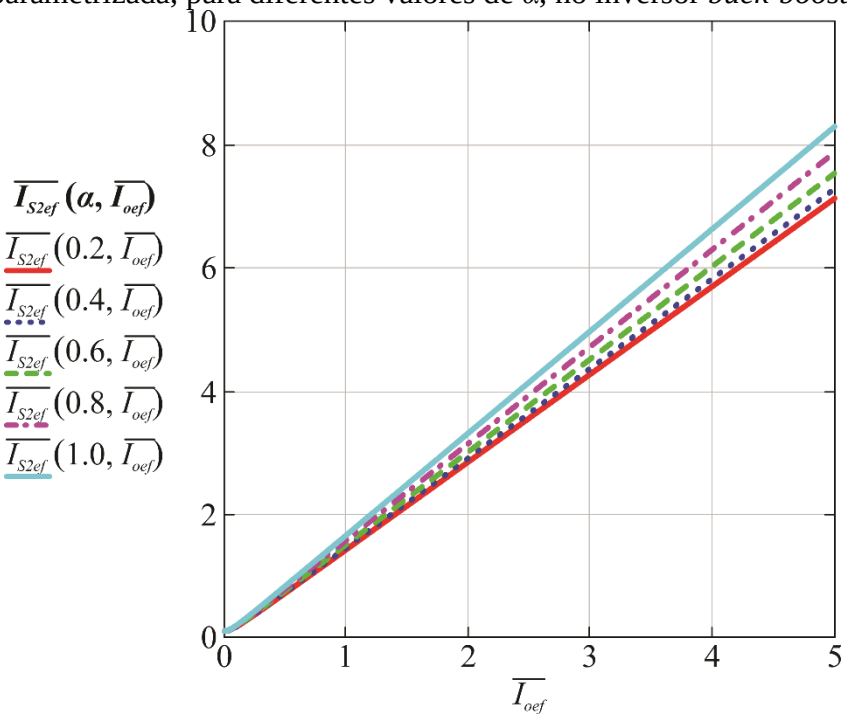
Fonte: Elaborada pelo autor (2022).

Figura 5.9 – Corrente eficaz em S_1 parametrizada em função da corrente eficaz de saída parametrizada, para diferentes valores de α, no inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

Figura 5.10 – Corrente eficaz em S_2 parametrizada em função da corrente eficaz de saída parametrizada, para diferentes valores de α, no inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

$$V_{S1\max} = V_{S2\max} = V_1 \tag{5.30}$$

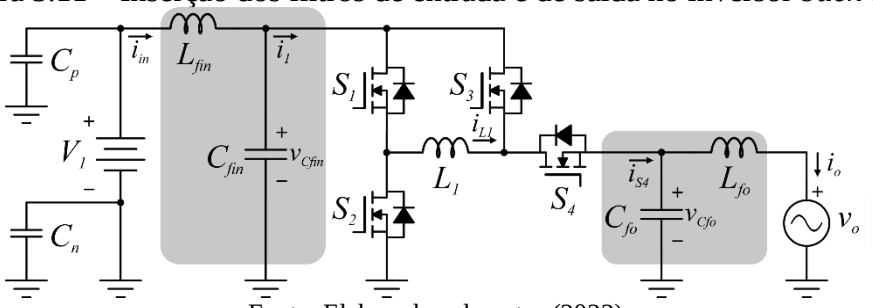
$$V_{S3\max} = V_{S4\max} = V_1 + V_{opk} \tag{5.31}$$

Cabe ressaltar que, embora a tensão nos transistores S_3 e S_4 seja a diferença entre V_1 e a tensão de saída v_o, durante o semiciclo negativo da rede elétrica essas tensões acabam se somando.

5.3.5 Filtro de Entrada e de Saída

É possível observar na Figura 5.4 que tanto a corrente de entrada quanto a corrente de saída desta topologia são pulsadas. Logo, pensando na aplicação de conexão de baterias com a rede elétrica, faz-se necessária a inserção de filtros de entrada e de saída. Foi escolhido o filtro LC para a entrada e CL para a saída, como demonstra a Figura 5.11.

Figura 5.11 – Inserção dos filtros de entrada e de saída no inversor *buck-boot*.



Fonte: Elaborada pelo autor (2022).

A corrente i_1 é igual a i_{L1} durante a etapa de operação 1 e igual a essa mesma corrente, porém negativa, na etapa de operação 2. Dessa maneira, a corrente i_1 comuta em alta frequência entre $i_{L1}(\omega t)$ e $-i_{L1}(\omega t)$ e seu valor médio quase instantâneo pode ser descrito como em (5.32). Considerando (5.19) e (5.4) encontra-se (5.33), que pode ser parametrizada como em (5.34).

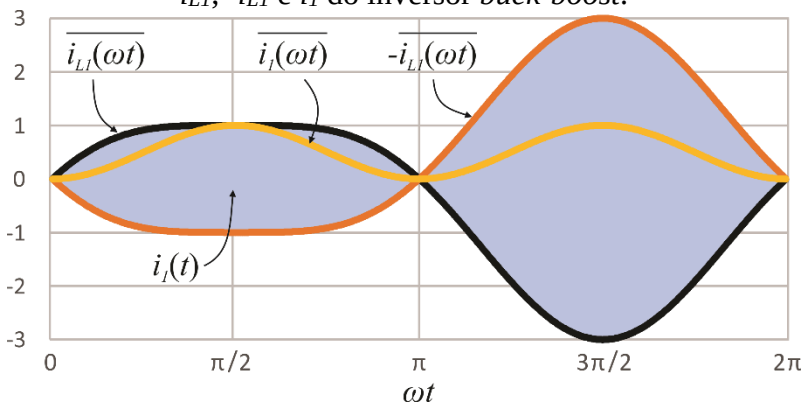
$$i_1(\omega t) = i_{L1}(\omega t)d(\omega t) - i_{L1}(\omega t)\left(1 - d(\omega t)\right) \tag{5.32}$$

$$i_1(\omega t) = I_{opk}\alpha \operatorname{sen}^2(\omega t) \tag{5.33}$$

$$\overline{i_1(\omega t)} = \frac{i_1(\omega t)}{I_{opk}} = \alpha \operatorname{sen}^2(\omega t) \tag{5.34}$$

O comportamento em baixa frequência dessas correntes pode ser observado na Figura 5.12.

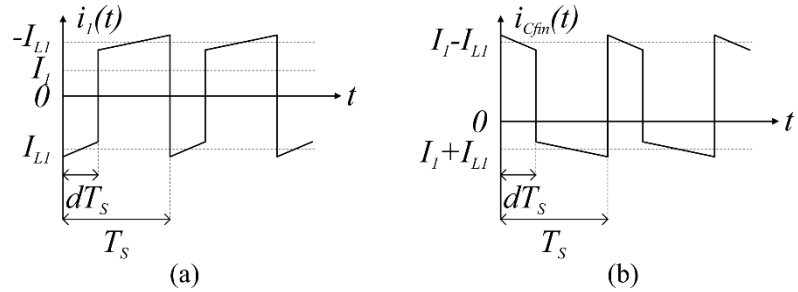
Figura 5.12 – Corrente i_1 comutando em alta frequência e envoltório em baixa frequência de i_{L1}, $-i_{L1}$ e i_1 do inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

O capacitor do filtro de entrada deverá ser capaz de fornecer a ondulação em alta frequência para que apenas o valor médio em baixa frequência seja drenado do banco de baterias. Pela Figura 5.12 nota-se que a maior ondulação da corrente de entrada ocorre para $\omega t = 3\pi/2$, logo, o projeto do filtro deve ser realizado para esse instante. A Figura 5.13 apresenta maiores detalhes da corrente i_1 e da corrente no capacitor do filtro i_{Cfin} durante um período de comutação em $\omega t = 3\pi/2$.

Figura 5.13 – Detalhe da corrente (a) i_1 e (b) i_{Cfin} em alta frequência no instante $\omega t = 3\pi/2$ no inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

Ressalta-se que o valor médio da corrente em cada etapa, I_{L1} e $-I_{L1}$, é o envoltório em baixa frequência de i_{L1}, dado por (5.19). Logo, durante a etapa de operação 1 a corrente que deverá ser fornecida pelo capacitor de filtro C_{fin} será como descreve (5.35), e como (5.36) durante a etapa 2.

$$i_{Cfin1} = I_1 + I_{opk}\left(2+\alpha\right) \tag{5.35}$$

$$i_{Cfin2} = I_1 - I_{opk}\left(2+\alpha\right) \tag{5.36}$$

Substituindo (5.33) com $\omega t = 3\pi/2$ em (5.35) e (5.36) encontra-se (5.37) e (5.38).

$$i_{Cfin1} = 2I_{opk}\left(1+\alpha\right) \tag{5.37}$$

$$i_{Cfin2} = -2I_{opk} \tag{5.38}$$

Deste modo, escrevem-se (5.39) e (5.40). Que podem ser desenvolvidas considerando (5.4) para $\omega t = 3\pi/2$ resultando ambas em (5.41).

$$i_C = C\frac{dv_C}{dt} \rightarrow 2I_{opk}\left(1+\alpha\right) = C_{fin}\frac{\Delta v_{Cfin}}{dT_s} \tag{5.39}$$

$$-2I_{opk} = C_{fin}\frac{\left(-\Delta v_{Cfin}\right)}{\left(1-d\right)T_s} \tag{5.40}$$

$$C_{fin} = \frac{I_{oef}\,2\sqrt{2}}{\Delta v_{Cfin}\,f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.41}$$

A frequência de corte do filtro LC é dada conforme (5.42). Rearranjando esta equação, L_{fin} pode ser calculado para a frequência de corte desejada f_{fin} utilizando (5.43).

$$\omega_f = 2\pi f_f = \frac{1}{\sqrt{L_f C_f}} \tag{5.42}$$

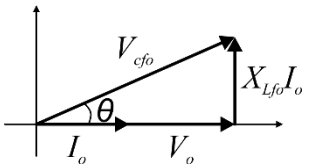
$$L_{fin} = \frac{1}{\left(2\pi f_{fin}\right)^2 C_{fin}} \tag{5.43}$$

Para o filtro de saída, a partir da relação descrita em (5.44) é possível desenhar o diagrama fasorial da Figura 5.14, onde X_{Lfo} é a reatância indutiva dada em (5.45).

$$v_{Cfo} = v_{Lfo} + v_o \tag{5.44}$$

$$X_{Lfo} = \omega_r L_{fo} = 2\pi f_r L_{fo} \tag{5.45}$$

Figura 5.14 – Diagrama fasorial das tensões e corrente de saída no inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

Duas relações obtidas por esse diagrama são apresentadas em (5.46) e (5.47).

$$\cos\left(\theta\right) = \frac{V_o}{V_{Cfo}} \tag{5.46}$$

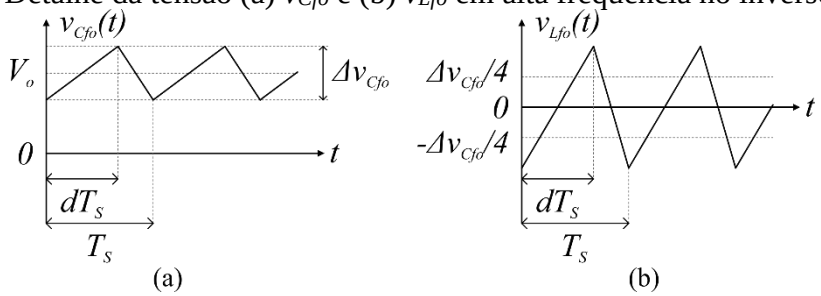
$$\tan(\theta) = \frac{X_{Lfo} I_o}{V_o} \tag{5.47}$$

Do ponto de vista do inversor, para que o seu funcionamento não seja alterado, a tensão desejada no capacitor C_{fo} é a própria tensão de saída v_o. Contudo, devido L_{fo}, existe uma pequena diferença. Dessa maneira, observando (5.46) e através de análise empírica foi estipulado θ_{max} igual a 0,25°, o que leva a razão V_o por V_{Cfo} ser 0,99999. Assim, através de (5.47) o valor máximo da indutância do filtro de saída pode ser encontrado, como demonstra (5.48).

$$L_{fo\max} = \frac{V_{oef}}{2\pi f_r I_{oef}} \tan(0,25°) \tag{5.48}$$

Uma vez que o valor médio da tensão no capacitor C_{fo} dentro do período de comutação é aproximadamente V_o, observam-se as tensões nos componentes do filtro conforme a Figura 5.15.

Figura 5.15 – Detalhe da tensão (a) v_{Cfo} e (b) v_{Lfo} em alta frequência no inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

Nota-se que, independentemente da razão cíclica, a tensão média em L_{fo} sempre será a quarta parte da ondulação de tensão no capacitor do filtro. Além disso, essa tensão é imposta durante a metade do período de comutação e o mesmo valor, porém negativo, é aplicado na outra metade. Logo, (5.49) pode ser escrita.

$$\frac{\Delta v_{Cfo}}{4} = L_{fo} \frac{\Delta i_o}{T_s/2} \tag{5.49}$$

Sendo o indutor L_{fo} uma escolha a partir de (5.48) e Δi_o a ondulação da corrente de saída, que é uma especificação de projeto, Δv_{Cfo} pode ser isolado (5.49) resultando em (5.50).

$$\Delta v_{Cfo} = 8 L_{fo} \Delta i_o f_s \tag{5.50}$$

Durante a segunda etapa de operação, a corrente em S_4 é igual a zero, portanto, a corrente no capacitor do filtro é igual ao inverso da corrente de saída I_o. Dessa maneira, escreve-se (5.51).

$$-I_o = C_{fo}\frac{\left(-\Delta v_{Cfo}\right)}{\left(1-d\right)T_s} \tag{5.51}$$

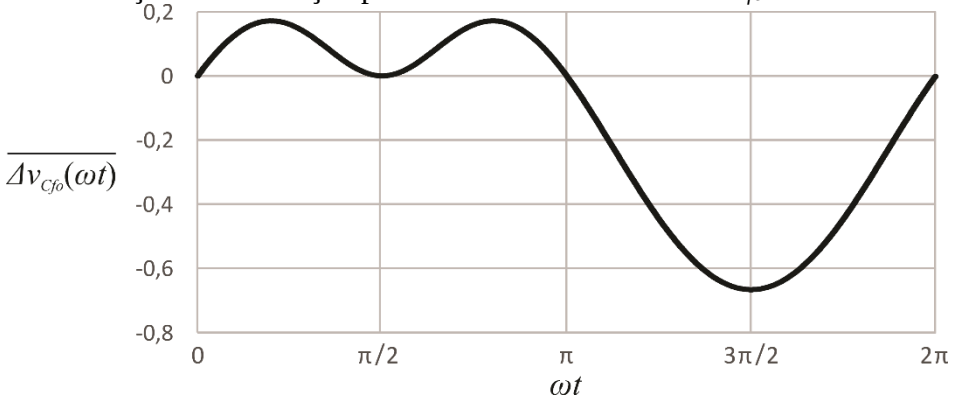
A partir desta equação e considerando que a corrente de saída é uma senoide, de acordo com (5.18), encontra-se a ondulação parametrizada da tensão em C_{fo} em (5.52). Substituindo (5.4) em (5.52), obtém-se (5.53).

$$\overline{\Delta v_{Cfo}} = \Delta v_{Cfo}\frac{C_{fo}\,f_s}{I_{opk}} = \left(1-d\left(\omega t\right)\right)\text{sen}\left(\omega t\right) \tag{5.52}$$

$$\overline{\Delta v_{Cfo}} = \left(\frac{1-\alpha\,\text{sen}\left(\omega t\right)}{2-\alpha\,\text{sen}\left(\omega t\right)}\right)\text{sen}\left(\omega t\right) \tag{5.53}$$

A variação dessa ondulação em baixa frequência é demonstrada na Figura 5.16 considerando α unitário.

Figura 5.16 – Variação da ondulação parametrizada da tensão em C_{fo} do inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

A maior ondulação dessa tensão ocorrerá em ωt = 3π/2, como visto na figura anterior. Isto posto, (5.54) é calculado a partir de (5.53).

$$\overline{\Delta v_{C1\max}} = \frac{1+\alpha}{2+\alpha} \tag{5.54}$$

Portanto, substituindo (5.54) e (5.50) em (5.52), encontra-se a equação para o dimensionamento do capacitor do filtro de saída, dada em (5.55).

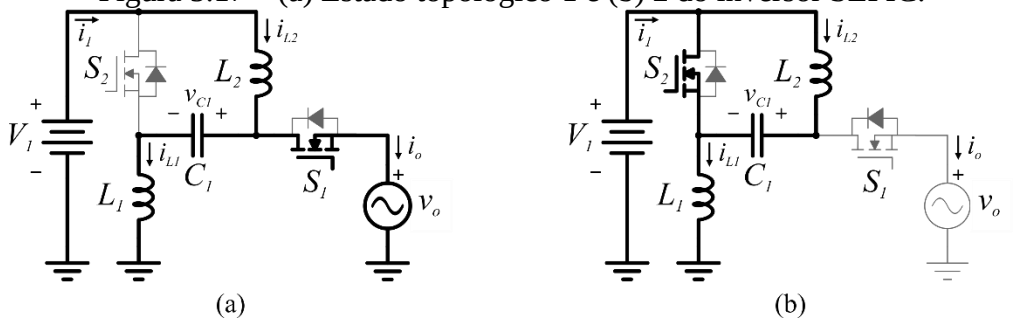
$$C_{fo} = \frac{I_{oef}\sqrt{2}}{8L_{fo}\Delta i_o\,f_s^{\,2}}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.55}$$

5.4 INVERSOR SEPIC

5.4.1 Etapas de Operação

A Figura 5.17 apresenta os estados topológicos do inversor SEPIC, os quais são analisados a seguir.

Figura 5.17 – (a) Estado topológico 1 e (b) 2 do inversor SEPIC.



Fonte: Elaborada pelo autor (2021).

Etapa de operação 1: O transistor S_1 conduz e S_2 está em bloqueio. Em L_2 é imposta a diferença de tensão entre V_1 e v_o, enquanto a tensão em L_1 é a diferença entre v_o e a tensão no capacitor C_1. A corrente neste capacitor é a mesma do indutor L_1. As correntes de entrada e de saída, i_1 e i_o, são iguais a corrente no indutor L_2.

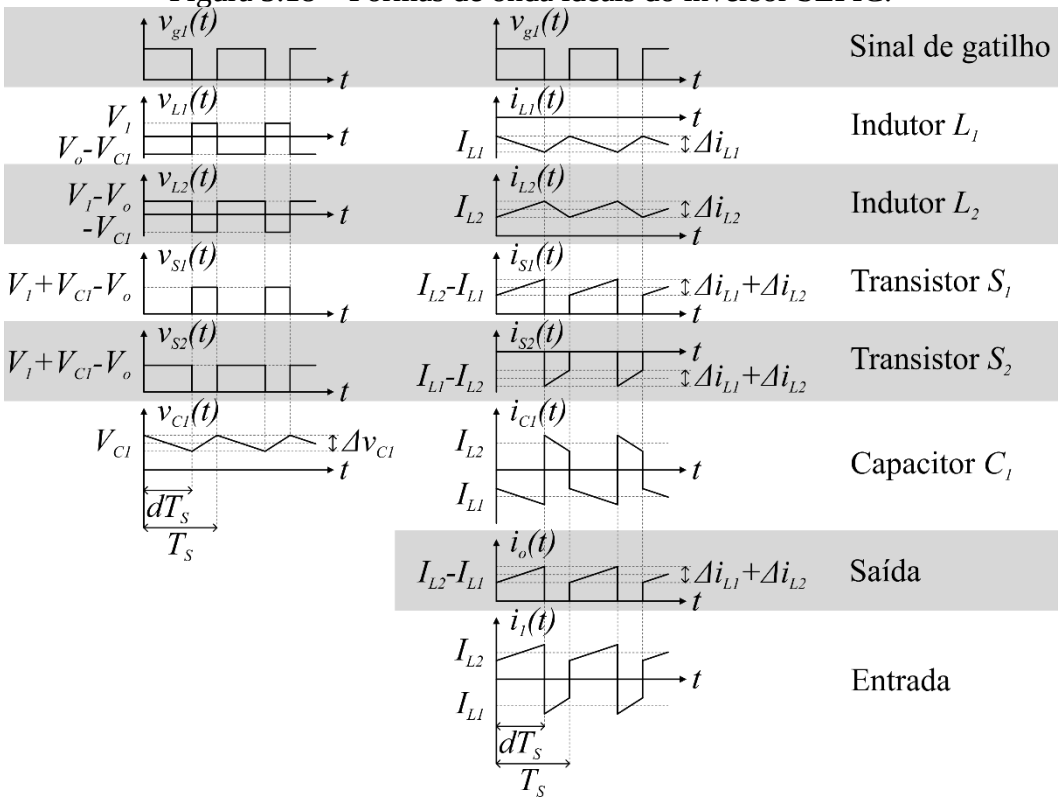
Etapa de operação 2: S_2 é comandado entrar em condução e S_1 a bloquear. A tensão em L_1 é igual a tensão de entrada e em L_2 é imposta a tensão inversa do capacitor C_1. A corrente desse capacitor passa a ser igual a corrente em L_2 e a corrente de entrada é igual a i_{L1}. A corrente de saída i_o é igual a zero.

5.4.2 Formas de Onda Ideais

Na Figura 5.18 são apresentadas as formas de onda ideais de todos os componentes do inversor SEPIC, além das correntes de entrada e saída para o período de comutação dos transistores. No lado esquerdo são expostas as tensões e no direito as correntes.

As variáveis V_o, V_{C1}, I_{L1} e I_{L2} são valores médios quase instantâneos que auxiliam no esboço das formas de onda.

Figura 5.18 – Formas de onda ideais do inversor SEPIC.



Fonte: Elaborada pelo autor (2021).

Através do equacionamento descrito posteriormente, em (5.81), constata-se que a corrente em L_1 possui polaridade inversa à corrente em L_2. Desta forma, I_{L1} é representado graficamente como um valor negativo, uma vez adotado I_{L2} como positivo. À vista disso, as correntes nos transistores possuem a soma modular dos valores das correntes em L_1 e L_2, bem como sua ondulação em alta frequência é a soma das ondulações dessas mesmas correntes.

5.4.3 Análise Orientada para Dimensionamento

Assim como realizado para o inversor *buck-boost*, através da tensão imposta aos indutores durante uma das etapas de operação é possível escrever (5.56) e (5.57). Para o indutor L_1 optou-se pela etapa 2, enquanto para o indutor L_2 pela etapa 1.

$$V_1 = L_1 \frac{\Delta i_{L1}}{(1-d)T_s} \tag{5.56}$$

$$V_1 - V_o = L_2 \frac{\Delta i_{L2}}{dT_s} \tag{5.57}$$

A partir dessas equações, encontram-se a ondulação de corrente parametrizada para esses indutores, conforme (5.58) e (5.59).

$$\overline{\Delta i_{L1}} = \Delta i_{L1} \frac{L_1 f_s}{V_1} = 1 - d \tag{5.58}$$

$$\overline{\Delta i_{L2}} = \Delta i_{L2} \frac{L_2 f_s}{V_1} = \left(1 - \frac{V_o}{V_1}\right) d \tag{5.59}$$

Substituindo a razão cíclica de (5.4) em (5.58) e (5.59) obtém-se a equação (5.60), demonstrando que ambas as equações levam ao mesmo resultado.

$$\overline{\Delta i_{L1}} = \overline{\Delta i_{L2}} = \frac{1 - \alpha sen(\omega t)}{2 - \alpha sen(\omega t)} \tag{5.60}$$

Nota-se que (5.60) é igual a (5.5). Logo, pode-se dizer que o valor máximo da ondulação de corrente nesses indutores é descrito por (5.61).

$$\overline{\Delta i_{L1\max}} = \overline{\Delta i_{L2\max}} = \frac{1+\alpha}{2+\alpha} \tag{5.61}$$

Dessa maneira, as equações de projeto dos indutores são descritas em (5.62) e (5.63), obtidas pela substituição de (5.61) em (5.58) e (5.59).

$$L_1 = \frac{V_1}{\Delta i_{L1} f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.62}$$

$$L_2 = \frac{V_1}{\Delta i_{L2} f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.63}$$

Considerando que o valor médio da corrente em C_1 é aproximadamente zero para um período de comutação, escreve-se (5.64). Já em (5.65) descreve-se a corrente de saída em função das correntes nos indutores. Isolando I_{L1} em uma dessas equações e substituindo na outra, obtém-se (5.66).

$$I_{C1} = I_{L1} d + I_{L2}\left(1 - d\right) = 0 \tag{5.64}$$

$$I_o = \left(I_{L2} - I_{L1}\right) d \tag{5.65}$$

$$I_{L2} = I_o \tag{5.66}$$

Como já mencionado, a corrente no capacitor C_1 durante a segunda etapa de operação é a mesma do indutor L_2. Considerando seu valor médio quase instantâneo dado em (5.66), (5.67) é escrita.

$$i_C = C \frac{dv_C}{dt} \rightarrow I_o = C_1 \frac{\Delta v_{C1}}{(1-d)T_s} \tag{5.67}$$

Rearranjando essa equação e ponderando a corrente de saída desejada mencionada em (5.18), a ondulação de tensão parametrizada é dada por (5.68).

$$\overline{\Delta v_{C1}} = \Delta v_{C1}\frac{C_1 f_s}{I_{opk}} = \left(1 - d\left(\omega t\right)\right)\text{sen}\left(\omega t\right) \tag{5.68}$$

Essa análise é a mesma realizada para (5.52), portanto, resulta no mesmo valor máximo. Este é reescrito em (5.69) para o caso da máxima variação de tensão no capacitor C_1 e também ocorre em $\omega t = 3\pi/2$. Logo, a equação de projeto do capacitor C_1 é calculada através de (5.68) e exibida em (5.70).

$$\overline{\Delta v_{C1\max}} = \frac{1+\alpha}{2+\alpha} \tag{5.69}$$

$$C_1 = \frac{I_{oef}\sqrt{2}}{\Delta v_{C1} f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.70}$$

5.4.4 Análise dos Esforços de Corrente e Tensão

De modo semelhante ao realizado para o inversor *buck-boost*, as equações que descrevem as formas de onda da Figura 5.18 são levantadas, e mostradas de (5.71) a (5.80).

$$i_{L1}^{'}\left(t\right) = I_{L1} + \frac{\Delta i_{L1}}{2} - \frac{\Delta i_{L1}}{dT_s}t \tag{5.71}$$

$$i_{L1}^{''}\left(t\right) = I_{L1} - \frac{\Delta i_{L1}}{2} + \frac{\Delta i_{L1}}{\left(1-d\right)T_s}t \tag{5.72}$$

$$i_{L2}^{'}\left(t\right) = I_{L2} - \frac{\Delta i_{L2}}{2} + \frac{\Delta i_{L2}}{dT_s}t \tag{5.73}$$

$$i_{L2}^{''}\left(t\right) = I_{L2} + \frac{\Delta i_{L2}}{2} - \frac{\Delta i_{L2}}{\left(1-d\right)T_s}t \tag{5.74}$$

$$i_{C1}^{'}\left(t\right) = i_{L1}^{'}\left(t\right) \tag{5.75}$$

$$i_{C1}^{''}\left(t\right) = i_{L2}^{''}\left(t\right) \tag{5.76}$$

$$i_{S1}^{'}\left(t\right) = i_{L2}^{'}\left(t\right) - i_{L1}^{'}\left(t\right) \tag{5.77}$$

$$i_{S1}^{''}\left(t\right) = 0 \tag{5.78}$$

$$i_{S2}^{'}\left(t\right) = 0 \tag{5.79}$$

$$i''_{S2}(t) = i''_{L1}(t) - i''_{L2}(t) \tag{5.80}$$

Com base em (5.64), (5.66) e (5.18), são verificados os envoltórios em baixa frequência das correntes em L_1 e em L_2, descritos em (5.81) e (5.82).

$$i_{L1}(\omega t) = I_{opk}\,\mathrm{sen}(\omega t)\left(\alpha\,\mathrm{sen}(\omega t) - 1\right) \tag{5.81}$$

$$i_{L2}(\omega t) = I_{opk}\,\mathrm{sen}(\omega t) \tag{5.82}$$

Reescrevendo (5.60), considerando (5.58) e (5.59), encontram-se (5.83) e (5.84).

$$\Delta i_{L1} = \frac{V_1}{L_1 f_s}\left(\frac{1-\alpha sen(\omega t)}{2-\alpha sen(\omega t)}\right) \tag{5.83}$$

$$\Delta i_{L2} = \frac{V_1}{L_2 f_s}\left(\frac{1-\alpha sen(\omega t)}{2-\alpha sen(\omega t)}\right) \tag{5.84}$$

Seguindo os mesmos passos apresentados na análise de esforços de corrente e tensão do inversor *buck-boost*, as correntes eficazes podem ser encontradas conforme (5.85)-(5.91) demonstra. Onde todas as variáveis foram parametrizadas conforme (5.90) e k é a relação entra as indutâncias L_1 e L_2, dada em (5.91).

$$\overline{I_{L1ef}} = \sqrt{\overline{I_{oef}}^2\left(1+\frac{3}{4}\alpha^2\right) + \frac{6-2\alpha^2+\left(4-\alpha^2\right)^{3/2}}{12k^2\left(4-\alpha^2\right)^{3/2}}} \tag{5.85}$$

$$\overline{I_{L2ef}} = \sqrt{\overline{I_{oef}}^2 + \frac{6-2\alpha^2+\left(4-\alpha^2\right)^{3/2}}{12\left(4-\alpha^2\right)^{3/2}}} \tag{5.86}$$

$$\overline{I_{S1ef}} = \sqrt{2\overline{I_{oef}}^2 + \frac{(k+1)^2\left(2\alpha^4-7\alpha^2+8\right)}{24k^2\left(4-\alpha^2\right)^{5/2}}} \tag{5.87}$$

$$\overline{I_{S2ef}} = \sqrt{\overline{I_{oef}}^2\left(2+\frac{3}{4}\alpha^2\right) + \frac{(k+1)^2\left[2\left(4-\alpha^2\right)^{5/2}-6\alpha^4+35\alpha^2-56\right]}{24k^2\left(4-\alpha^2\right)^{5/2}}} \tag{5.88}$$

$$\overline{I_{C1ef}} = \sqrt{\overline{I_{oef}}^2 + \frac{k^2\left[2\left(4-\alpha^2\right)^{5/2}-6\alpha^4+35\alpha^2-56\right]+2\alpha^4-7\alpha^2+8}{24k^2\left(4-\alpha^2\right)^{5/2}}} \tag{5.89}$$

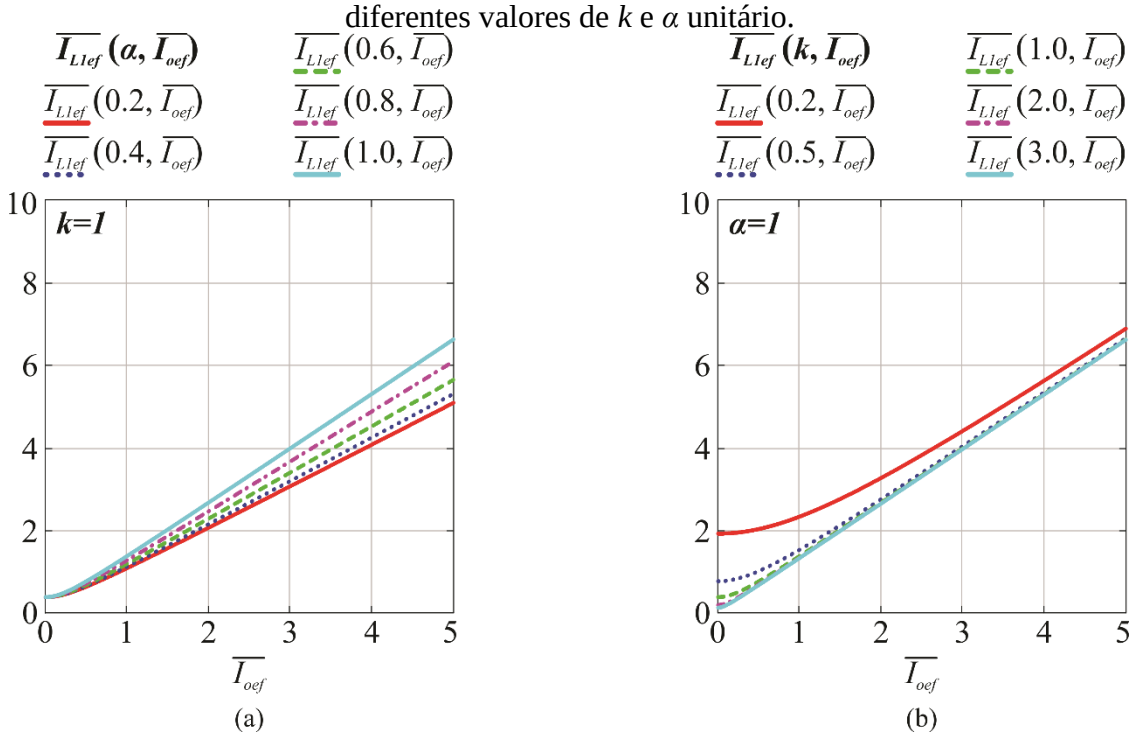
$$\bar{I} = \frac{IL_2 f_s}{V_1} \tag{5.90}$$

$$k = \frac{L_1}{L_2} \tag{5.91}$$

A partir dessas equações são analisadas graficamente, da Figura 5.19 a Figura 5.23, o comportamento de cada corrente de acordo com alterações nos valores das variáveis $\overline{I_{oef}}$, α e k. Observa-se que em todas essas figuras são apresentadas variações em α para k unitário a esquerda, enquanto são mostradas as variações de k para α unitário a direita, com exceção de $\overline{I_{L2ef}}$, na Figura 5.20, que não possui influência de k, segundo (5.86).

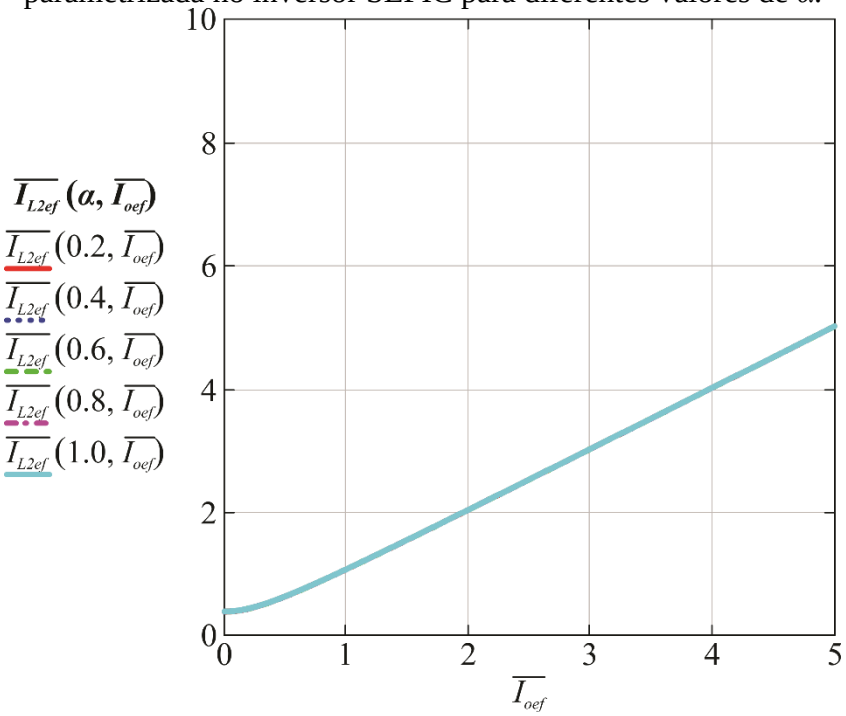
Nota-se os ângulos das retas traçadas das correntes em L_1 e S_2 se tornam maior à proporção que α aumenta, enquanto as correntes em L_2, S_1 e C_1 não apresentam alteração. Além disso, variações em k aparentam ter pouca influência nas correntes, para valores superiores a 0,5. Contudo, para $k<0,5$, a corrente em L_1 apresenta um deslocamento inversamente proporcional a k, como esperado, tendo em vista (5.91). Deslocamento este que pode ser relevante, pincipalmente para potências menores.

Figura 5.19 – Corrente eficaz em L_1 parametrizada em função da corrente eficaz de saída parametrizada no inversor SEPIC (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário.



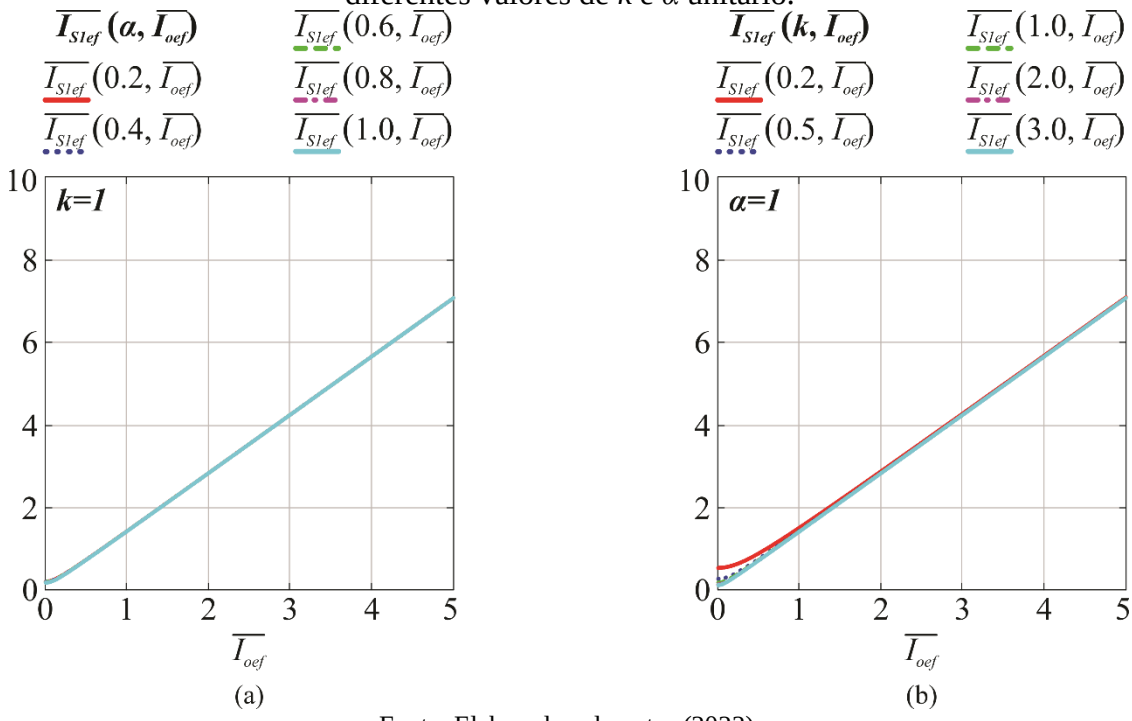
Fonte: Elaborada pelo autor (2022).

Figura 5.20 – Corrente eficaz em L_2 parametrizada em função da corrente eficaz de saída parametrizada no inversor SEPIC para diferentes valores de α.



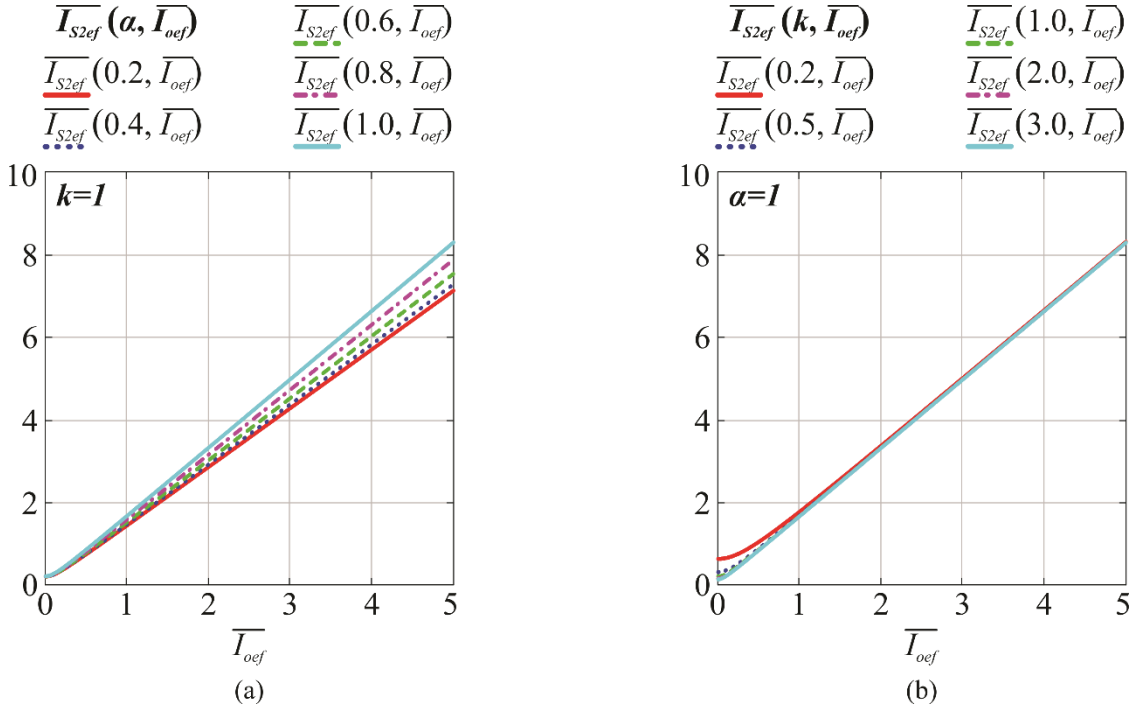
Fonte: Elaborada pelo autor (2022).

Figura 5.21 – Corrente eficaz em S_1 parametrizada em função da corrente eficaz de saída parametrizada no inversor SEPIC (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário.



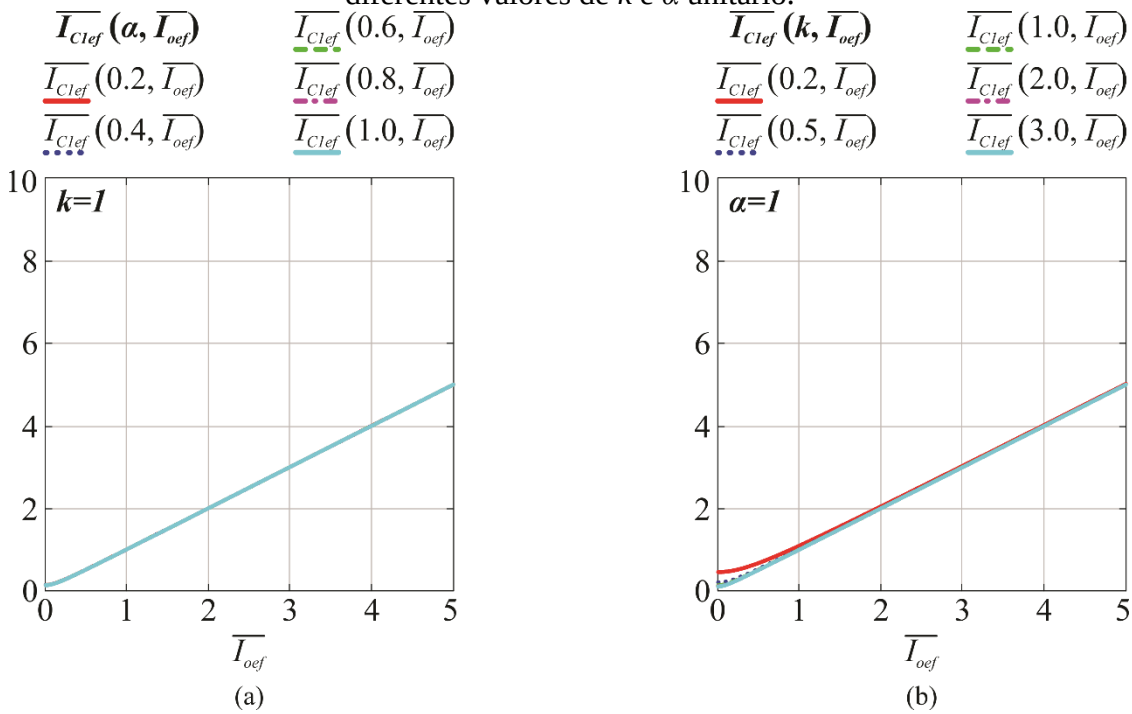
Fonte: Elaborada pelo autor (2022).

Figura 5.22 – Corrente eficaz em S_2 parametrizada em função da corrente eficaz de saída parametrizada no inversor SEPIC (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário.



Fonte: Elaborada pelo autor (2022).

Figura 5.23 – Corrente eficaz em C_1 parametrizada em função da corrente eficaz de saída parametrizada no inversor SEPIC (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário.



Fonte: Elaborada pelo autor (2022).

Sendo a tensão média no indutor L_2 igual a zero para um período de comutação, escreve-se (5.92).

$$V_{L2} = \left(V_1 - V_o\right) d - V_{C1}\left(1-d\right) = 0 \tag{5.92}$$

Considerando a razão cíclica dada em (5.4) e a tensão de saída senoidal, obtém-se (5.93).

$$V_{C1} = V_1 \tag{5.93}$$

A máxima tensão instantânea neste elemento pode ser escrita como em , onde é ponderada a ondulação de tensão em alta frequência.

$$V_{C1\max} = V_1 + \frac{\Delta v_{C1}}{2} \tag{5.94}$$

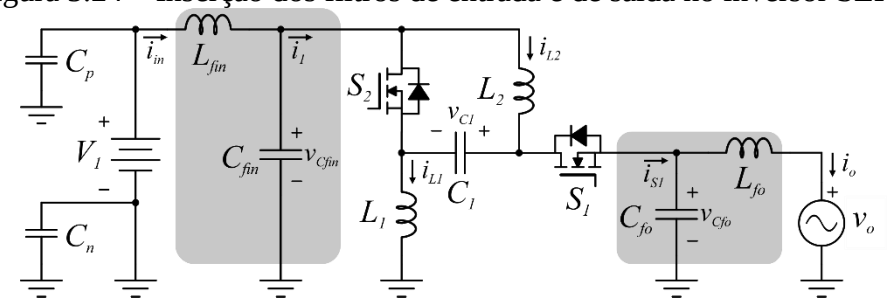
Isto posto, observando as formas de onda exibidas na Figura 5.18, é obtida a máxima tensão nos transistores, descrita em (5.95).

$$V_{S1\max} = V_{S2\max} = 2V_1 + V_{opk} + \frac{\Delta v_{C1}}{2} \tag{5.95}$$

5.4.5 Filtro de Entrada e de Saída

Por possuir uma corrente pulsada na entrada e na saída, como verificado na Figura 5.18, este inversor necessita de filtros de entrada e saída. Assim como no caso anterior, escolhem-se os filtros LC e CL para a entrada e para a saída, respectivamente, conforme apresentado na Figura 5.24. O dimensionamento desses filtros é semelhante ao apresentado para o inversor *buck-boost*.

Figura 5.24 – Inserção dos filtros de entrada e de saída no inversor SEPIC.



Fonte: Elaborada pelo autor (2022).

A corrente i_1 é igual i_{L2} durante a primeira etapa e igual a i_{L1} durante a segunda etapa, logo, seu comportamento em baixa frequência pode ser descrito como em (5.96). Substituindo (5.81), (5.82) e (5.4) em (5.96), encontra-se (5.97).

$$i_1(\omega t) = i_{L2}(\omega t)d(\omega t) + i_{L1}(\omega t)\left(1 - d(\omega t)\right) \tag{5.96}$$

$$i_1(\omega t) = I_{opk}\alpha\,\mathrm{sen}^2(\omega t) \tag{5.97}$$

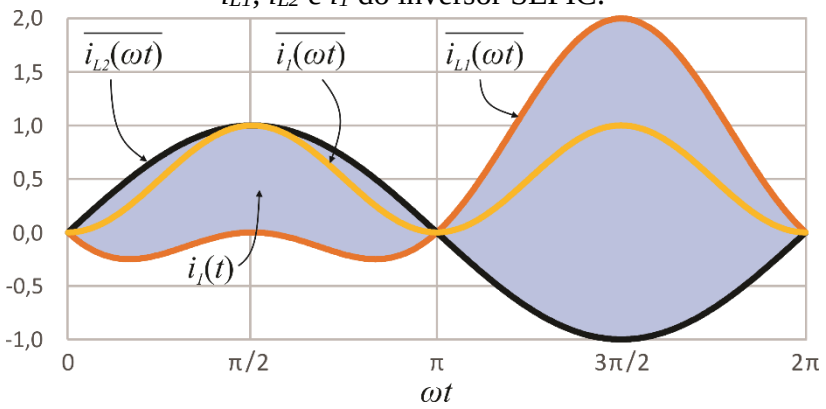
A Figura 5.25 apresenta o comportamento em baixa frequência dessas correntes, as quais foram parametrizadas e descritas em (5.98), (5.99) e (5.100).

$$\overline{i_1(\omega t)} = \frac{i_1(\omega t)}{I_{opk}} = \alpha\,\mathrm{sen}^2(\omega t) \tag{5.98}$$

$$\overline{i_{L1}(\omega t)} = \frac{i_{L1}(\omega t)}{I_{opk}} = \mathrm{sen}(\omega t)\left(\alpha\,\mathrm{sen}(\omega t) - 1\right) \tag{5.99}$$

$$\overline{i_{L2}(\omega t)} = \frac{i_{L2}(\omega t)}{I_{opk}} = \mathrm{sen}(\omega t) \tag{5.100}$$

Figura 5.25 – Corrente i_1 comutando em alta frequência e envoltório em baixa frequência de i_{L1}, i_{L2} e i_1 do inversor SEPIC.



Fonte: Elaborada pelo autor (2022).

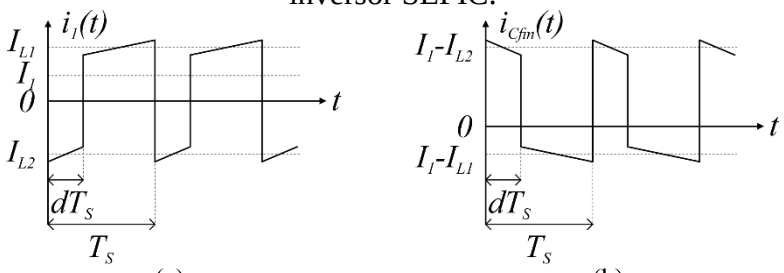
Nota-se que o momento de maior ondulação da corrente i_1 ocorre em $\omega t = 3\pi/2$. A Figura 5.26 apresenta as correntes i_1 e i_{Cfin} dentro do período de comutação para este instante.

Observando nesta figura a corrente no capacitor do filtro para cada etapa e considerando (5.81), (5.82) e (5.97), encontram-se (5.101) e (5.102). Onde, i_{Cfin1} é a corrente do capacitor durante a primeira etapa e i_{Cfin2} durante a segunda etapa.

$$i_{Cfin1} = I_{opk}\left(1 + \alpha\right) \tag{5.101}$$

$$i_{Cfin2} = -I_{opk} \tag{5.102}$$

Figura 5.26 – Detalhe da corrente (a) i_1 e (b) i_{Cfin} em alta frequência no instante $\omega t = 3\pi/2$ no inversor SEPIC.



Fonte: Elaborada pelo autor (2022).

Dessa maneira, escrevem-se (5.103) e (5.104). Considerando (5.4) e $\omega t = 3\pi/2$, C_{fin} pode ser isolado em qualquer uma dessas equações, resultando (5.105).

$$i_C = C\frac{dv_C}{dt} \rightarrow I_{opk}\left(1+\alpha\right) = C_{fin}\frac{\Delta v_{Cfin}}{dT_s} \tag{5.103}$$

$$-I_{opk} = C_{fin}\frac{\left(-\Delta v_{Cfin}\right)}{\left(1-d\right)T_s} \tag{5.104}$$

$$C_{fin} = \frac{I_{oef}\sqrt{2}}{\Delta v_{Cfin} f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.105}$$

Assim como demonstrado em (5.42), o indutor desse filtro pode ser calculado para uma especificação de frequência de corte, resultando em (5.106).

$$L_{fin} = \frac{1}{\left(2\pi f_{fin}\right)^2 C_{fin}} \tag{5.106}$$

O desenvolvimento do filtro de saída segue os mesmos passos e levam aos mesmos resultados apresentados para o inversor *buck-boost*. Logo, as equações para o dimensionamento dos componentes do filtro de saída são replicadas em (5.107) e (5.108).

$$L_{fo\max} = \frac{V_{oef}}{2\pi f_r I_{oef}}\tan\left(0,25°\right) \tag{5.107}$$

$$C_{fo} = \frac{I_{oef}\sqrt{2}}{8L_{fo}\Delta i_o f_s^2}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.108}$$

5.5 INVERSOR ZETA

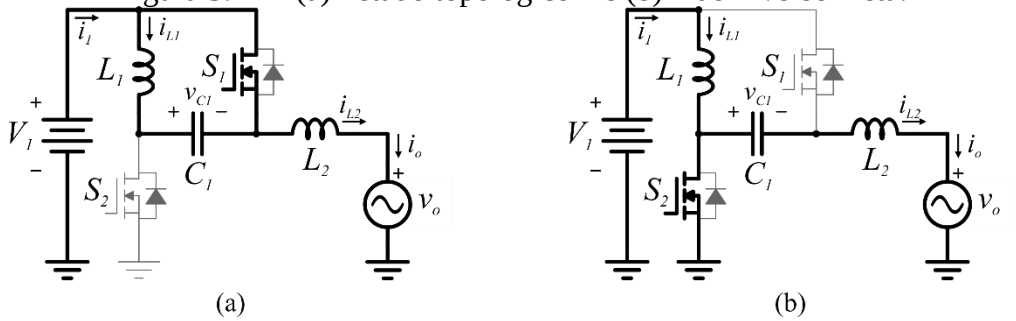
5.5.1 Etapas de Operação

As etapas de operação para o inversor zeta são demonstradas na Figura 5.27 e descritas a seguir.

Etapa de operação 1: O transistor S_1 recebe o comando de gatilho para o acionamento. O sinal complementar faz com que o transistor S_2 entre em bloqueio. A tensão no indutor L_1 é o negativo da tensão no capacitor C_1. Enquanto L_2 armazena energia submetido a diferença de tensão entre V_1 e v_o. A corrente no capacitor C_1 é igual a corrente no indutor L_1.

Etapa de operação 2: O transistor S_1 é comandado a bloquear e S_2 a conduzir. O indutor L_1 fica submetido a tensão de entrada V_1. O indutor L_2 transfere energia ao capacitor C_1 e para saída v_o. A corrente no capacitor C_1 é igual a corrente no indutor L_2.

Figura 5.27 – (a) Estado topológico 1 e (b) 2 do inversor zeta.



Fonte: Elaborada pelo autor (2021).

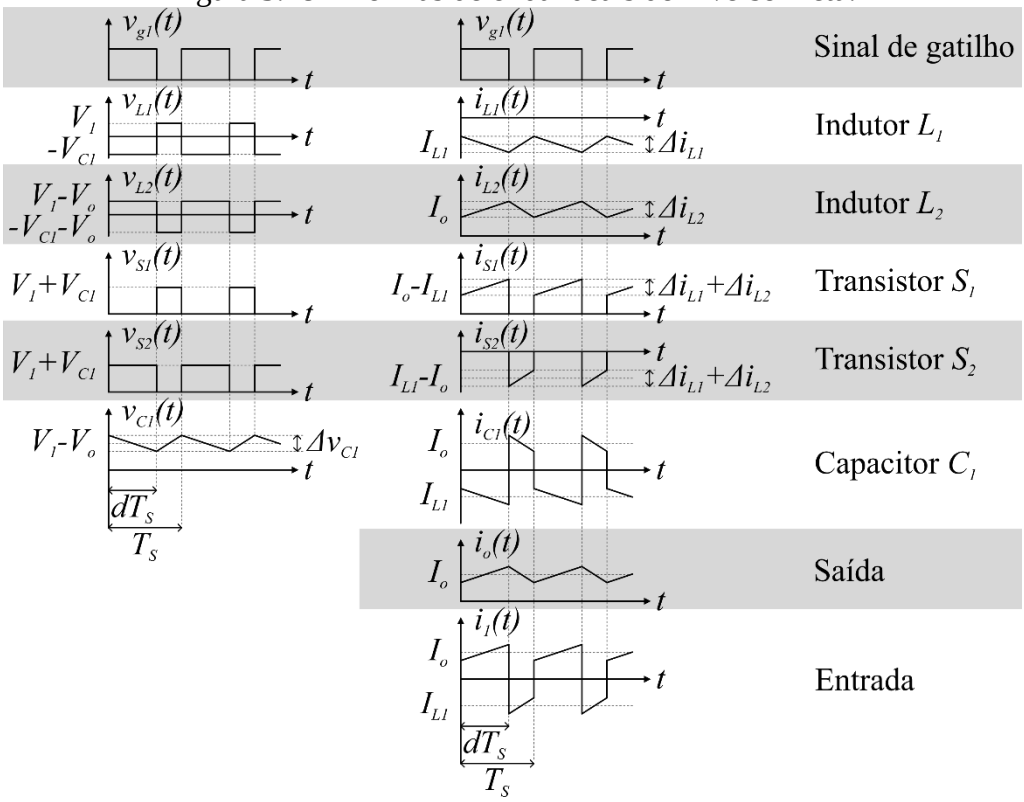
5.5.2 Formas de Onda Ideais

As formas de onda ideais em alta frequência nos componentes e as correntes de entrada e saída desta topologia são esboçadas na Figura 5.28. Tendo por referência o sinal de gatilho v_{g1}, as tensões são dispostas a esquerda e as correntes a direita. Os valores médios quase instantâneos V_o, V_{C1}, I_{L1} e I_o auxiliam no esboço dessas formas de onda.

Assim como no inversor SEPIC, a corrente em L_1 possui polaridade inversa à corrente em L_2, o que será demonstrado posteriormente em (5.129). Logo, I_{L1} é representado graficamente como um valor negativo, uma vez adotado I_o como positivo. Portanto, as

correntes nos transistores possuem a soma modular dos valores das correntes em L_1 e L_2, bem como sua ondulação em alta frequência é a soma das ondulações dessas mesmas correntes.

Figura 5.28 – Formas de onda ideais do inversor zeta.



Fonte: Elaborada pelo autor (2021).

5.5.3 Análise Orientada para Dimensionamento

Durante a segunda etapa de operação o indutor L_1 é submetido a tensão V_1, como mostra (5.109). Dessa maneira, é possível encontrar a ondulação de corrente parametrizada apresentada em (5.110).

$$v_L = L\frac{di_L}{dt} \rightarrow V_1 = L_1\frac{\Delta i_{L1}}{(1-d)T_s} \tag{5.109}$$

$$\overline{\Delta i_{L1}} = \Delta i_{L1}\frac{L_1 f_s}{V_1} = 1-d \tag{5.110}$$

De forma análoga, contudo, sendo considerada a primeira etapa de operação escreve-se (5.111). A partir desta verifica-se a ondulação de corrente parametrizada para o indutor L_2 em (5.112).

$$V_1 - V_o = L_2 \frac{\Delta i_o}{dT_s} \tag{5.111}$$

$$\overline{\Delta i_o} = \Delta i_o \frac{L_2 f_s}{V_1} = \left(1 - \frac{V_o}{V_1}\right) d \tag{5.112}$$

Estas são as mesmas ondulações de corrente demonstradas em (5.58) e (5.59) para o inversor SEPIC. Logo, resultam em um mesmo valor de ondulação máximo e, consequentemente, às mesmas equações para dimensionamento desses indutores, replicadas em (5.113) e (5.114).

$$L_1 = \frac{V_1}{\Delta i_{L1} f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.113}$$

$$L_2 = \frac{V_1}{\Delta i_o f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.114}$$

Como já mencionado, a corrente no capacitor C_1 durante a segunda etapa é a mesma do indutor L_2. Considerando seu valor médio quase instantâneo, (5.115) é escrita.

$$i_C = C\frac{dv_C}{dt} \rightarrow I_o = C_1 \frac{\Delta v_{C1}}{(1-d)T_s} \tag{5.115}$$

Nota-se que (5.115) é igual a equação apresentada para o SEPIC em (5.67). Portanto, a equação de projeto do capacitor C_1 é a mesma, a qual é reescrita em (5.116).

$$C_1 = \frac{I_{oef}\sqrt{2}}{\Delta v_{C1} f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.116}$$

5.5.4 Análise dos Esforços de Corrente e Tensão

A partir das expressões que descrevem as formas de onda apresentadas na Figura 5.28 são calculados os esforços de corrente nos componentes. As equações das retas para a primeira e segunda etapa de operação são descritas de (5.117) a (5.126).

$$i_{L1}^{'}(t) = I_{L1} + \frac{\Delta i_{L1}}{2} - \frac{\Delta i_{L1}}{dT_s} t \tag{5.117}$$

$$i_{L1}^{''}(t) = I_{L1} - \frac{\Delta i_{L1}}{2} + \frac{\Delta i_{L1}}{(1-d)T_s} t \tag{5.118}$$

$$i_{L2}^{'}(t) = I_o - \frac{\Delta i_o}{2} + \frac{\Delta i_o}{dT_s} t \tag{5.119}$$

$$i_{L2}^{''}(t) = I_o + \frac{\Delta i_o}{2} - \frac{\Delta i_o}{(1-d)T_s}t \tag{5.120}$$

$$i_{C1}^{'}(t) = i_{L1}^{'}(t) \tag{5.121}$$

$$i_{C1}^{''}(t) = i_{L2}^{''}(t) \tag{5.122}$$

$$i_{S1}^{'}(t) = i_{L2}^{'}(t) - i_{L1}^{'}(t) \tag{5.123}$$

$$i_{S1}^{''}(t) = 0 \tag{5.124}$$

$$i_{S2}^{'}(t) = 0 \tag{5.125}$$

$$i_{S2}^{''}(t) = i_{L1}^{''}(t) - i_{L2}^{''}(t) \tag{5.126}$$

A corrente de saída i_o é senoidal, como descrita em (5.18), e a equação que descreve i_{L1} pode ser verificada analisando a corrente média no capacitor C_1, uma vez que esta é nula em regime. Logo, de (5.127) é possível obter (5.128).

$$I_{C1} = I_{L1}d + I_o(1-d) = 0 \tag{5.127}$$

$$I_{L1} = -I_o\frac{(1-d)}{d} \tag{5.128}$$

Substituindo (5.18) e (5.4) em (5.128), encontra-se (5.129).

$$i_{L1}(\omega t) = I_{opk}\,\mathrm{sen}(\omega t)\left[\alpha\,\mathrm{sen}(\omega t) - 1\right] \tag{5.129}$$

Tanto as equações das retas quanto os envoltórios das correntes em L_1 e L_2 são iguais aos encontrados para o inversor SEPIC. Deste modo, os esforços de corrente e as análises realizadas são as mesmas. As equações dos esforços são reescritas de (5.130) a (5.134).

$$\overline{I_{L1ef}} = \sqrt{\overline{I_{oef}}^2\left(1+\frac{3}{4}\alpha^2\right) + \frac{6-2\alpha^2+\left(4-\alpha^2\right)^{3/2}}{12k^2\left(4-\alpha^2\right)^{3/2}}} \tag{5.130}$$

$$\overline{I_{L2ef}} = \sqrt{\overline{I_{oef}}^2 + \frac{6-2\alpha^2+\left(4-\alpha^2\right)^{3/2}}{12\left(4-\alpha^2\right)^{3/2}}} \tag{5.131}$$

$$\overline{I_{S1ef}} = \sqrt{2\overline{I_{oef}}^2 + \frac{(k+1)^2\left(2\alpha^4-7\alpha^2+8\right)}{24k^2\left(4-\alpha^2\right)^{5/2}}} \tag{5.132}$$

$$\overline{I_{S2ef}} = \sqrt{\overline{I_{oef}}^2 \left(2 + \frac{3}{4}\alpha^2\right) + \frac{(k+1)^2 \left[2\left(4-\alpha^2\right)^{5/2} - 6\alpha^4 + 35\alpha^2 - 56\right]}{24k^2\left(4-\alpha^2\right)^{5/2}}} \tag{5.133}$$

$$\overline{I_{C1ef}} = \sqrt{\overline{I_{oef}}^2 + \frac{k^2\left[2\left(4-\alpha^2\right)^{5/2} - 6\alpha^4 + 35\alpha^2 - 56\right] + 2\alpha^4 - 7\alpha^2 + 8}{24k^2\left(4-\alpha^2\right)^{5/2}}} \tag{5.134}$$

Com relação aos esforços de tensão, realiza-se a análise da tensão média quase instantânea no capacitor C_1, observada em (5.135). A tensão média nos indutores durante um período de comutação pode ser considerada zero, simplificando assim (5.135) em (5.136).

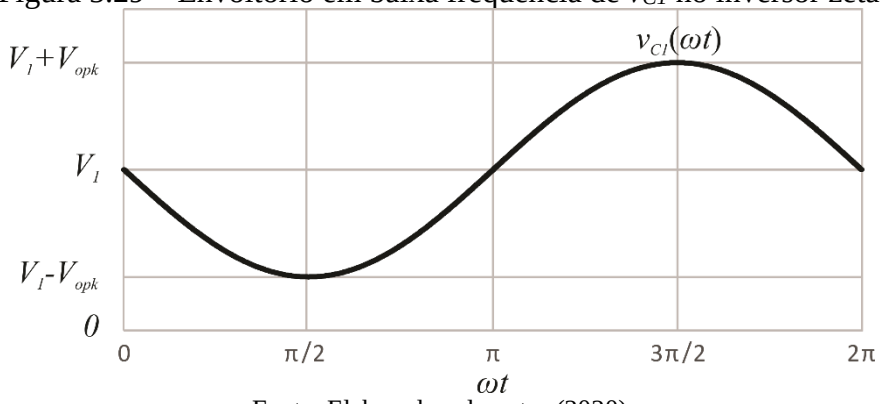
$$V_{C1} = V_1 - V_{L1} - V_o - V_{L2} \tag{5.135}$$

$$V_{C1} = V_1 - V_o \tag{5.136}$$

Dessa maneira, nota-se que o envoltório de v_{C1} em baixa frequência é o inverso da tensão de saída com um deslocamento médio de mesmo valor da tensão de entrada, como demonstra a Figura 5.29. Logo, o pico de tensão ocorre durante o semiciclo negativo da tensão da rede, resultando em (5.137).

$$V_{C1\max} = V_1 + V_{opk} + \frac{\Delta v_{C1}}{2} \tag{5.137}$$

Figura 5.29 – Envoltório em baixa frequência de v_{C1} no inversor zeta.



Fonte: Elaborada pelo autor (2020).

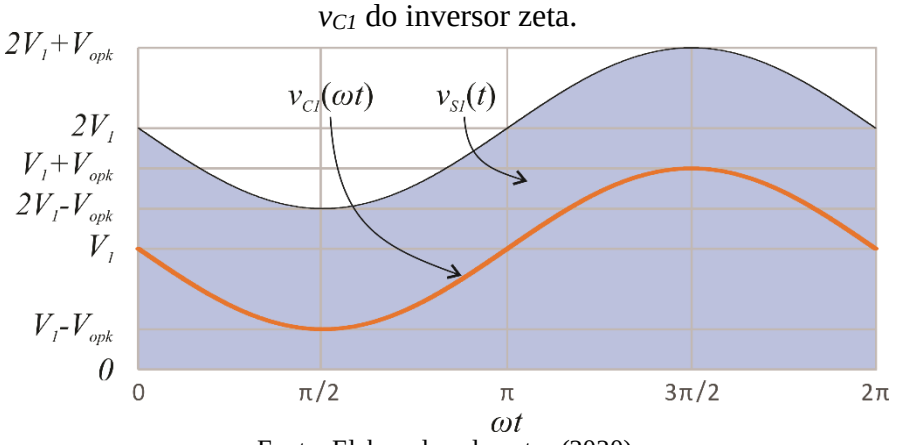
Por sua vez, quando bloqueados, ambos os transistores devem ser capazes de suportar a tensão de $V_1 + v_{C1}$, o que pode ser encontrado através da análise de malha. Isso quer dizer que o envoltório dessa tensão em baixa frequência será como a forma de v_{C1}, contudo acrescido de um deslocamento médio de valor igual a V_1. A Figura 5.30 mostra essa

constatação. Tanto v_{S1} quanto v_{S2} comutam em alta frequência de forma alternada de zero ao envoltório mencionado.

Sendo assim, a máxima tensão nos transistores é elevada, uma vez que é aproximadamente duas vezes a tensão de entrada somada ao pico da tensão de saída, como dado em (5.138).

$$V_{S1\max} = V_{S2\max} = 2V_1 + V_{opk} + \frac{\Delta v_{C1}}{2} \tag{5.138}$$

Figura 5.30 – Tensão v_{S1} comutando em alta frequência e o envoltório em baixa frequência de v_{C1} do inversor zeta.

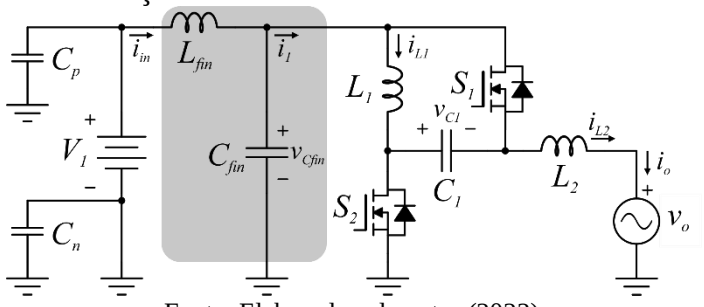


Fonte: Elaborada pelo autor (2020).

5.5.5 Filtro de Entrada

Com o intuito de reduzir consideravelmente a ondulação em alta frequência da corrente nas baterias, um filtro LC é inserido na entrada do inversor zeta, conforme a Figura 5.31.

Figura 5.31 – Inserção dos filtros de entrada e de saída no inversor zeta.



Fonte: Elaborada pelo autor (2022).

A corrente i_1 é igual a i_o durante a etapa 1 e igual a i_{L1} na etapa 2. Dessa maneira, a corrente i_1 comuta em alta frequência entre $i_o(\omega t)$ e $i_{L1}(\omega t)$. Essas correntes são dadas em (5.18) e (5.129). Este comportamento da corrente de entrada é o mesmo descrito para o inversor SEPIC, portanto as equações para o dimensionamento do filtro de entrada são iguais e são replicadas em (5.139) e (5.140).

$$C_{fin} = \frac{I_{oef}\sqrt{2}}{\Delta v_{Cfin} f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.139}$$

$$L_{fin} = \frac{1}{\left(2\pi f_{fin}\right)^2 C_{fin}} \tag{5.140}$$

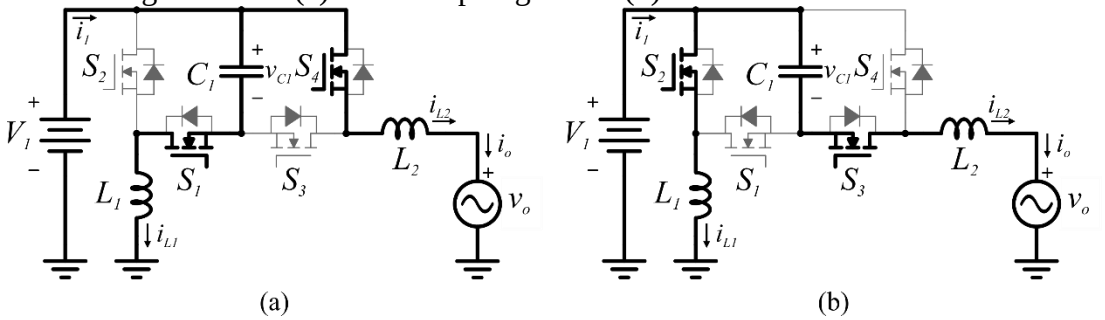
Por possuir um indutor de saída intrínseco a essa topologia, um filtro de saída não se faz necessário. Contudo, com o intuito de reduzir o tamanho do indutor de saída L_2, permitindo uma maior ondulação de corrente nele, é possível associar um par CL formando um filtro LCL, comumente utilizado para conexões com rede.

5.6 INVERSOR *BOOST-BUCK*

5.6.1 Etapas de Operação

A Figura 5.32 mostra os estados topológicos do inversor *boost-buck*, sendo que, para cada estado, um par de transistores é comutado de acordo com os sinais de gatilho do Quadro 5.1.

Figura 5.32 – (a) Estado topológico 1 e (b) 2 do inversor *boost-buck*.



Fonte: Elaborada pelo autor (2021).

Etapa de operação 1: Os transistores S_1 e S_4 são acionados pelo sinal de gatilho, enquanto o sinal complementar faz com que os transistores S_2 e S_3 fiquem desligados. No indutor L_1 é imposta a diferença entre a tensão de entrada V_1 e a tensão no capacitor C_1.

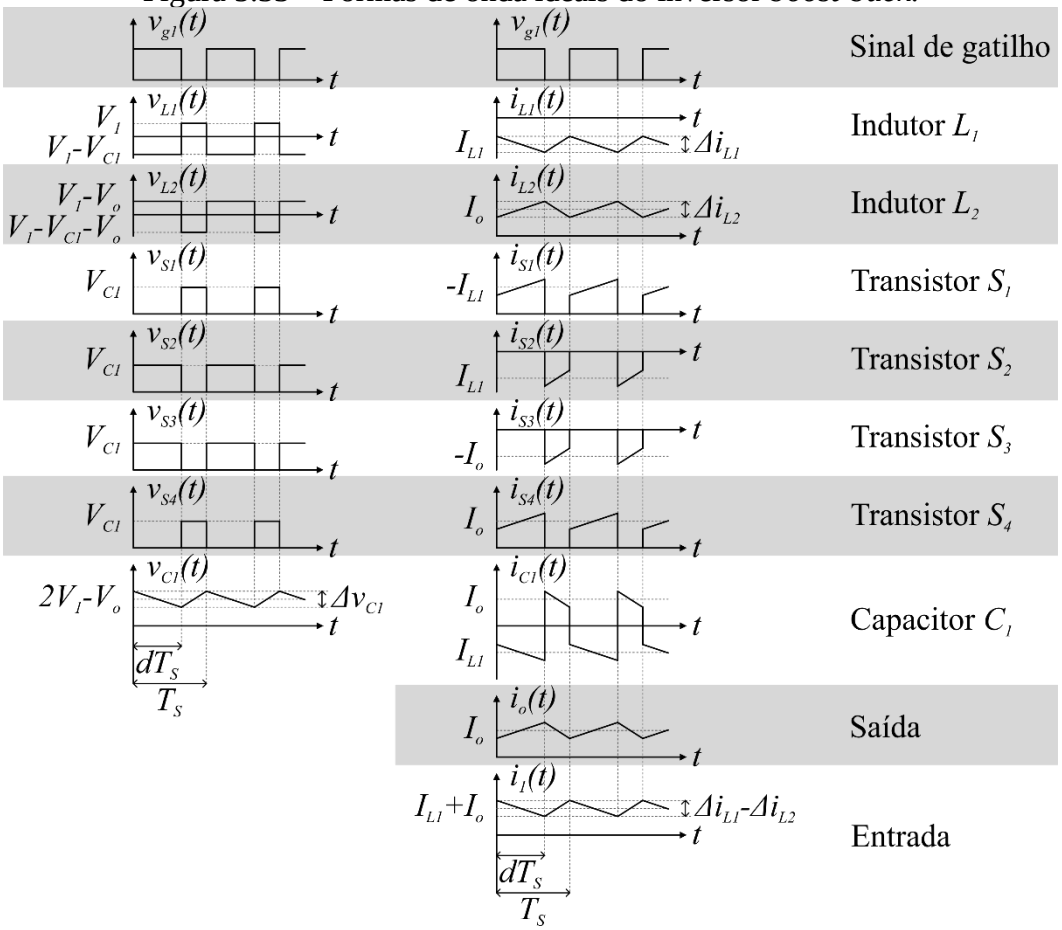
Enquanto L_2 é submetido a diferença de tensão entre V_1 e v_o. A corrente no capacitor C_1 é igual a corrente no indutor L_1.

Etapa de operação 2: Os transistores S_1 e S_4 são desligados e S_2 e S_3 ligados. A tensão no indutor L_1 passa a ser a própria tensão de entrada V_1. O indutor L_2 fica submetido a diferença entre a tensão de entrada V_1 e a soma das tensões v_o e v_{C1}. A corrente no capacitor C_1 é igual a corrente no indutor L_2.

5.6.2 Formas de Onda Ideais

A Figura 5.33 mostra as formas de onda ideais em cada componente do inversor e as correntes de entrada e saída. Ao lado esquerdo são dispostas as tensões, enquanto ao lado direito as correntes, ambos tendo por referência o sinal de gatilho v_{g1}. Os valores médios quase instantâneos I_{L1}, I_o, V_o e V_{C1} auxiliam no entendimento das formas esboçadas.

Figura 5.33 – Formas de onda ideais do inversor *boost-buck*.



Fonte: Elaborada pelo autor (2021).

Assim como nos dois inversores anteriores, a corrente em L_1 é inversa à corrente de saída i_o, como é demonstrado posteriormente por (5.165). Por esse motivo ela é representada graficamente como um valor negativo, uma vez adotado I_o como positivo.

Nota-se que indiferentemente das etapas de operação, a corrente de entrada sempre é a soma das correntes em L_1 e L_2, que, por serem inversas, acabam se subtraindo, tanto no valor médio quanto na ondulação.

5.6.3 Análise Orientada para Dimensionamento

Analisando a tensão no indutor L_1 durante a segunda etapa de operação e no indutor L_2 durante a primeira etapa, conforme (5.141) e (5.142), são verificadas as ondulações de corrente parametrizadas em (5.143) e (5.144).

$$v_L = L\frac{di_L}{dt} \rightarrow V_1 = L_1\frac{\Delta i_{L1}}{(1-d)T_s} \tag{5.141}$$

$$V_1 - V_o = L_2\frac{\Delta i_o}{dT_s} \tag{5.142}$$

$$\overline{\Delta i_{L1}} = \Delta i_{L1}\frac{L_1 f_s}{V_1} = 1-d \tag{5.143}$$

$$\overline{\Delta i_o} = \Delta i_o\frac{L_2 f_s}{V_1} = \left(1-\frac{V_o}{V_1}\right)d \tag{5.144}$$

Estas ondulações de corrente são iguais às encontradas para os inversores SEPIC e zeta, como mostra (5.58) e (5.59). Logo, este inversor possui as mesmas equações desenvolvidas anteriormente para o dimensionamento dos indutores L_1 e L_2, que são replicadas em (5.145) e (5.146).

$$L_1 = \frac{V_1}{\Delta i_{L1} f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.145}$$

$$L_2 = \frac{V_1}{\Delta i_o f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.146}$$

Durante a segunda etapa de operação a corrente no capacitor C_1 é igual a corrente de saída, sendo assim, escreve-se (5.147).

$$i_C = C\frac{dv_C}{dt} \rightarrow I_o = C_1\frac{\Delta v_{C1}}{(1-d)T_s} \tag{5.147}$$

Observando que esta expressão também é obtida nos inversores anteriores, a equação de projeto do capacitor C_1 será a mesma, a qual é reescrita em (5.148).

$$C_1 = \frac{I_{oef}\sqrt{2}}{\Delta v_{C1} f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.148}$$

5.6.4 Análise dos Esforços de Corrente e Tensão

Analogamente ao que foi realizado para os outros inversores, as expressões que descrevem as formas de onda da Figura 5.33 são levantadas, e mostradas de (5.149) a (5.162).

$$i_{L1}^{'}(t) = I_{L1} + \frac{\Delta i_{L1}}{2} - \frac{\Delta i_{L1}}{dT_s}t \tag{5.149}$$

$$i_{L1}^{''}(t) = I_{L1} - \frac{\Delta i_{L1}}{2} + \frac{\Delta i_{L1}}{(1-d)T_s}t \tag{5.150}$$

$$i_{L2}^{'}(t) = I_o - \frac{\Delta i_o}{2} + \frac{\Delta i_o}{dT_s}t \tag{5.151}$$

$$i_{L2}^{''}(t) = I_o + \frac{\Delta i_o}{2} - \frac{\Delta i_o}{(1-d)T_s}t \tag{5.152}$$

$$i_{C1}^{'}(t) = i_{L1}^{'}(t) \tag{5.153}$$

$$i_{C1}^{''}(t) = i_{L2}^{''}(t) \tag{5.154}$$

$$i_{S1}^{'}(t) = i_{L1}^{'}(t) \tag{5.155}$$

$$i_{S1}^{''}(t) = 0 \tag{5.156}$$

$$i_{S2}^{'}(t) = 0 \tag{5.157}$$

$$i_{S2}^{''}(t) = i_{L1}^{''}(t) \tag{5.158}$$

$$i_{S3}^{'}(t) = 0 \tag{5.159}$$

$$i_{S3}^{''}(t) = i_{L2}^{''}(t) \tag{5.160}$$

$$i_{S4}^{'}(t) = i_{L2}^{'}(t) \tag{5.161}$$

$$i_{S4}^{''}(t) = 0 \tag{5.162}$$

A corrente em L_2 é a própria corrente de saída, que possui um envoltório senoidal de acordo com (5.18). E, assim como realizado para o inversor zeta, a corrente em L_1 pode ser encontrada através da análise da corrente média no capacitor C_1. Portanto, escreve-se (5.163) que resulta em (5.164).

$$I_{C1} = I_{L1}d + I_o(1-d) = 0 \tag{5.163}$$

$$I_{L1} = -I_o \frac{(1-d)}{d} \tag{5.164}$$

Esta é a mesma expressão encontrada em (5.128) no inversor zeta. Logo, estes inversores possuem o mesmo envoltório da corrente em L_1, que é reescrito em (5.165).

$$i_{L1}(\omega t) = I_{opk}\,\mathrm{sen}(\omega t)\left[\alpha\,\mathrm{sen}(\omega t) - 1\right] \tag{5.165}$$

Considerando que as ondulações de corrente nos indutores são as mesmas que as apresentadas em (5.83) e (5.84) no inversor SEPIC, seguindo os mesmos passos apresentados na análise de esforços de corrente e tensão do inversor *buck-boost*, as correntes eficazes podem ser encontradas conforme demonstrado de (5.166) a (5.172). Onde todas as variáveis foram parametrizadas conforme (5.173) e k é a relação entra as indutâncias L_1 e L_2, dada em (5.174).

$$\overline{I_{L1ef}} = \sqrt{\overline{I_{oef}}^2\left(1+\frac{3}{4}\alpha^2\right) + \frac{6-2\alpha^2+\left(4-\alpha^2\right)^{3/2}}{12k^2\left(4-\alpha^2\right)^{3/2}}} \tag{5.166}$$

$$\overline{I_{L2ef}} = \sqrt{\overline{I_{oef}}^2 + \frac{6-2\alpha^2+\left(4-\alpha^2\right)^{3/2}}{12\left(4-\alpha^2\right)^{3/2}}} \tag{5.167}$$

$$\overline{I_{S1ef}} = \sqrt{\overline{I_{oef}}^2\left[\frac{8\alpha^4-64\alpha^2+128-4\left(4-\alpha^2\right)^{5/2}}{\alpha^2\left(4-\alpha^2\right)^{5/2}}\right] + \frac{2\alpha^4-7\alpha^2+8}{24k^2\left(4-\alpha^2\right)^{5/2}}} \tag{5.168}$$

$$\overline{I_{S2ef}} = \sqrt{\overline{I_{oef}}^2\left[\frac{\left(3\alpha^4+4\alpha^2+16\right)\left(4-\alpha^2\right)^{5/2}-32\left(4-\alpha^2\right)^2}{4\alpha^2\left(4-\alpha^2\right)^{5/2}}\right] + \frac{2\left(4-\alpha^2\right)^{5/2}-6\alpha^4+35\alpha^2-56}{24k^2\left(4-\alpha^2\right)^{5/2}}} \tag{5.169}$$

$$\overline{I_{S3ef}} = \sqrt{\overline{I_{oef}}^2 \left[\frac{\left(4+\alpha^2\right)\left(4-\alpha^2\right)^{5/2} - 8\alpha^4 + 64\alpha^2 - 128}{\alpha^2\left(4-\alpha^2\right)^{5/2}} \right] + \frac{2\left(4-\alpha^2\right)^{5/2} - 6\alpha^4 + 35\alpha^2 - 56}{24\left(4-\alpha^2\right)^{5/2}}} \tag{5.170}$$

$$\overline{I_{S4ef}} = \sqrt{\overline{I_{oef}}^2 \left[\frac{8\alpha^4 - 64\alpha^2 + 128 - 4\left(4-\alpha^2\right)^{5/2}}{\alpha^2\left(4-\alpha^2\right)^{5/2}} \right] + \frac{2\alpha^4 - 7\alpha^2 + 8}{24\left(4-\alpha^2\right)^{5/2}}} \tag{5.171}$$

$$\overline{I_{C1ef}} = \sqrt{\overline{I_{oef}}^2 + \frac{k^2\left[2\left(4-\alpha^2\right)^{5/2} - 6\alpha^4 + 35\alpha^2 - 56\right] + 2\alpha^4 - 7\alpha^2 + 8}{24k^2\left(4-\alpha^2\right)^{5/2}}} \tag{5.172}$$

$$\bar{I} = \frac{IL_2 f_s}{V_1} \tag{5.173}$$

$$k = \frac{L_1}{L_2} \tag{5.174}$$

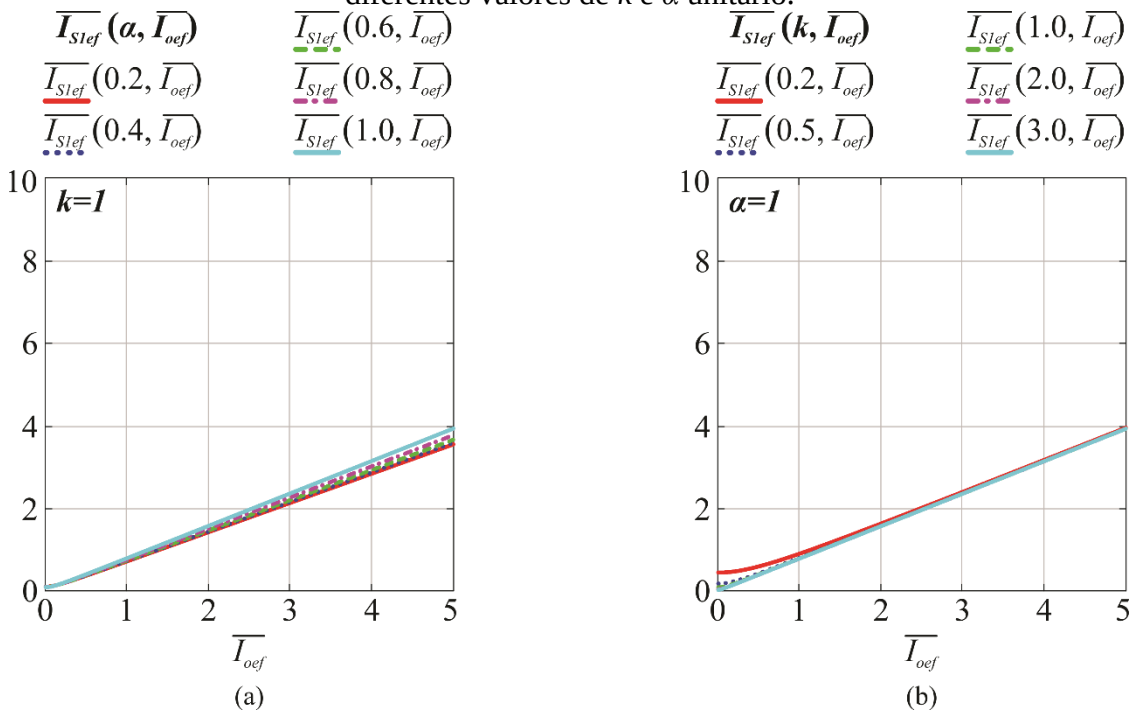
Nota-se que as expressões das correntes eficazes nos componentes passivos, L_1, L_2 e C_1, são iguais às apresentadas para os dois inversores anteriores. Logo, seu comportamento já foi analisado quando descrito o inversor SEPIC.

Da Figura 5.34 a Figura 5.37 é observado o comportamento da corrente eficaz em cada transistor em função da corrente eficaz de saída parametrizada $\overline{I_{oef}}$ para diferentes valores de α e k. Nessas figuras são apresentadas variações em α para k unitário a esquerda, enquanto as variações de k para α unitário encontram-se a direita. Para as correntes em S_3 e S_4 são realizadas alterações apenas em α, pois não possuem influência de k.

Constata-se que, com exceção da corrente em S_3, todas essas correntes se tornam mais íngremes conforme o valor de α aumenta. A corrente em S_3, por sua vez, reduz a inclinação para maiores valores de α. Dentre essas, a corrente eficaz de S_2 é a que apresenta maior distinção de angulação para diferentes valores de α.

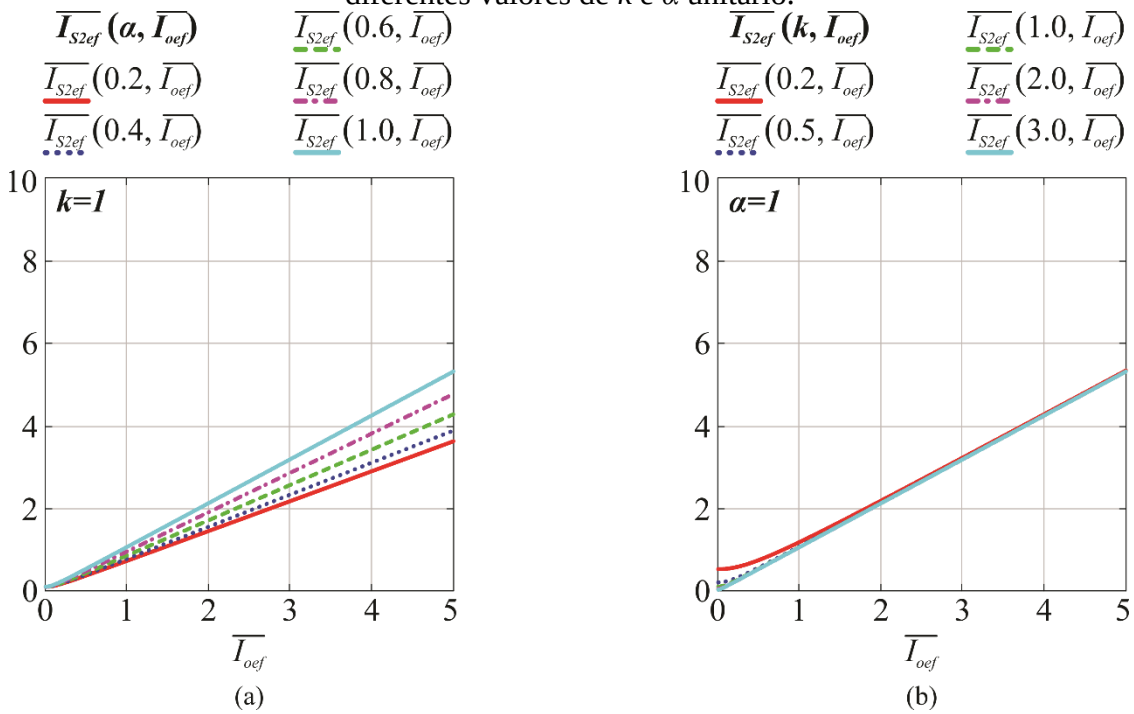
Com relação a variação de k, as correntes em S_1 e S_2 se comportam semelhantemente. Estas apresentam uma pequena distinção apenas para valores de $\overline{I_{oef}} < 1$ e $k < 0{,}5$.

Figura 5.34 – Corrente eficaz em S_1 parametrizada em função da corrente eficaz de saída parametrizada no inversor *boost-buck* (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário.



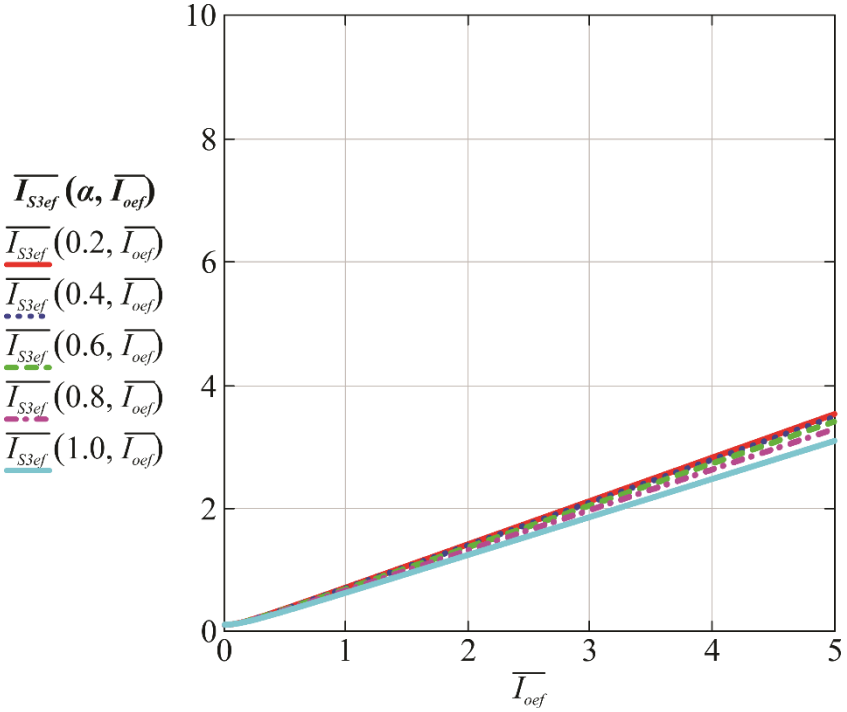
Fonte: Elaborada pelo autor (2022).

Figura 5.35 – Corrente eficaz em S_2 parametrizada em função da corrente eficaz de saída parametrizada no inversor *boost-buck* (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário.



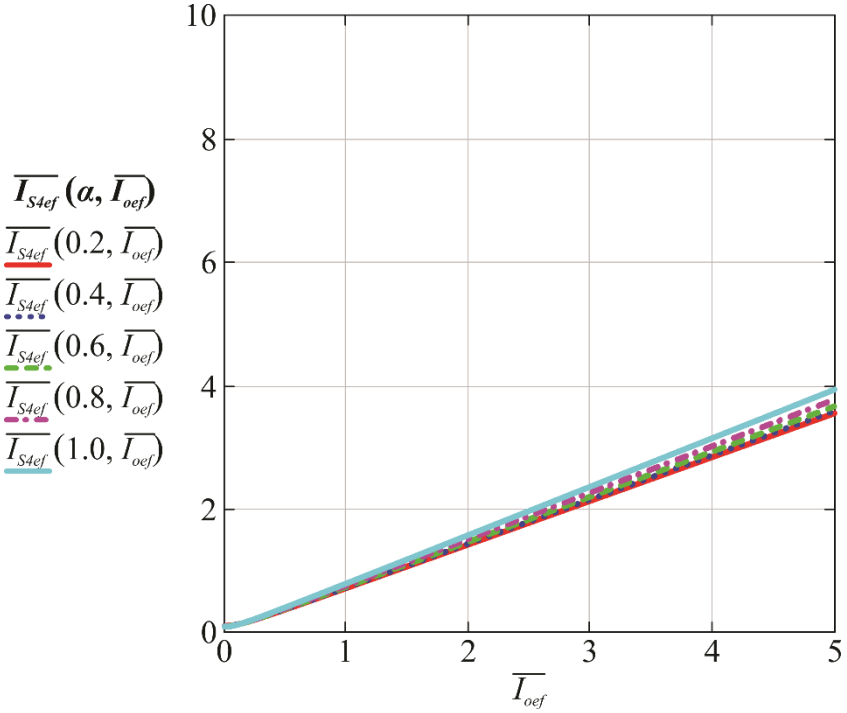
Fonte: Elaborada pelo autor (2022).

Figura 5.36 – Corrente eficaz em S_3 parametrizada em função da corrente eficaz de saída parametrizada no inversor *boost-buck* (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário.



Fonte: Elaborada pelo autor (2022).

Figura 5.37 – Corrente eficaz em S_4 parametrizada em função da corrente eficaz de saída parametrizada no inversor *boost-buck* (a) para diferentes valores de α e k unitário; (b) para diferentes valores de k e α unitário.



Fonte: Elaborada pelo autor (2022).

Observando o momento em que cada transistor está em bloqueio na Figura 5.32, nota-se que todos ficam submetidos a tensão do capacitor C_1. Analisando a tensão média no indutor L_1, que é considerada zero para um período de comutação, como descreve (5.175), encontra-se (5.176).

$$V_{L1} = \left(V_1 - V_{C1}\right) d + V_1 \left(1 - d\right) = 0 \tag{5.175}$$

$$V_{C1} = \frac{V_1}{d} \tag{5.176}$$

Considerando (5.176) e a razão cíclica dada em (5.4), o envoltório de v_{C1} pode ser encontrado como mostra (5.177).

$$v_{C1}\left(\omega t\right) = V_1 \left[2 - \alpha \operatorname{sen}\left(\omega t\right)\right] = 2V_1 - V_{opk} \operatorname{sen}\left(\omega t\right) \tag{5.177}$$

Dessa maneira, as tensões nos transistores variam em alta frequência entre zero e v_{C1}. Logo, seu valor máximo ocorrerá no semiciclo negativo da tensão da rede elétrica, e é expresso em (5.178).

$$V_{S1\max} = V_{S2\max} = V_{S3\max} = V_{S4\max} = 2V_1 + V_{opk} + \frac{\Delta v_{C1}}{2} \tag{5.178}$$

5.6.5 Filtros

Como mencionado anteriormente, a corrente de entrada nesta topologia sempre será a soma das correntes em L_1 e L_2. Portanto, com base em (5.18) e (5.165), escreve-se (5.179).

$$i_1(\omega t) = I_{opk} \alpha \operatorname{sen}^2(\omega t) \tag{5.179}$$

Nota-se que este é o próprio envoltório da corrente de entrada dos outros inversores, como descrito em (5.33). A única ondulação em alta frequência será a diferença entre as ondulações de corrente nos indutores. Portanto, esta é uma ondulação pequena e que poderá ser desprezada. Assim, não há necessidade de inserir um filtro de entrada.

Do mesmo modo que o inversor zeta, o inversor *boost-buck* possui um indutor de saída intrínseco, não havendo necessidade de um filtro de saída adicional.

5.7 INVERSORES OPERANDO DESCONECTADOS DA REDE ELÉTRICA

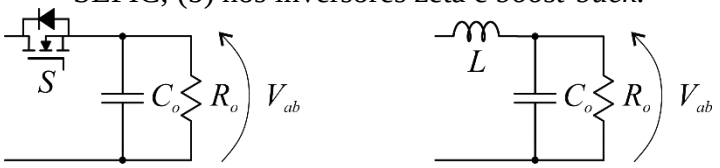
Embora esses inversores tenham sido idealizados para a conexão com a rede elétrica, usualmente são realizados testes prévios com cargas. Com carga resistiva, por exemplo, como

foram inicialmente apresentados na Figura 4.7. Para tanto, um capacitor de saída C_o deve ser dimensionado para que a tensão de saída seja próxima a tensão da rede elétrica.

Dois inversores possuem tensão de saída pulsada enquanto dois possuem saída em corrente, conforme a Figura 5.38. Para os inversores *buck-boost* e SEPIC, na Figura 5.38(a), durante a segunda etapa de operação a corrente do capacitor de saída deve sustentar a carga, como demonstra (5.180).

$$i_C = C\frac{dv_C}{dt} \rightarrow -I_o = C_o\frac{\left(-\Delta v_{C1}\right)}{\left(1-d\right)T_s} \tag{5.180}$$

Figura 5.38 – Capacitor de saída para a conexão com cargas (a) nos inversores *buck-boost* e SEPIC; (b) nos inversores zeta e *boost-buck*.



(a) (b)

Fonte: Elaborada pelo autor (2022).

Considerando a corrente de saída senoidal dada em (5.18), a ondulação de tensão parametrizada pode ser descrita como em (5.181).

$$\overline{\Delta v_{Co}} = \Delta v_{Co}\frac{C_o f_s}{I_{opk}} = \left(1-d\left(\omega t\right)\right)\text{sen}\left(\omega t\right) \tag{5.181}$$

Nota-se que esta é a mesma equação apresentada em (5.68), levando, portanto, ao mesmo resultado. Logo, a equação para o dimensionamento do capacitor de saída para os inversores com saída pulsada é dada em (5.182).

$$C_o = \frac{I_{oef}\sqrt{2}}{\Delta v_o f_s}\left(\frac{1+\alpha}{2+\alpha}\right) \tag{5.182}$$

Observa-se que o segundo caso, Figura 5.38(b), é semelhante a um conversor *buck* convencional. Logo, assim como em [88], escrevem-se (5.183), (5.184) e (5.185).

$$i_{Co} \cong \frac{\Delta i_L}{2}\text{sen}\left(\omega_s t\right) \tag{5.183}$$

$$\omega_s = 2\pi f_s \tag{5.184}$$

$$C_o = \frac{\Delta i_L}{2\pi f_s \Delta v_o} \tag{5.185}$$

5.8 SÍNTESE

Com o objetivo de facilitar a comparação entre os inversores gerados, foram elaborados dois quadros que resumem as equações encontradas neste capítulo. No Quadro 5.2 são apresentadas todas as equações para o dimensionamento dos componentes passivos, enquanto o Quadro 5.3 mostra as expressões para o cálculo dos esforços de corrente e tensão. Sendo que as variáveis auxiliares utilizadas neste quadro são definidas de (5.186) a (5.191).

$$x_1 = 6 - 2\alpha^2 + \left(4 - \alpha^2\right)^{3/2} \tag{5.186}$$

$$x_2 = 4 - \alpha^2 \tag{5.187}$$

$$x_3 = 2\alpha^4 - 7\alpha^2 + 8 \tag{5.188}$$

$$x_4 = 2\left(4 - \alpha^2\right)^{5/2} - 6\alpha^4 + 35\alpha^2 - 56 \tag{5.189}$$

$$x_5 = 3\alpha^4 + 4\alpha^2 + 16 \tag{5.190}$$

$$x_6 = 8\alpha^4 - 64\alpha^2 + 128 \tag{5.191}$$

Quadro 5.2 – Equações de dimensionamento dos componentes passivos por topologia.

Elemento	Topologia			
	Buck-Boost	SEPIC	Zeta	*Boost-Buck*
L_1	$\frac{V_1}{\Delta i_{L1} f_s}\left(\frac{1+\alpha}{2+\alpha}\right)$			
L_2	-	$\frac{V_1}{\Delta i_{L2} f_s}\left(\frac{1+\alpha}{2+\alpha}\right)$	$\frac{V_1}{\Delta i_o f_s}\left(\frac{1+\alpha}{2+\alpha}\right)$	
C_1	-	$\frac{I_{oef}\sqrt{2}}{\Delta v_{C1} f_s}\left(\frac{1+\alpha}{2+\alpha}\right)$		
C_{fin}	$\frac{I_{oef}\,2\sqrt{2}}{\Delta v_{Cfin} f_s}\left(\frac{1+\alpha}{2+\alpha}\right)$	$\frac{I_{oef}\sqrt{2}}{\Delta v_{Cfin} f_s}\left(\frac{1+\alpha}{2+\alpha}\right)$		-
L_{fin}	$\frac{1}{\left(2\pi f_{fin}\right)^2 C_{fin}}$			-
C_{fo}	$\frac{I_{oef}\sqrt{2}}{8 L_{fo} \Delta i_o f_s^2}\left(\frac{1+\alpha}{2+\alpha}\right)$		-	-
L_{fomax}	$\frac{V_{oef}}{2\pi f_r I_{oef}}\tan(0,25°)$		-	-
C_o	$\frac{I_{oef}\sqrt{2}}{\Delta v_o f_s}\left(\frac{1+\alpha}{2+\alpha}\right)$		$\frac{\Delta i_{L2}}{2\pi f_s \Delta v_o}$	

Fonte: Elaborada pelo autor (2022).

Quadro 5.3 – Esforços de corrente e tensão por topologia.

Variável	Topologia			
	Buck-Boost	SEPIC	Zeta	*Boost-Buck*
I_{L1ef}	$\sqrt{I_{oef}^2\left(4+\frac{3}{4}\alpha^2\right)+\frac{V_1^2 x_1}{12L_1^2 f_s^2 x_2^{3/2}}}$	$\sqrt{I_{oef}^2\left(1+\frac{3}{4}\alpha^2\right)+\frac{V_1^2 x_1}{12L_1^2 f_s^2 x_2^{3/2}}}$		
I_{L2ef}	-	$\sqrt{I_{oef}^2+\frac{V_1^2 x_1}{12L_2^2 f_s^2 x_2^{3/2}}}$		
I_{S1ef}	$\sqrt{2I_{oef}^2+\frac{V_1^2 x_3}{24L_1^2 f_s^2 x_2^{5/2}}}$	$\sqrt{2I_{oef}^2+\frac{V_1^2\left(L_1+L_2\right)^2 x_3}{24L_1^2 L_2^2 f_s^2 x_2^{5/2}}}$		$\sqrt{I_{oef}^2\left(\frac{x_6-4x_2^{5/2}}{\alpha^2 x_2^{5/2}}\right)+\frac{V_1^2 x_3}{24L_1^2 f_s^2 x_2^{5/2}}}$
I_{S2ef}	$\sqrt{I_{oef}^2\left(2+\frac{3}{4}\alpha^2\right)+\frac{V_1^2 x_4}{24L_1^2 f_s^2 x_2^{5/2}}}$	$\sqrt{I_{oef}^2\left(2+\frac{3}{4}\alpha^2\right)+\frac{V_1^2\left(L_1+L_2\right)^2 x_4}{24L_1^2 L_2^2 f_s^2 x_2^{5/2}}}$		$\sqrt{I_{oef}^2\left[\frac{x_5 x_2^{5/2}-32x_2^2}{4\alpha^2 x_2^{5/2}}\right]+\frac{V_1^2 x_4}{24L_1^2 f_s^2 x_2^{5/2}}}$
I_{S3ef}	$\sqrt{I_{oef}^2\left(2+\frac{3}{4}\alpha^2\right)+\frac{V_1^2 x_4}{24L_1^2 f_s^2 x_2^{5/2}}}$	-		$\sqrt{I_{oef}^2\left(\frac{\left(4+\alpha^2\right)x_2^{5/2}-x_6}{\alpha^2 x_2^{5/2}}\right)+\frac{V_1^2 x_4}{24L_2^2 f_s^2 x_2^{5/2}}}$
I_{S4ef}	$\sqrt{2I_{oef}^2+\frac{V_1^2 x_3}{24L_1^2 f_s^2 x_2^{5/2}}}$	-		$\sqrt{I_{oef}^2\left(\frac{x_6-4x_2^{5/2}}{\alpha^2 x_2^{5/2}}\right)+\frac{V_1^2 x_3}{24L_2^2 f_s^2 x_2^{5/2}}}$
I_{C1ef}	-	$\sqrt{I_{oef}^2+\frac{V_1^2\left(L_1^2 x_4+L_2^2 x_3\right)}{24L_1^2 L_2^2 f_s^2 x_2^{5/2}}}$		
V_{C1max}	-	$V_1+\frac{\Delta v_{C1}}{2}$	$V_1+V_{opk}+\frac{\Delta v_{C1}}{2}$	$2V_1+V_{opk}+\frac{\Delta v_{C1}}{2}$
V_{S1max}	V_1	$2V_1+V_{opk}+\frac{\Delta v_{C1}}{2}$		
V_{S2max}	V_1	$2V_1+V_{opk}+\frac{\Delta v_{C1}}{2}$		
V_{S3max}	V_1+V_{opk}	-		$2V_1+V_{opk}+\frac{\Delta v_{C1}}{2}$
V_{S4max}	V_1+V_{opk}	-		$2V_1+V_{opk}+\frac{\Delta v_{C1}}{2}$

Fonte: Elaborada pelo autor (2022).

5.9 CONCLUSÕES

Os quatro inversores derivados através do método proposto no capítulo 4 foram analisados individualmente quanto as suas etapas de operação, formas de onda ideais, equacionamento orientado para dimensionamento dos elementos, esforços de corrente e tensão, e a necessidade de filtros de entrada e saída com respectivo dimensionamento.

O presente capítulo fornece embasamento para compreensão do funcionamento de cada inversor e equacionamento completo para dimensionar um protótipo.

Com os quadros apresentados na seção anterior, 5.8, é possível verificar que esses inversores compartilham diversas similaridades matemáticas.

6 MODELAGEM E CONTROLE DOS INVERSORES GERADOS

A família de inversores propostos neste trabalho apresenta um comportamento dinâmico não linear complexo. Seus modelos representados por equações diferenciais não lineares são sistemas dinâmicos variantes no tempo e, portanto, não apresentam pontos de equilíbrio. Por este motivo não é correto, do ponto de vista matemático, aplicar as técnicas clássicas de linearização em torno de um equilíbrio. No APÊNDICE B, a título de exemplo, é mostrado como o método da linearização clássica quando aplicado ao inversor zeta em diferentes pontos do sinal senoidal, considerados como pontos de operação ou equilíbrio do sistema, conduz a resultados matematicamente incorretos sendo, portanto, inviável aplicar esta técnica de linearização local quando os sistemas são variantes no tempo ou, como também são denominados, sistemas forçados.

Por outro lado, a conversão de um sinal CC em um sinal CA, como realizada pelos inversores, leva o circuito a operar com sinais senoidais ou quase senoidais, tanto na corrente dos indutores como nas tensões de saída e dos capacitores. Portanto, o fato de as variáveis do circuito terem um comportamento senoidal ou quase senoidal caracteriza um sistema dinâmico variante no tempo, uma vez que o tempo aparece explicitamente nas equações do sistema. Ante a inviabilidade matemática de linearizar o sistema em um ponto de equilíbrio para estudar a dinâmica local, uma opção viável seria linearizar o sistema sobre uma dada trajetória senoidal considerada como solução do sistema de equações. Entretanto este procedimento, apesar de ser em teoria factível, resulta em difícil implementação prática dada a complexidade das equações não lineares do sistema estudado.

Uma alternativa, adotada neste trabalho, consiste em linearizar as equações não lineares do sistema mediante uma ação de controle realimentado. Esta técnica é conhecida como Linearização por Realimentação ou Controle por Realimentação Linearizante (do inglês *Feedback Linearization Control* – FLC). Esta difere da técnica de linearização clássica em torno de um ponto de equilíbrio, pois permite linearizar o sistema nas próprias equações, cancelando de forma exata ou parcial os termos não lineares presentes nas equações do sistema.

A ideia central desta técnica consiste em transformar algebricamente a dinâmica do sistema não linear de forma total ou parcial, de modo que os métodos de controle linear possam ser aplicados. Novamente ressalta-se que este conceito difere totalmente da linearização em torno a um ponto de equilíbrio levando a modelos lineares de pequenos

sinais, pois a linearização por realimentação é obtida por transformações exatas dos estados e não por aproximações lineares da dinâmica do sistema. Para maiores detalhes teóricos sobre esta técnica vide [89].

Neste capítulo é aplicada a técnica FLC à família de inversores apresentada no capítulo 5. Esta representa uma alternativa de controle baseada na estratégia de linearização sobre as equações não lineares do sistema inversor e no projeto de uma lei de controle para o sistema linear resultante.

6.1 CONTROLE FLC

Basicamente a técnica FLC está associada ao projeto de uma lei de controle que permita cancelar total ou parcialmente as não linearidades das equações do modelo do sistema. Exemplos de aplicação desta técnica na área de eletrônica de potência podem ser encontrados em [90]-[93]. Portanto, considerando o sistema não linear dado em (6.1) e (6.2), aplica-se a lei de controle FLC dada em (6.3) para se obter a equação (6.4) que representa o sistema linearizado sendo $u(t)$ a nova variável de controle.

$$\dot{x} = f(x) + g(x)d(t) \tag{6.1}$$

$$y = h(x) \tag{6.2}$$

$$d(t) = \frac{u(t) - f(x)}{g(x)} \tag{6.3}$$

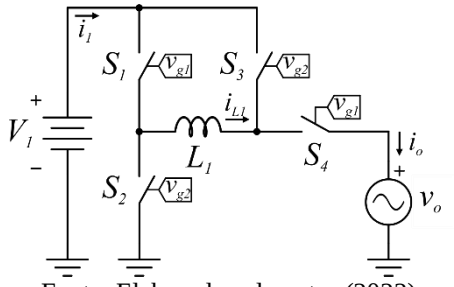
$$\dot{x} = u(t) \tag{6.4}$$

A nova lei de controle $u(t)$ pode ser projetada utilizando técnicas clássicas de controle linear como por exemplo (i) lugar das raízes, (ii) alocação ou posicionamento de zeros e pólos, (iii) métodos em frequência baseados em diagramas de Bode, (iv) controle robusto linear, ou qualquer outra técnica linear. Nota-se que em (6.3), a função $g(x)$ deve ser diferente de zero para evitar singularidades matemáticas no denominador desta equação e poder assim tornar realizável esta lei de controle. Observa-se também que a linearização neste caso foi completa. No caso de somente uma parte das equações do sistema ser linearizada restando algumas equações não lineares, se diz que o sistema é parcialmente linearizado e a técnica FLC é parcial. Neste trabalho, a técnica FLC parcial será aplicada a três das quatro topologias de inversor propostas como será visto nas próximas seções.

6.1.1 Linearização do Inversor *Buck-Boost*

Sendo que os filtros de entrada e saída praticamente não influenciam no comportamento do sistema, uma vez que a própria frequência de corte desses é alta em relação à frequência de corte do controle, estes são suprimidos para a simplificação do sistema. Dado o inversor buck-boost da Figura 6.1, ponderando as etapas de operação, verifica-se a única equação diferencial do sistema em (6.5).

Figura 6.1 – Estrutura básica do inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

$$L_1 \frac{di_{L1}}{dt} = -V_1 + d(t)\left(2V_1 - v_o\right) \tag{6.5}$$

Montando essa equação conforme (6.1), encontram-se *f*(*x*) e *g*(*x*) como em (6.6) e (6.7).

$$f(x) = -\frac{V_1}{L_1} \tag{6.6}$$

$$g(x) = \frac{\left(2V_1 - v_o\right)}{L_1} \tag{6.7}$$

Portanto, seguindo (6.3), escreve-se (6.8) e substituindo-o em (6.5), encontra-se o novo sistema totalmente linearizado em (6.9).

$$d(t) = \frac{L_1 u(t) + V_1}{2V_1 - v_o} \tag{6.8}$$

$$\frac{di_{L1}}{dt} = u(t) \tag{6.9}$$

Nota-se, porém, que, neste caso, a corrente de saída será controlada indiretamente através do controle de i_{L1}. Dessa maneira, a referência de corrente deve ser gerada segundo (5.19).

6.1.2 Linearização do Inversor SEPIC

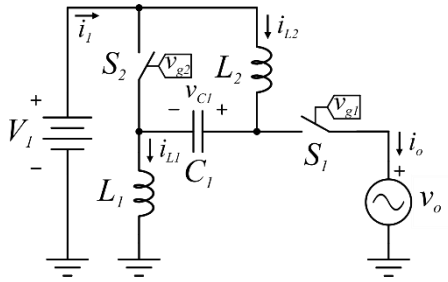
As equações diferenciais do inversor SEPIC são apresentadas de (6.10) a (6.12) para o circuito demonstrado na Figura 6.2.

$$L_1 \frac{di_{L1}}{dt} = V_1 - d\left(V_1 + v_{C1} - v_o\right) \tag{6.10}$$

$$L_2 \frac{di_{L2}}{dt} = -v_{C1} + d\left(V_1 + v_{C1} - v_o\right) \tag{6.11}$$

$$C_1 \frac{dv_{C1}}{dt} = i_{L2} + d\left(i_{L1} - i_{L2}\right) \tag{6.12}$$

Figura 6.2 – Estrutura básica do inversor SEPIC.



Fonte: Elaborada pelo autor (2022).

A variável controlada, neste caso, é a corrente em L_2, que é o próprio envoltório da corrente de saída, conforme (5.82). Seguindo os mesmos passos do inversor anterior, encontram-se $f(x)$ e $g(x)$, exibidos em (6.13) e (6.14), dos quais se gera (6.15).

$$f\left(x\right) = -\frac{v_{C1}}{L_2} \tag{6.13}$$

$$g\left(x\right) = \frac{\left(V_1 + v_{C1} - v_o\right)}{L_2} \tag{6.14}$$

$$d\left(t\right) = \frac{L_2 u\left(t\right) + v_{C1}}{V_1 + v_{C1} - v_o} \tag{6.15}$$

O valor médio quase instantâneo da tensão no capacitor C_1 é a própria tensão de entrada, como mostrado em (5.93). Sendo que a oscilação em alta frequência será atenuada pela própria malha de controle, esta pode ser ignorada. Deste modo, escreve-se (6.16).

$$d\left(t\right) = \frac{L_2 u\left(t\right) + V_1}{2V_1 - v_o} \tag{6.16}$$

Substituindo (6.16) nas equações diferenciais dadas em (6.10), (6.11) e (6.12), considerando (5.93), encontra-se o novo sistema descrito pelas equações de (6.17) a (6.19). Nota-se este é parcialmente linearizado, uma vez que a terceira equação ainda é não linear.

$$L_1 \frac{di_{L1}}{dt} = -L_2 u(t) \tag{6.17}$$

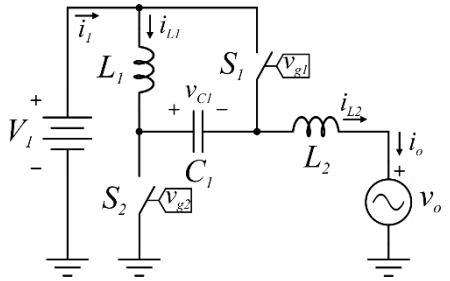
$$L_2 \frac{di_{L2}}{dt} = L_2 u(t) \tag{6.18}$$

$$C_1 \frac{dv_{C1}}{dt} = i_{L2} + \left(\frac{L_2 u(t) + V_1}{2V_1 - v_o} \right) (i_{L1} - i_{L2}) \tag{6.19}$$

6.1.3 Linearização do Inversor Zeta

Para o inversor zeta, visto na Figura 6.3, são levantadas as equações diferenciais de (6.20) a (6.22).

Figura 6.3 – Estrutura básica do inversor zeta.



Fonte: Elaborada pelo autor (2022).

$$L_1 \frac{di_{L1}}{dt} = V_1 - d(V_1 + v_{C1}) \tag{6.20}$$

$$L_2 \frac{di_{L2}}{dt} = -v_o - v_{C1} + d(V_1 + v_{C1}) \tag{6.21}$$

$$C_1 \frac{dv_{C1}}{dt} = i_{L2} + d(i_{L1} - i_{L2}) \tag{6.22}$$

Observa-se que a corrente de saída, neste caso, é a própria corrente em L_2, portanto, a partir de (6.21) e de acordo com (6.1), encontram-se $f(x)$ e $g(x)$ conforme (6.23) e (6.24).

$$f(x) = \frac{-v_o - v_{C1}}{L_2} \tag{6.23}$$

$$g(x) = \frac{(V_1 + v_{C1})}{L_2} \tag{6.24}$$

Logo, segundo (6.3), a razão cíclica pode ser escrita como em (6.25).

$$d(t) = \frac{L_2 u(t) + v_o + v_{C1}}{V_1 + v_{C1}} \tag{6.25}$$

Considerando que o valor médio quase instantâneo de v_{C1} é a diferença entre as tensões de entrada e de saída, conforme mostra (5.136), (6.25) é reescrito em (6.26).

$$d(t) = \frac{L_2 u(t) + V_1}{2V_1 - v_o} \tag{6.26}$$

Substituindo (6.26) em (6.20), (6.21) e (6.22), considerando (5.136), obtém-se o sistema parcialmente linearizado, como descrito a seguir por (6.27)-(6.29).

$$L_1 \frac{di_{L1}}{dt} = -L_2 u(t) \tag{6.27}$$

$$L_2 \frac{di_{L2}}{dt} = L_2 u(t) \tag{6.28}$$

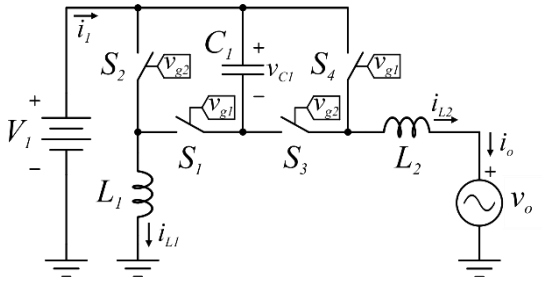
$$C_1 \frac{dv_{C1}}{dt} = i_{L2} + \left(\frac{L_2 u(t) + V_1}{2V_1 - v_o} \right) (i_{L1} - i_{L2}) \tag{6.29}$$

Este sistema de equações é o mesmo apresentado para o inversor SEPIC.

6.1.4 Linearização do Inversor *Boost-Buck*

As equações diferenciais que descrevem o inversor *boost-buck* da Figura 6.4 são apresentadas de (6.30) a (6.32).

Figura 6.4 – Estrutura básica do inversor *boost-buck*.



Fonte: Elaborada pelo autor (2022).

$$L_1 \frac{di_{L1}}{dt} = V_1 - dv_{C1} \tag{6.30}$$

$$L_2 \frac{di_{L2}}{dt} = V_1 - v_{C1} - v_o + dv_{C1} \tag{6.31}$$

$$C_1 \frac{dv_{C1}}{dt} = i_{L2} + d\left(i_{L1} - i_{L2}\right) \tag{6.32}$$

Semelhantemente ao zeta, a corrente de saída é a corrente no indutor L_2. Portanto, $f(x)$ e $g(x)$ são definidos como mostra (6.33) e (6.34), de acordo com (6.31) e (6.1).

$$f\left(x\right) = \frac{V_1 - v_{C1} - v_o}{L_2} \tag{6.33}$$

$$g\left(x\right) = \frac{v_{C1}}{L_2} \tag{6.34}$$

Realizando a substituição dessas variáveis em (6.3), obtém-se a razão cíclica de (6.35).

$$d\left(t\right) = \frac{L_2 u\left(t\right) - V_1 + v_{C1} + v_o}{v_{C1}} \tag{6.35}$$

Considerando que a tensão média quase instantânea no capacitor C_1 dessa topologia é dada em (5.177), (6.35) pode ser reduzida a (6.36).

$$d\left(t\right) = \frac{L_2 u\left(t\right) + V_1}{2V_1 - v_o} \tag{6.36}$$

Substituindo (6.36) nas equações diferenciais, (6.30)-(6.32), e considerando o valor médio quase instantâneo da tensão no capacitor C_1, de (5.177), encontra-se um sistema parcialmente linearizado igual ao descrito para os inversores zeta e SEPIC.

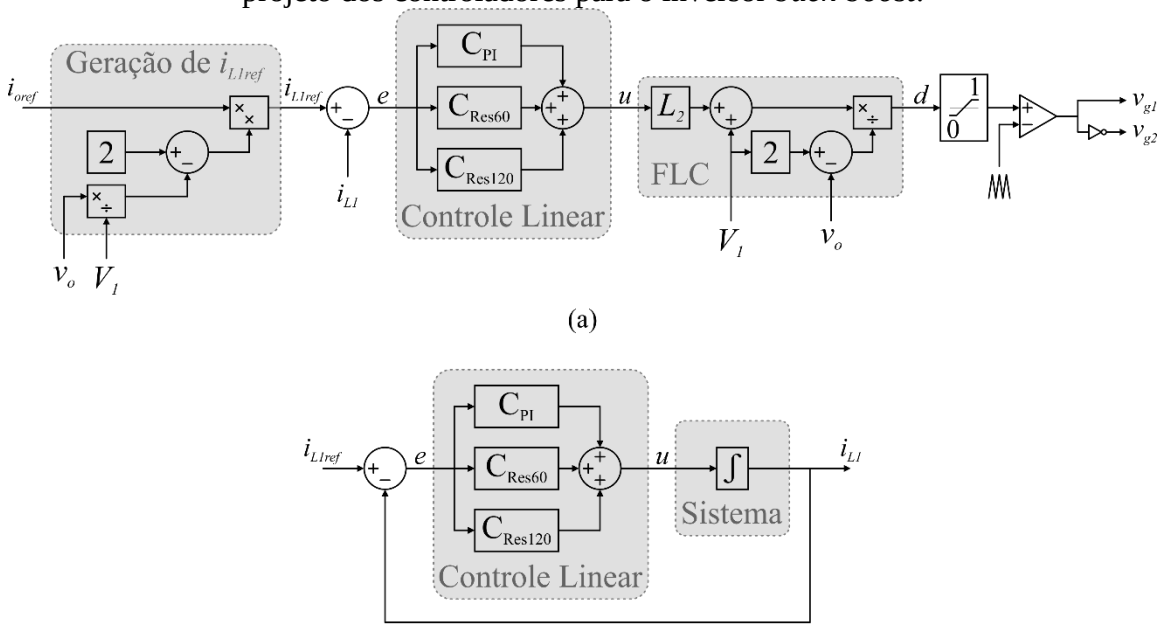
6.2 PROJETO DO CONTROLADOR LINEAR

A seguir apresenta-se o projeto do controlador linear para o modelo linearizado pelo método FLC. Os objetivos de controle para este controlador são: (i) seguimento com erro nulo de um sinal senoidal de referência de frequência 60 Hz e amplitude de 6,5 A; (ii) rejeição de perturbações de frequência e amplitude da rede; (iii) regime transitório com tempo de estabelecimento de 0,25 segundos, ou seja, 15 ciclos de rede.

Da aplicação do FLC podemos concluir que o inversor *buck-boost* é totalmente linearizado pela técnica FLC, enquanto os outros três inversores resultaram em um mesmo sistema parcialmente linearizado, contudo as quatro topologias obtêm a mesma razão cíclica gerada a partir da variável de controle $u(t)$.

A Figura 6.5(a) apresenta o diagrama de blocos de controle para o inversor *buck-boost* considerando a geração da referência de controle i_{L1ref} a partir da corrente de saída desejada i_{oref}, conforme (5.19). A malha de controle pode ser vista na Figura 6.5(b), sendo que o sistema foi totalmente linearizado como em (6.9).

Figura 6.5 – (a) Diagrama de blocos do controle e (b) da malha de controle considerada no projeto dos controladores para o inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

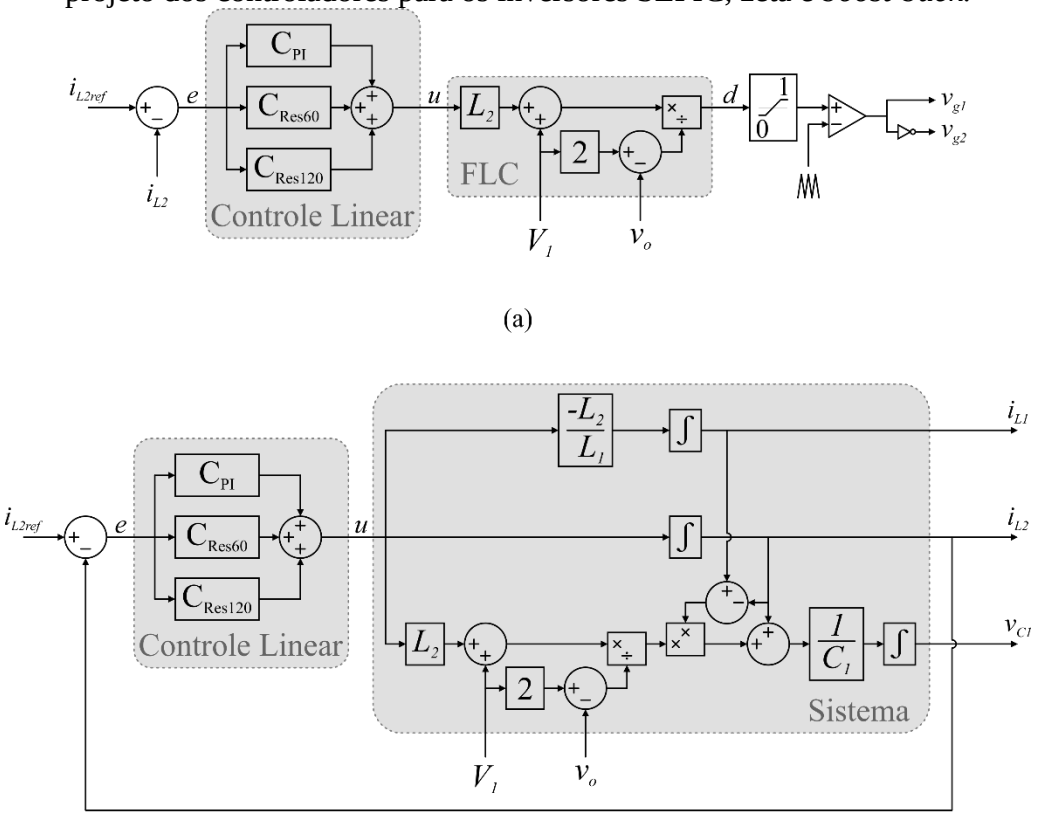
O diagrama de controle da Figura 6.6(a) mostra a estrutura utilizada nos outros três inversores. Além disso, o mesmo sistema parcialmente linearizado, (6.17) a (6.19), é encontrado nessas três topologias, o qual pode ser observado como parte integrante da malha de controle na Figura 6.6(b).

Nota-se que, neste caso, a corrente em L_2 é controlável e observável, enquanto i_{L1} e v_{C1} são controláveis, porém não observáveis. Portando, para validar a estabilidade interna do sistema, é necessário garantir que i_{L1} e v_{C1} não cresçam infinitamente, nem causem instabilidade.

Como demonstrado em ambas as figuras, foram considerados os controladores PI para o transitório e o ressonante localizado em 60 Hz para o regime permanente. Após a realização da Transformada Rápida de Fourier (do inglês *Fast Fourier Transform* – FFT) na corrente de saída desses inversores, notou-se a presença de harmônicas em 120 e 180 Hz,

sendo que a maior parcela em 120 Hz. Desse modo, posteriormente foi adicionado mais um controlador ressonante sintonizado em 120 Hz para a redução dessa harmônica.

Figura 6.6 – (a) Diagrama de blocos do controle e (b) da malha de controle considerada no projeto dos controladores para os inversores SEPIC, zeta e *boost-buck*.



Fonte: Elaborada pelo autor (2022).

Além disso, observa-se que as tensões de entrada e saída, V_1 e v_o, atuam como *feedforward* para o bloco FLC, contribuindo para que, caso haja alguma variação nessas variáveis, exista uma ponderação correspondente na ação de controle.

Os controladores foram projetados pelo lugar das raízes pensando na aplicação digital, assim sendo, no plano z. Para tanto, observa-se que a planta a ser controlada nos quatro casos é um integrador e, considerando frequência de amostragem igual a frequência de comutação, esta pode ser descrita através da discretização por mapeamento de polos e zeros como em (6.37).

$$G(z) = \frac{T_s}{z-1} \tag{6.37}$$

A função transferência do controlador PI é descrita em (6.38). Onde, T_s é o período de amostragem escolhido em função da frequência de comutação, k_p e k_i são os ganhos proporcional e do integrador, respectivamente.

$$C_{PI}(z) = k_p + k_i \frac{T_s}{z-1} \tag{6.38}$$

E no caso do controlador ressonante é necessário maior cuidado na discretização de sua função transferência, uma vez que existem diferentes métodos e este processo pode alterar o comportamento do controlador, até mesmo o local da frequência escolhida. Isso pode ser observado no trabalho "*Effects of Discretization Methods on the Performance of Resonant Controllers*" [94]. Portanto, a função transferência utilizada é dada em (6.39).

$$C_{\mathrm{Res}}(z) = k_r T_s \frac{\cos(\omega_o T_s N) - z^{-1}\cos(\omega_o T_s (N-1))}{1 - 2z^{-1}\cos(\omega_o T_s) + z^{-2}} \tag{6.39}$$

Onde, k_r é o ganho do controlador ressonante, ω_o é a frequência de ressonância e N é a compensação de atrasos, escolhido como o número de períodos de amostragem que se deseja compensar.

Sendo que os sistemas parcialmente linearizados possuem interações não descritas pela planta, são observados alguns parâmetros para auxiliar no projeto desses controladores.

Nos inversores SEPIC, zeta e *boost-buck*, o capacitor C_1 se associa a um dos indutores em cada estado topológico. Logo, podem ser observadas duas frequências de ressonância por inversor, sendo elas calculadas como em (6.40).

$$f_{LC} = \frac{1}{2\pi\sqrt{L_{1,2}C_1}} \tag{6.40}$$

Observando os elementos dimensionados no capítulo seguinte, na Tabela 7.2, é possível estimar essas frequências, resultando nos valores da Tabela 6.1.

Tabela 6.1 – Frequência de ressonância entre o capacitor C_1 e cada indutor por topologia.

Símbolo	**Descrição**	**SEPIC**	**Zeta**	**Boost-buck**
f_{L1C1}	Frequência de ressonância entre L_1 e C_1	775 Hz	1,03 kHz	1,29 kHz
f_{L2C1}	Frequência de ressonância entre L_2 e C_1	622 Hz	829 Hz	1,04 kHz

Fonte: Elaborada pelo autor (2022).

Dadas as baixas frequências encontradas, pondera-se que os controladores não poderão possuir uma resposta rápida, pois a frequência de cruzamento deverá estar muito próxima dos 60 Hz.

Considerando a malha de controle, escreve-se a Função Transferência de Laço Aberto (FTLA) em (6.41).

$$FTLA(z) = G(z)\left(C_{PI}(z) + C_{Res}(z)\right) \tag{6.41}$$

Substituindo (6.37), (6.38) e (6.39), com $N = 1$, em (6.41), obtém-se (6.42).

$$FTLA(z) = T_s \frac{\left\{\begin{array}{l} \left[k_p + k_r T_s \cos\left(\omega_o T_s\right)\right] z^3 \\ -\left[\left(2k_p + k_r T_s\right)\cos\left(\omega_o T_s\right) + k_p + k_r T_s - k_i T_s\right] z^2 \\ +\left[\left(k_p - k_i T_s\right) 2\cos\left(\omega_o T_s\right) + k_p + k_r T_s\right] z \\ -k_p T_s + k_i T_s^2 \end{array}\right\}}{(z-1)^2\left[z^2 - 2\cos\left(\omega_o T_s\right) z + 1\right]} \tag{6.42}$$

Nota-se que a FTLA possui dois polos em 1, advindos do modelo da planta e do integrador do controlador PI, e dois polos complexos conjugados do controlador ressonante. Possui também três zeros (dois zeros do controlador ressonante e um zero do controlador PI) com localização dependente do projeto dos ganhos dos controladores.

Dessa maneira, considerando que a frequência desejada para o controlador ressonante é de 60Hz e que, considerando as especificações da Tabela 7.1, a frequência de comutação é de 50 kHz, logo, o período de amostragem é T_s = 20 µs, projetam-se os ganhos $k_p = 40$, $k_i = 2.10^3$ e $k_{r60} = 80.10^3$ utilizando o método do Lugar das Raízes.

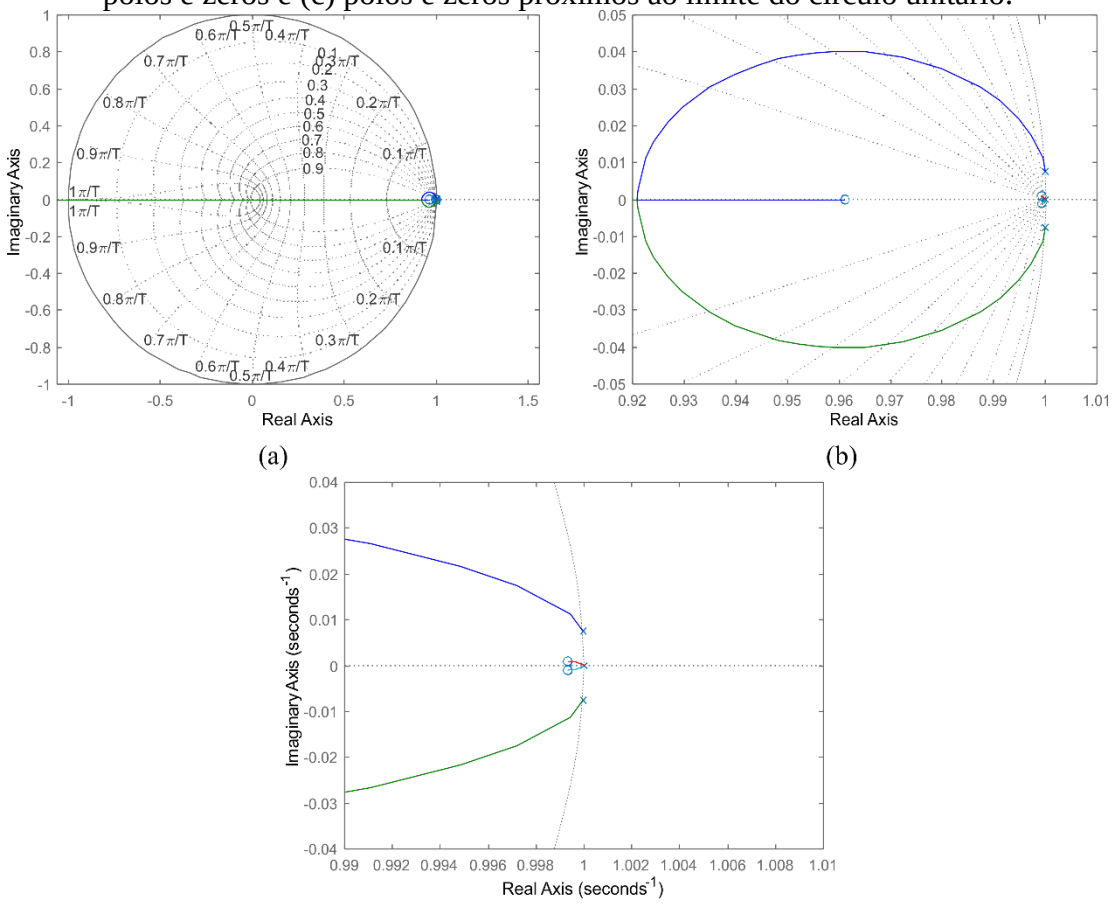
Para essa combinação de valores observa-se o lugar das raízes conforme a Figura 6.7. Nota-se que devido a frequência de amostragem ser muito maior que a frequência de ressonância em 60 Hz, os polos ficam muito próximos do eixo real.

Observam-se que dois polos estão localizados em 1 e dois polos são conjugados, localizados em 1 ± j0,0075. Um zero está no eixo real em 0,9619 e dois zeros conjugados ficam próximos aos dois polos em 1, esses estão localizados em 0,9993 ± j0,001.

Sendo que os polos conjugados do controlador ressonante ficam sobre o círculo unitário, um pequeno ganho permite alocar os polos em malha fechada dentro do círculo unitário.

O controlador ressonante em 120 Hz, quando adicionado, introduz no projeto realizado anteriormente mais um par de novos polos complexos conjugados em 0,9999 ± j0,0151, e dois zeros cuja alocação deve ser projetada. O ganho desse controlador foi escolhido em proporção da harmônica de 120 Hz em relação à fundamental, sendo $k_{r120} = 20.10^3$.

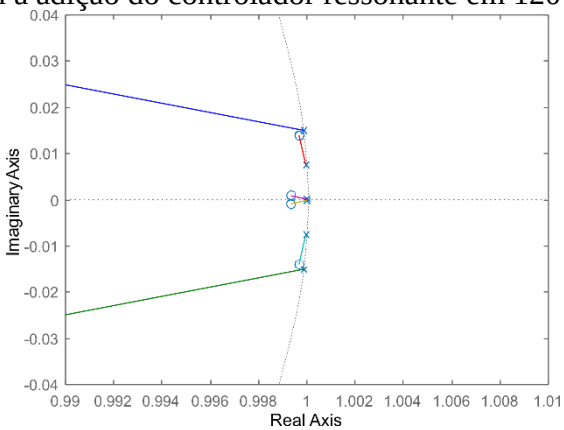
Figura 6.7 – Lugar das raízes da FTLA: (a) círculo unitário, (b) detalhe na localização dos polos e zeros e (c) polos e zeros próximos ao limite do círculo unitário.



Fonte: Elaborada pelo autor (2022).

Deste modo, as localizações dos zeros da FTLA passam a ser em 0,9531, 0,9997 ± j0,014 e 0,9994 ± j0,001, conforme mostra a

Figura 6.8 – Polos e zeros próximos ao limite do círculo unitário no lugar das raízes da FTLA com a adição do controlador ressonante em 120 Hz.



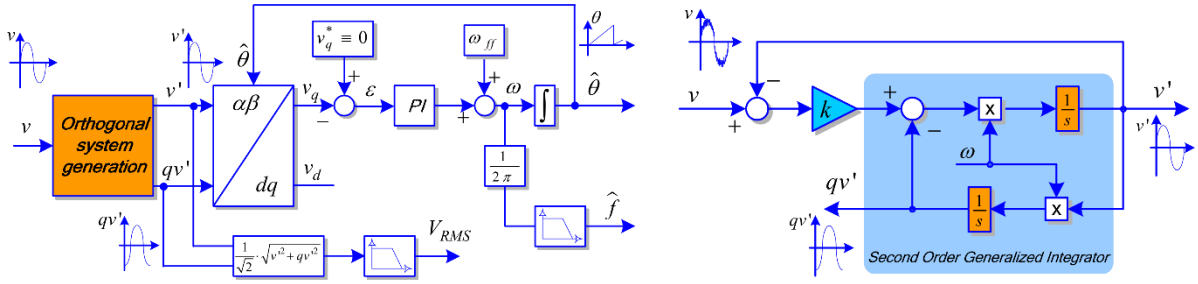
Fonte: Elaborada pelo autor (2022).

6.3 SINCRONIZAÇÃO COM A REDE BASEADA EM PLL

Para a conexão com a rede elétrica é necessário que o inversor esteja sincronizado. Para tanto, projeta-se uma Malha de Captura de Fase (do inglês *Phase-Locked Loop* – PLL). Diversas técnicas de PLL estão disponíveis na literatura. Dentre algumas opções analisadas, onde foram avaliados o tempo para o sincronismo, simplicidade de implementação digital e resistência a ruídos e distorções, a técnica apresentada em [95] foi escolhida.

Geralmente as técnicas de PLL monofásico possuem uma mesma estrutura geral, como a que é apresentada na Figura 6.9(a), suas principais diferenças costumam ser na geração do sistema ortogonal [95]. Esta, portanto, é apresentada na Figura 6.9(b).

Figura 6.9 – (a) Estrutura geral do PLL monofásico e (b) geração do sistema ortogonal utilizado.



(a) (b)

Fonte: [95].

Três métodos de discretização do integrador são apresentados nesse mesmo estudo e optou-se pelo emprego do método Trapezoidal. As funções transferências H_d e H_q são:

$$H_d(z) = \frac{v'(z)}{v(z)} = \frac{b_0\left(1-z^2\right)}{1-a_1z^{-1}-a_2z^{-2}} \tag{6.43}$$

$$H_q(z) = \frac{qv'(z)}{v(z)} = \frac{b_1\left(1+2z^{-1}+z^{-2}\right)}{1-a_1z^{-1}-a_2z^{-2}} \tag{6.44}$$

onde:

$$b_0 = \frac{\chi}{\chi+\gamma+4} \tag{6.45}$$

$$b_1 = \frac{k\gamma}{\chi+\gamma+4} \tag{6.46}$$

$$a_1 = \frac{2(4-\gamma)}{\chi+\gamma+4} \tag{6.47}$$

$$a_2 = \frac{\chi-\gamma-4}{\chi+\gamma+4} \tag{6.48}$$

$$\chi = 2k\omega T_s \tag{6.49}$$

$$\gamma = (\omega T_s)^2 \tag{6.50}$$

A partir do sistema ortogonal gerado, realiza-se a transformada $\alpha\beta$ para dq, conforme descreve (6.51).

$$\begin{bmatrix} u_d \\ u_q \end{bmatrix} = \begin{bmatrix} \cos\theta & \text{sen}\,\theta \\ -\text{sen}\,\theta & \cos\theta \end{bmatrix} \begin{bmatrix} u_\alpha \\ u_\beta \end{bmatrix} \tag{6.51}$$

E para o controlador PI da malha de controle de *qv'* foi utilizado k_p = 0,72011 e k_i = 111,9771.

O ângulo θ resultante desta malha está em sincronia com a tensão da rede elétrica e, a partir dele é possível montar a referência para a corrente de saída, como em (6.52).

$$i_{oref} = I_{orefpk} \cos(\theta + \phi) \tag{6.52}$$

Sendo I_{orefpk} e ϕ a amplitude e a fase desejada, respectivamente.

6.4 CONCLUSÕES

Neste capítulo foram desenvolvidos modelos por equações de estado para a família de conversores estudada. A aplicação da técnica de controle por realimentação linearizante (FLC) permitiu linearizar parcial ou completamente os modelos não lineares dos inversores propostos. Esta técnica aplicada aos quatro inversores resultou em dois sistemas distintos, porém com uma mesma função de FLC. Para os modelos linearizados mediante esta técnica foram projetados controladores discretos baseados no método do Lugar das Raízes no domínio discreto.

Finalmente, para a sincronização do inversor com a rede elétrica, foi utilizado um método de sincronização baseado em um PLL.

7 RESULTADOS DE SIMULAÇÃO NUMÉRICA

Com o intuito de validar a teoria apresentada, realiza-se o dimensionamento dos quatro inversores conforme as especificações da Tabela 7.1. Utilizando as equações do capítulo 5 encontram-se os valores dos elementos que compõem cada conversor. Estes são expostos na Tabela 7.2.

Tabela 7.1 – Especificações de projeto.

Símbolo	**Descrição**	**Valor**
V_1	Tensão do banco de baterias	400 V
v_o	Tensão eficaz da rede elétrica	220 V
P_o	Potência de saída	1 kW
f_s	Frequência de comutação	50 kHz
f_r	Frequência da rede elétrica	60 Hz
f_{fin}	Frequência de corte do filtro de entrada	5 kHz
$\Delta i_{L1\%}$	Ondulação de corrente em L_1	20%
$\Delta i_{L2\%}$	Ondulação de corrente em L_2	5%
$\Delta i_{o\%}$	Ondulação da corrente de saída	5%
$\Delta v_{C1\%}$	Ondulação de tensão em C_1	5%
$\Delta v_{Cfin\%}$	Ondulação de tensão em C_{fin}	1%
$\Delta v_{o\%}$	Ondulação da tensão de saída para conexão com cargas	1%

Fonte: Elaborada pelo autor (2022).

Tabela 7.2 – Dimensionamento de elementos passivos por inversor.

Símbolo	**Descrição**	**Buck-boost**	**SEPIC**	**Zeta**	**Boost-buck**
L_1	Indutor de entrada	1,434 mH	10,24 mH	10,24 mH	10,24 mH
L_2	Indutor de saída	-	15,93 mH	15,93 mH	15,93 mH
C_1	Capacitor de acoplamento	-	4,114 µF	2,314 µF	1,481 µF
L_{fin}	Indutor do filtro de entrada	24,628 µH	49,255 µH	49,255 µH	-
C_{fin}	Capacitor do filtro de entrada	41,141 µF	20,571 µF	20,571 µF	-
L_{fo}	Indutor do filtro de saída	560,189 µH	560,189 µH	-	-
C_{fo}	Capacitor do filtro de saída	1,142 µF	1,142 µF	-	-
C_o	Capacitor de saída para conexão com cargas	26,446 µF	26,446 µF	328,833 nF	328,833 nF

Fonte: Elaborada pelo autor (2022).

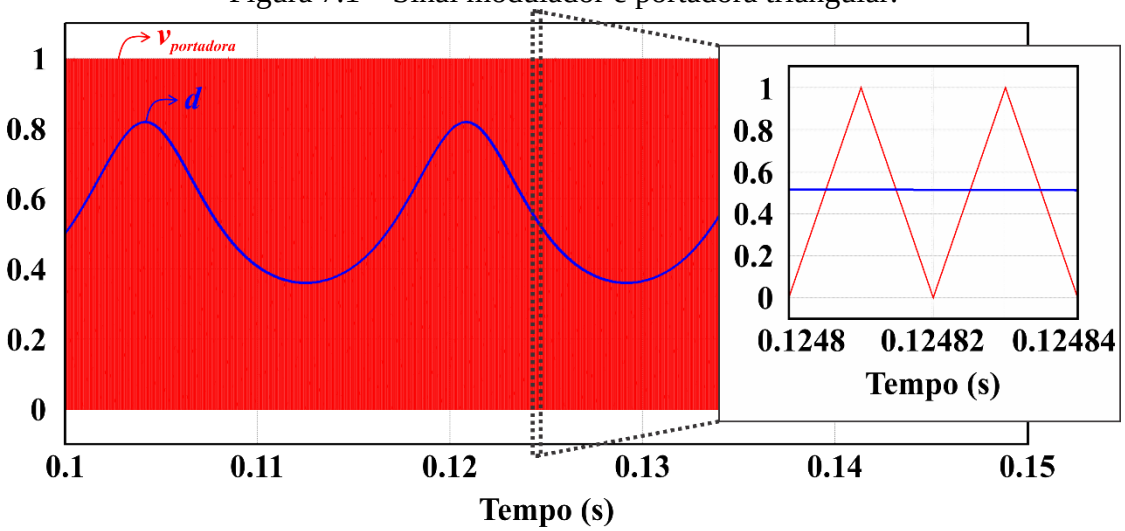
7.1 DESCONECTADOS DA REDE ELÉTRICA

Sendo que para a conexão com a rede há necessidade de o conversor operar em malha fechada, uma breve análise inicial em malha aberta é realizada com carga no lugar da

rede. Dessa maneira, para a dada tensão de saída e potência desejada, calcula-se a resistência de 48,4 Ω. Juntamente com esta, o capacitor de saída é inserido para reduzir consideravelmente a ondulação da tensão de saída, tornando-a mais parecida com a tensão da rede.

O sinal de comando para esta operação é decorrência da comparação do sinal modulador com a portadora, apresentados na Figura 7.1. O sinal modulador é gerado conforme especificado em (5.4).

Figura 7.1 – Sinal modulador e portadora triangular.

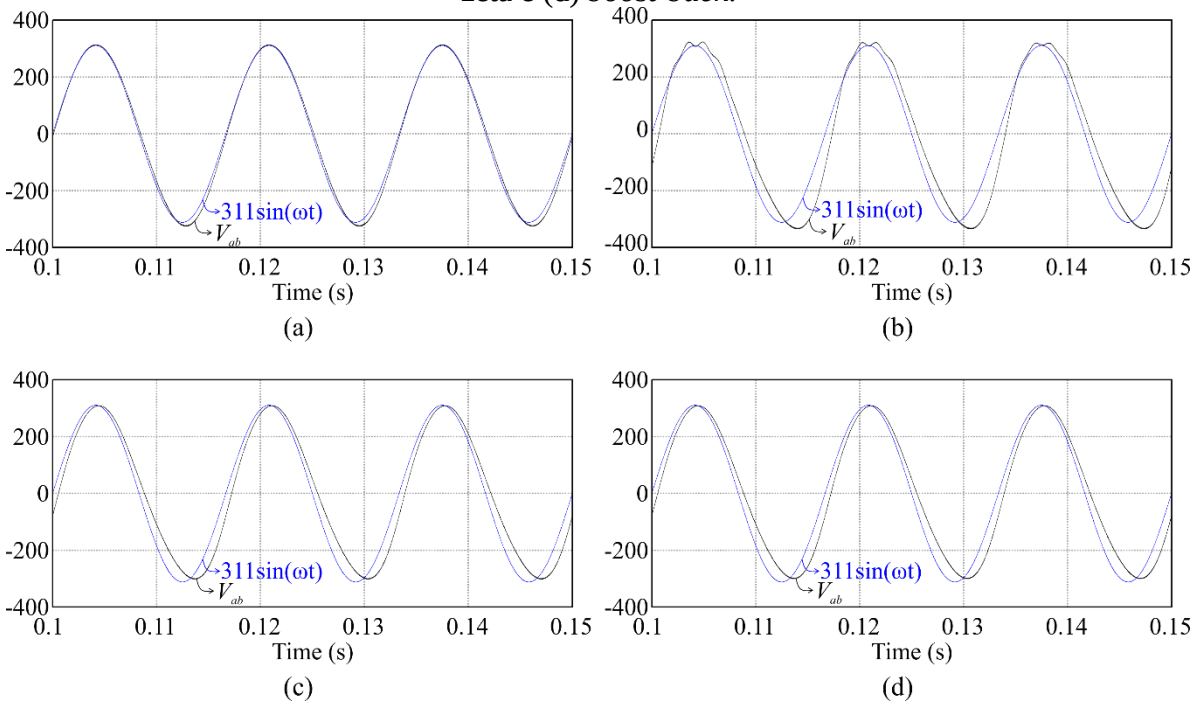


Fonte: Elaborada pelo autor (2022).

Deste modo, consideram-se os inversores como mostra a Figura 4.7. A tensão de saída de cada inversor é apresentada na Figura 7.2 em comparação com uma referência senoidal ideal. Ressalta-se que, assim como feito nos capítulos 4 e 5, para diferenciar a tensão de saída do inversor em malha aberta da tensão da rede, utilizam-se as nomenclaturas v_{ab} e v_o, respectivamente. Um pequeno atraso e distorção neste resultado é notado, contudo pondera-se que isso pode ser eliminado ou reduzido através do controle em malha fechada de tensão.

Para uma pequena análise dos efeitos dessa distorção, os resultados numéricos encontrados na simulação do inversor *buck-boost* são sumarizados na Tabela 7.3 e comparados aos resultados teóricos calculados. Considera-se que os erros superiores a 10% são devidos à distorção na corrente i_{L1}, conforme mostra a Figura 7.3. Uma vez que o conversor opere conectado à rede com imposição de uma corrente senoidal na saída, todos estes percentuais devem reduzir consideravelmente.

Figura 7.2 – Tensão de saída em malha aberta nos inversores: (a) *buck-boost*, (b) SEPIC, (c) zeta e (d) *boost-buck*.



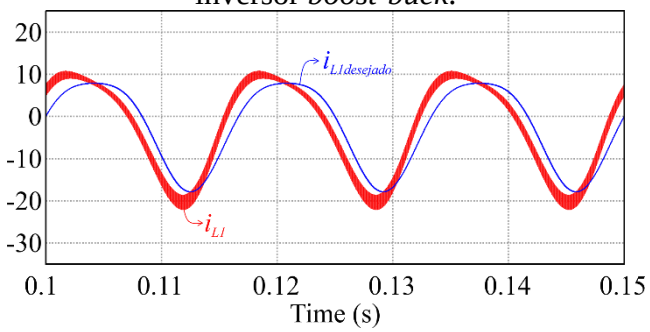
Fonte: Elaborada pelo autor (2022).

Tabela 7.3 – Comparação entre resultados de simulação e teórico para o inversor *buck-boost*.

Variável	**Simulação**	**Teoria**	**Erro**
Tensão eficaz de saída (v_o)	224,9187 V	220 V	2,2358%
Corrente média de entrada (I_1)	2,6020 A	2,5 A	4,0800%
Corrente eficaz no indutor (I_{L1ef})	10,9816 A	9,8286 A	11,7311%
Corrente eficaz nos transistores S_1 e S_4 (I_{S1ef})	7,3681 A	6,4496 A	14,2412%
Corrente eficaz no transistor S_2 e S_3 (I_{S2ef})	8,1429 A	7,1436 A	13,9887%

Fonte: Elaborada pelo autor (2022).

Figura 7.3 – Corrente no indutor L_1 em malha aberta em comparação com o sinal desejado no inversor *boost-buck*.



Fonte: Elaborada pelo autor (2022).

7.2 CONECXÃO COM A REDE ELÉTRICA

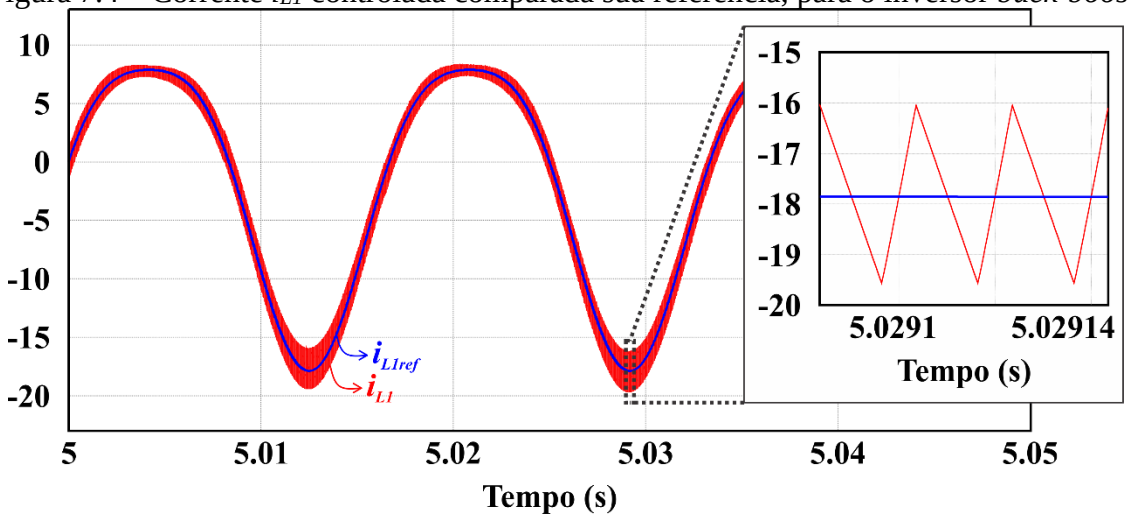
Os resultados de simulação numérica para cada inversor são apresentados a seguir, considerando os diagramas de controle do capítulo anterior, incluindo os controladores projetados e o bloco FLC.

Os filtros de entrada e saída são inseridos para as topologias que os necessitam. Além disso, os componentes do circuito possuem uma pequena resistência intrínseca, portanto, estas são consideras nos indutores e transistores como $R_L = R_{DSon} = 0{,}1\ \Omega$.

7.2.1 Inversor *Buck-Boost*

Aplicando o diagrama de controle da Figura 6.5(a) no inversor *buck-boost* da Figura 5.11, verifica-se a corrente i_{L1} controlada na Figura 7.4. Nota-se que a corrente segue a referência.

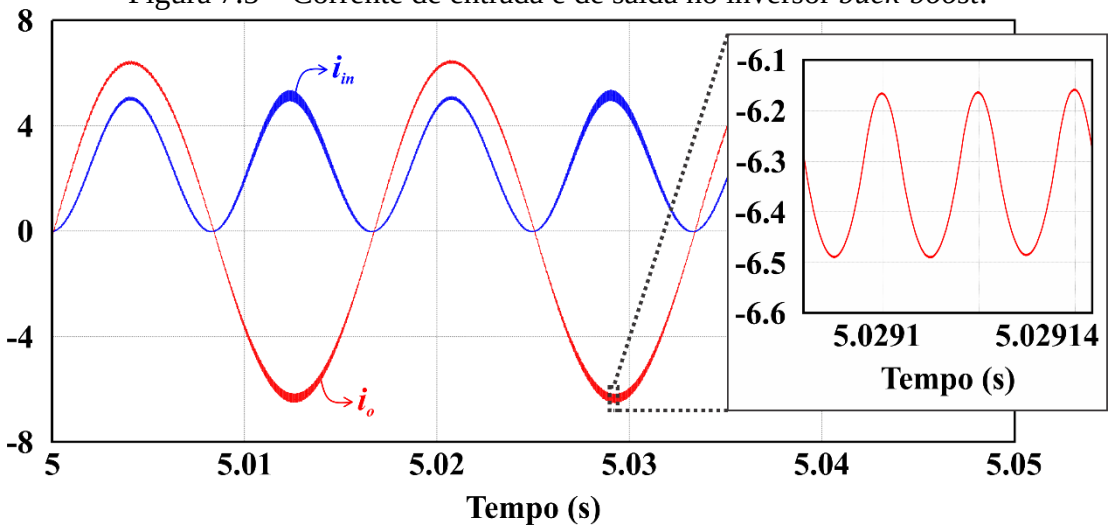
Figura 7.4 – Corrente i_{L1} controlada comparada sua referência, para o inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

As correntes de entrada e saída são mostradas na Figura 7.5. Como esperado, o filtro de entrada reduz consideravelmente a alta frequência da corrente de entrada, restando basicamente a parcela CC e a ondulação em 120 Hz. No detalhe da corrente de saída também é possível observar a pequena ondulação em 50 kHz.

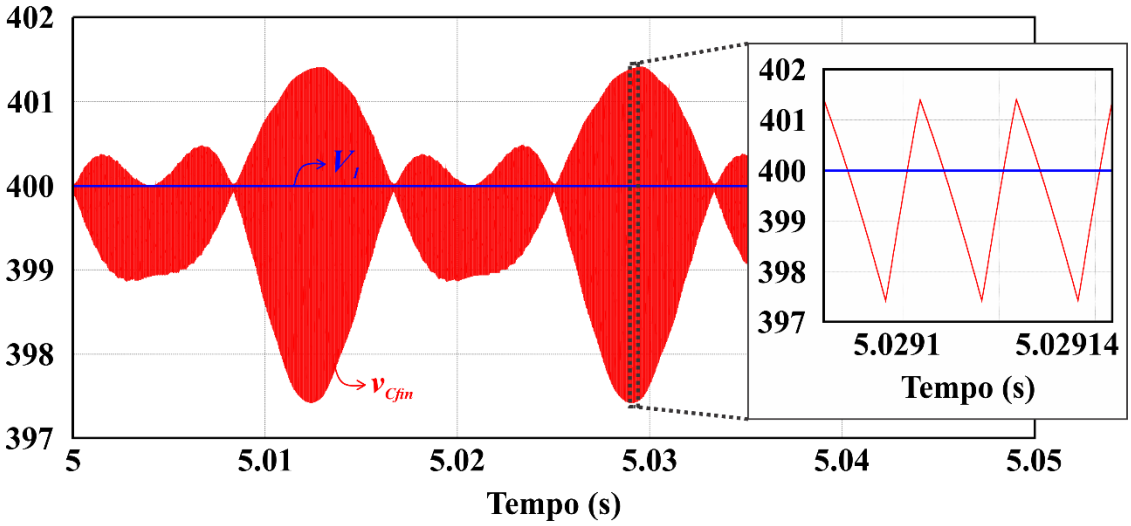
Figura 7.5 – Corrente de entrada e de saída no inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

A Figura 7.6 mostra a tensão no capacitor C_{fin} em comparação com a tensão de entrada V_1. Nota-se que esta ondulação é adequadamente pequena, uma vez que sua especificação foi de 1%.

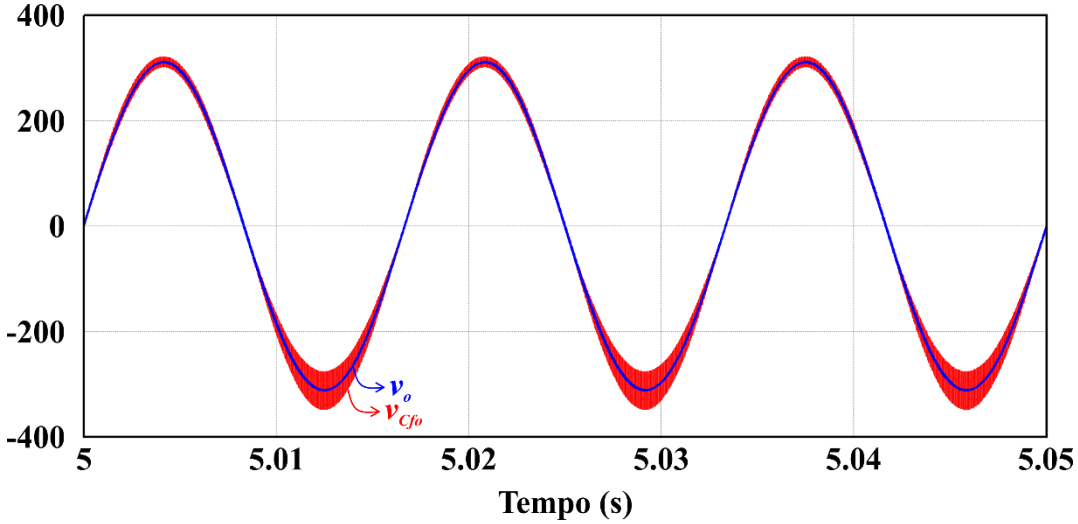
Figura 7.6 – Tensão no capacitor do filtro de entrada em comparação com a tensão de entrada do inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

Assim como mencionado na seção 5.3.5, para que a inserção do filtro de saída não gere alterações no comportamento do inversor, a tensão no capacitor deste filtro deve ser um reflexo da tensão v_o. Logo, a tensão no capacitor C_{fo} é comparada com a tensão de saída v_o na Figura 7.7.

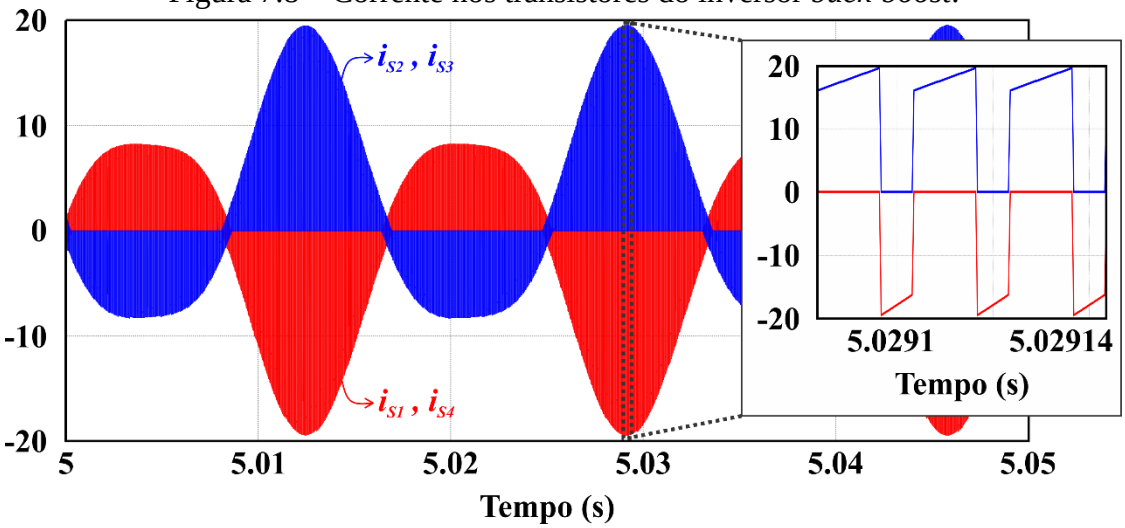
Figura 7.7 – Tensão no capacitor do filtro de saída em comparação com a tensão da rede elétrica no inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

As correntes nos transistores são exibidas na Figura 7.8. São utilizados Transistores de Efeito de Campo de Óxido de Metal Semicondutor (do inglês *Metal-Oxide-Semiconductor Field Effect Transistor* – MOSFET), portanto, havendo o comando de acionamento, a corrente passará pelo canal mesmo quando esta for negativa.

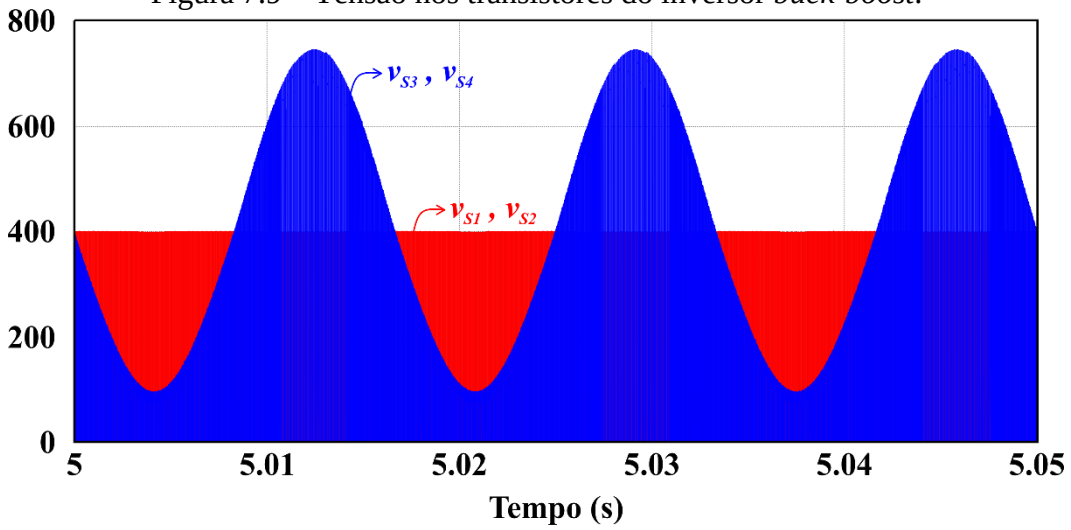
Figura 7.8 – Corrente nos transistores do inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

Na Figura 7.9 são observadas as tensões nos transistores. Assim como descrito em (5.30) e (5.31), os transistores do primeiro braço, S_1 e S_2, ficam submetidos a tensão de entrada, enquanto nos outros dois mede-se a diferença entre V_1 e v_o.

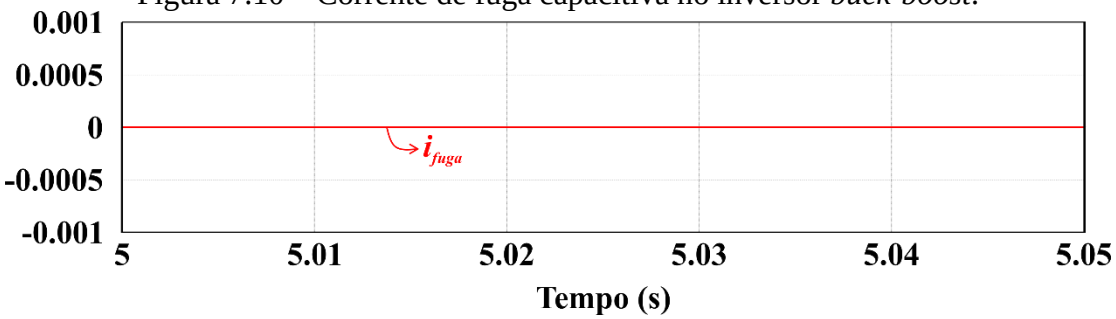
Figura 7.9 – Tensão nos transistores do inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

Para o efeito de comprovação, foram consideradas capacitâncias parasitas de 10 nF cada. Verifica-se através da Figura 7.10 que a corrente de fuga capacitiva é zero, como esperado em topologias de aterramento comum.

Figura 7.10 – Corrente de fuga capacitiva no inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

Na Tabela 7.4 são comparados os valores teóricos aos resultados de simulação. Observam-se erros pequenos, sendo que o maior dentre eles, 4,89%, ocorre devido a ondulação em alta frequência de v_{Cfo}. Todas as ondulações em alta frequência foram medidas eliminando o valor médio quase instantâneo de seu respectivo sinal. Esse mesmo procedimento é empregado na medição da ondulação nos outros inversores.

Tabela 7.4 – Comparação entre resultados de simulação e teórico para o inversor *buck-boost*.

Variável	**Simulação**	**Teoria**	**Erro**
Corrente eficaz de saída (I_{oef})	4,5388 A	4,5455 A	0,1474%
Corrente eficaz no indutor (I_{L1ef})	9,6251 A	9,8286 A	2,0705%
Corrente média de entrada (I_1)	2,5588 A	2,5 A	2,3520%

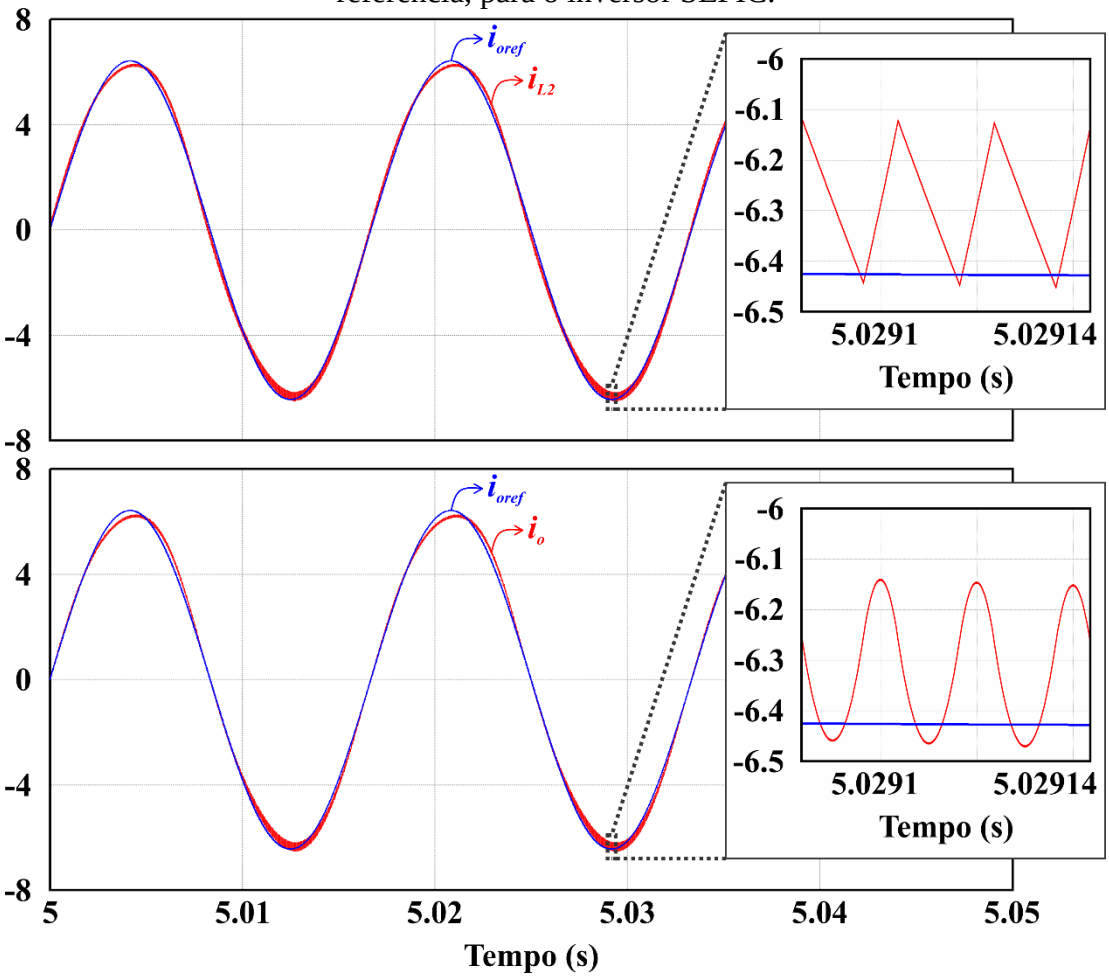
Corrente eficaz nos transistores S_1 e S_4 (I_{S1ef})	6,4241 A	6,4496 A	0,3954%
Corrente eficaz nos transistores S_2 e S_3 (I_{S2ef})	7,1676 A	7,1436 A	0,3360%
Tensão máxima nos transistores S_1 e S_2 ($V_{S1\max}$)	400,4839 V	400 V	0,1210%
Tensão máxima nos transistores S_3 e S_4 ($V_{S3\max}$)	745,9206 V	711,127 V	4,8927%
Máx. ondulação em alta frequência da corrente de saída i_o (Δi_o)	0,3270 A	0,3214 A	1,7424%
Máx. ondulação em alta frequência da corrente em i_{L1} (Δi_{L1})	3,5202 A	3,5713 A	1,4309%
Máx. ondulação em alta frequência da tensão no capacitor C_{fin} (Δv_{Cfin})	3,974 V	4 V	0,6500%

Fonte: Elaborada pelo autor (2022).

7.2.2 Inversor SEPIC

A corrente controlada no inversor SEPIC é a corrente em L_2, sendo que está possui o envoltório da corrente de saída, como expresso em (5.82). Dessa maneira, a Figura 7.11 mostra i_{L2} e i_o em comparação com a corrente de referência.

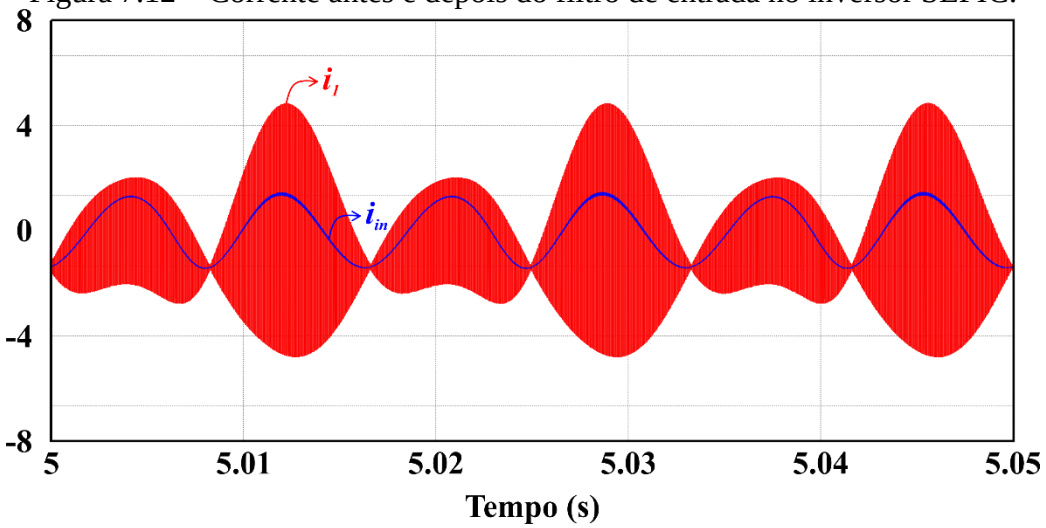
Figura 7.11 – Corrente i_{L2} controlada e a corrente de saída i_o comparadas ao sinal de referência, para o inversor SEPIC.



Fonte: Elaborada pelo autor (2022).

A Figura 7.12 demonstra a eficácia do filtro de entrada, apresentando a corrente que é drenada pelo inversor, i_1, e a corrente que é drenada das baterias, i_{in}.

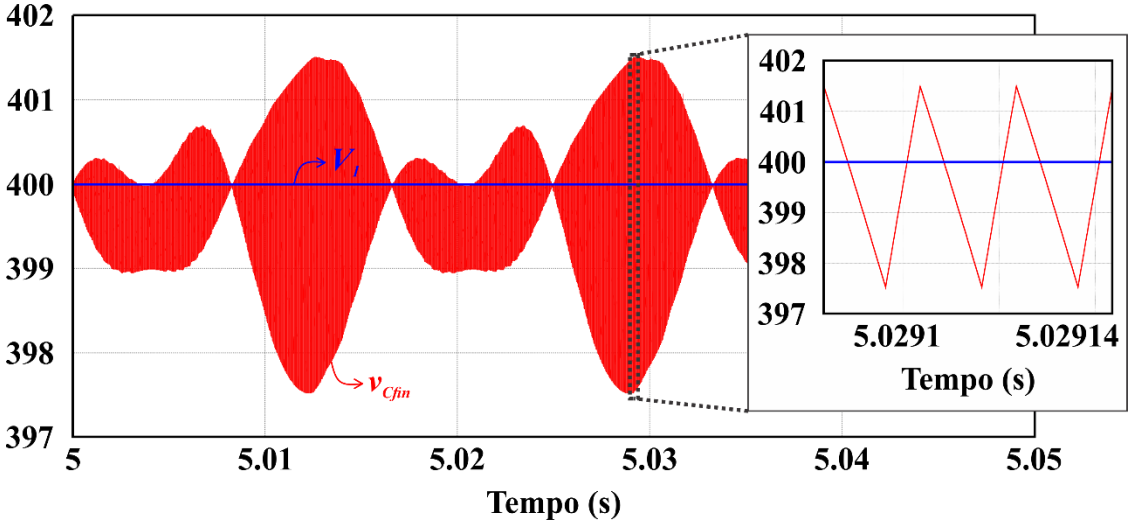
Figura 7.12 – Corrente antes e depois do filtro de entrada no inversor SEPIC.



Fonte: Elaborada pelo autor (2022).

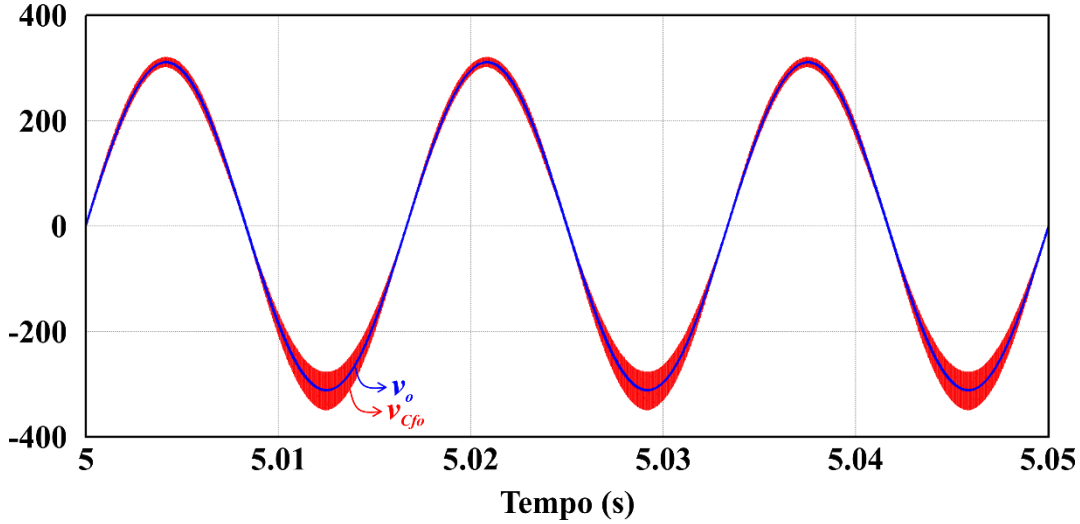
A Figura 7.13 mostra a tensão no capacitor do filtro de entrada C_{fin} juntamente com a tensão de entrada V_1, enquanto a Figura 7.14 apresenta a tensão no capacitor do filtro de saída C_{fo} em comparação a tensão da rede elétrica. Logo, são verificadas as tensões de entrada e saída percebidas do ponto de vista do inversor.

Figura 7.13 – Tensão no capacitor do filtro de entrada em comparação com a tensão de entrada do inversor SEPIC.



Fonte: Elaborada pelo autor (2022).

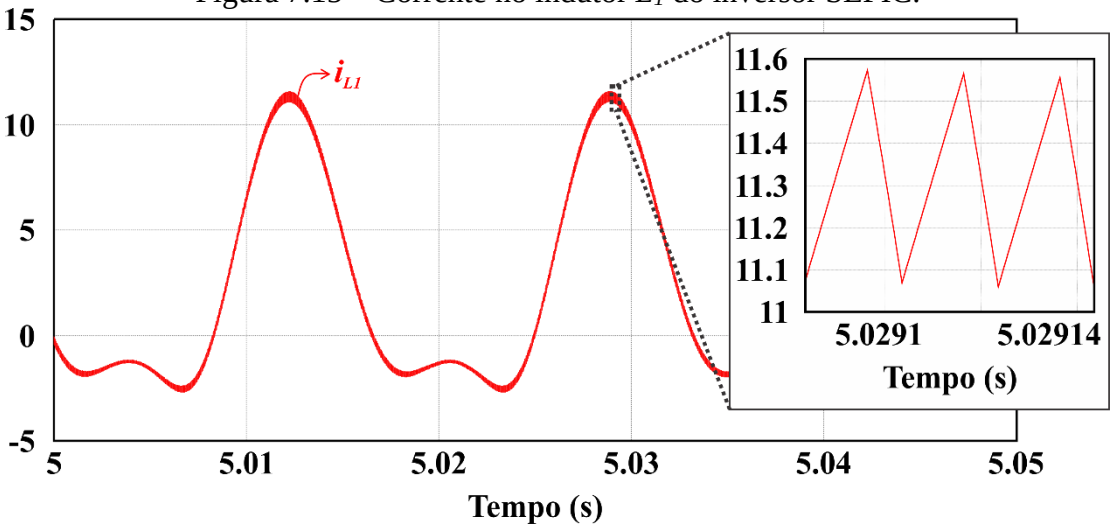
Figura 7.14 – Tensão no capacitor do filtro de saída em comparação com a tensão da rede elétrica no inversor SEPIC.



Fonte: Elaborada pelo autor (2022).

A corrente no indutor L_1 pode ser vista na Figura 7.15. Seu formato pode ser comparado com a análise teórica da Figura 5.25.

Figura 7.15 – Corrente no indutor L_1 do inversor SEPIC.

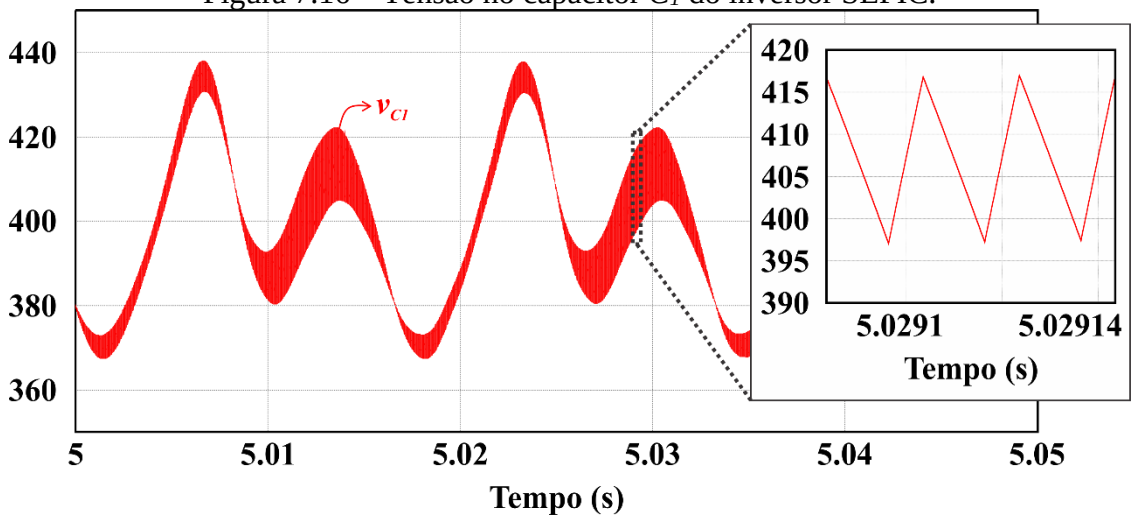


Fonte: Elaborada pelo autor (2022).

A tensão no capacitor C_1 é exposta na Figura 7.16. Nota-se que o valor médio dessa tensão é igual ao valor da tensão de entrada, conforme (5.93). Contudo, percebe-se uma ondulação em baixa frequência, 120 Hz.

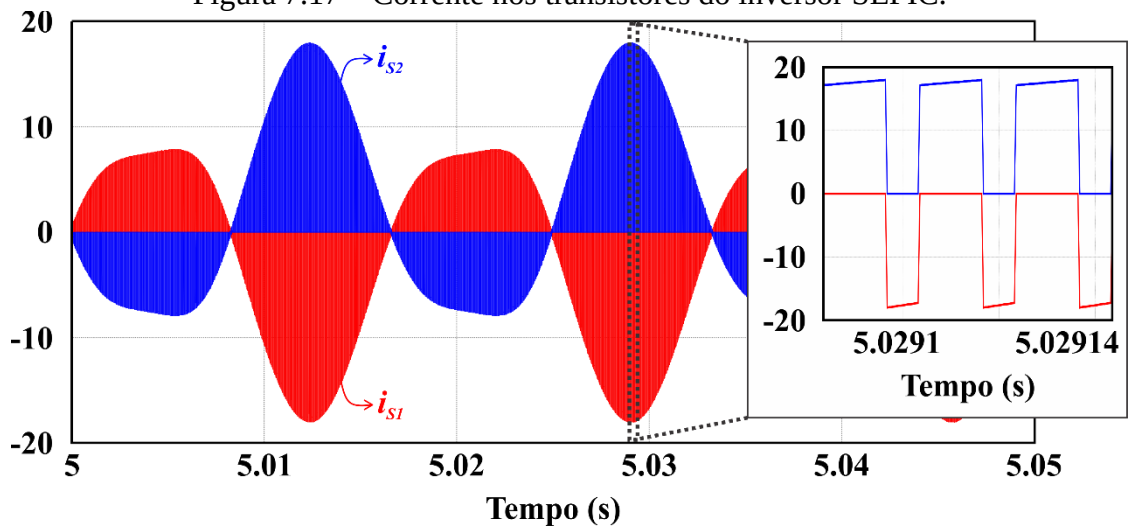
As correntes nos transistores podem ser observadas na Figura 7.17. Ressalta-se que tanto o sentido positivo quanto o negativo da corrente passam pelo canal do MOSFET.

Figura 7.16 – Tensão no capacitor C_1 do inversor SEPIC.



Fonte: Elaborada pelo autor (2022).

Figura 7.17 – Corrente nos transistores do inversor SEPIC.

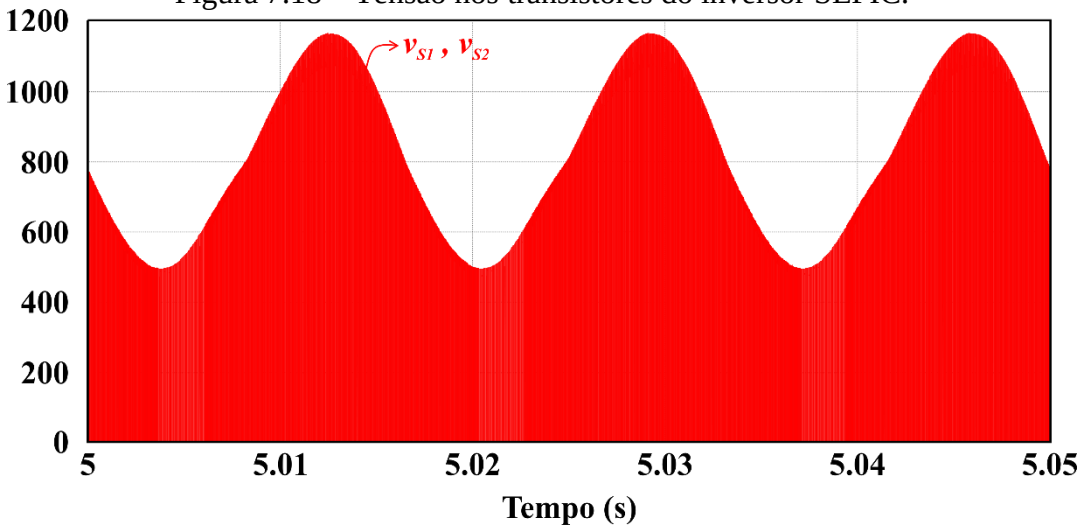


Fonte: Elaborada pelo autor (2022).

A tensão nos transistores pode ser observada na Figura 7.18. Ambos possuem o mesmo envoltório em baixa frequência, no entanto são complementares dentro de um período de comutação.

Uma comparação entre os valores medidos e calculados é apresentada na Tabela 7.5. Os percentuais de erro mais altos são da tensão máxima no capacitor C_1 e nos transistores, o que pode ser explicado pela ondulação em 120 Hz da Figura 7.16.

Figura 7.18 – Tensão nos transistores do inversor SEPIC.



Fonte: Elaborada pelo autor (2022).

Tabela 7.5 – Comparação entre resultados de simulação e teórico para o inversor SEPIC.

Variável	**Simulação**	**Teoria**	**Erro**
Corrente eficaz de saída (I_{oef})	4,5360 A	4,5455 A	0,2090%
Corrente eficaz no indutor L_1 (I_{L1ef})	5,5062 A	5,4887 A	0,3188%
Corrente eficaz no indutor L_2 (I_{L2ef})	4,5504 A	4,5495 A	0,0198%
Corrente média de entrada (I_{in})	2,5291 A	2,5000 A	1,1640%
Corrente eficaz no transistor S_1 (I_{S1ef})	6,3992 A	6,4294 A	0,4697%
Corrente eficaz no transistor S_2 (I_{S2ef})	7,1532 A	7,1214 A	0,4465%
Corrente eficaz no capacitor C_1 (I_{C1ef})	4,5350 A	4,5463 A	0,2486%
Tensão máxima nos transistores S_1 e S_2 ($V_{S1\max}$)	1,1650 kV	1,1211 kV	3,9158%
Tensão máxima no capacitor C_1 ($V_{C1\max}$)	438,1680 V	410 V	6,8702%
Máx. ondulação em alta frequência da corrente de saída i_o (Δi_o)	0,3206 A	0,3214 A	0,2489%
Máx. ondulação em alta frequência da corrente em i_{L1} (Δi_{L1})	0,4958 A	0,5 A	0,8400%
Máx. ondulação em alta frequência da corrente em i_{L2} (Δi_{L2})	0,3240 A	0,3214 A	0,8090%
Máx. ondulação em alta frequência da tensão no capacitor C_1 (Δv_{C1})	19,5911 V	20 V	2,0445%
Máx. ondulação em alta frequência da tensão no capacitor C_{fin} (Δv_{Cfin})	3,9670 V	4 V	0,8250%

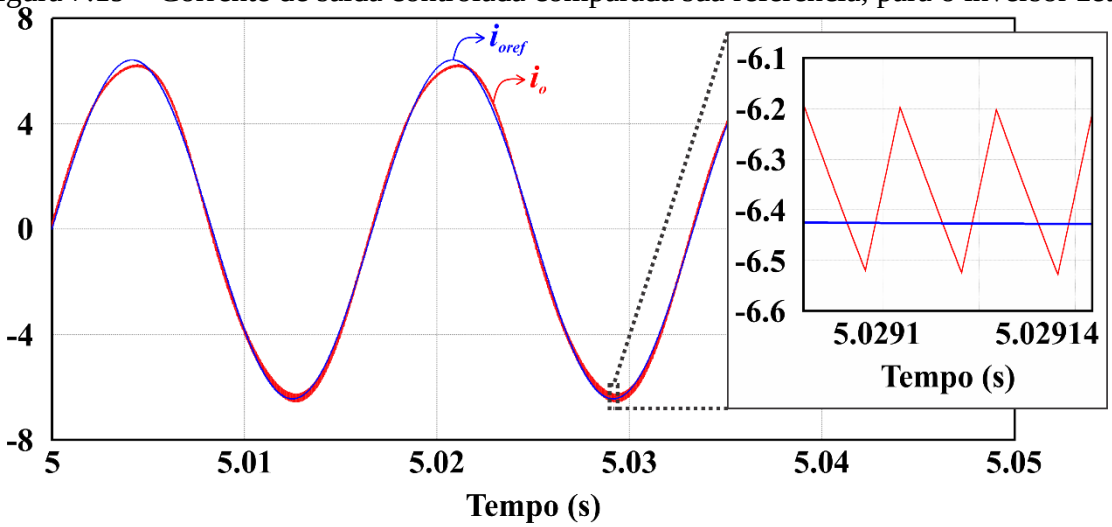
Fonte: Elaborada pelo autor (2022).

7.2.3 Inversor Zeta

Diferentemente dos inversores anteriores, a corrente controlada no inversor zeta, i_{L2}, é a própria corrente de saída i_o. Portanto, a Figura 7.19 apresenta a corrente de saída controlada.

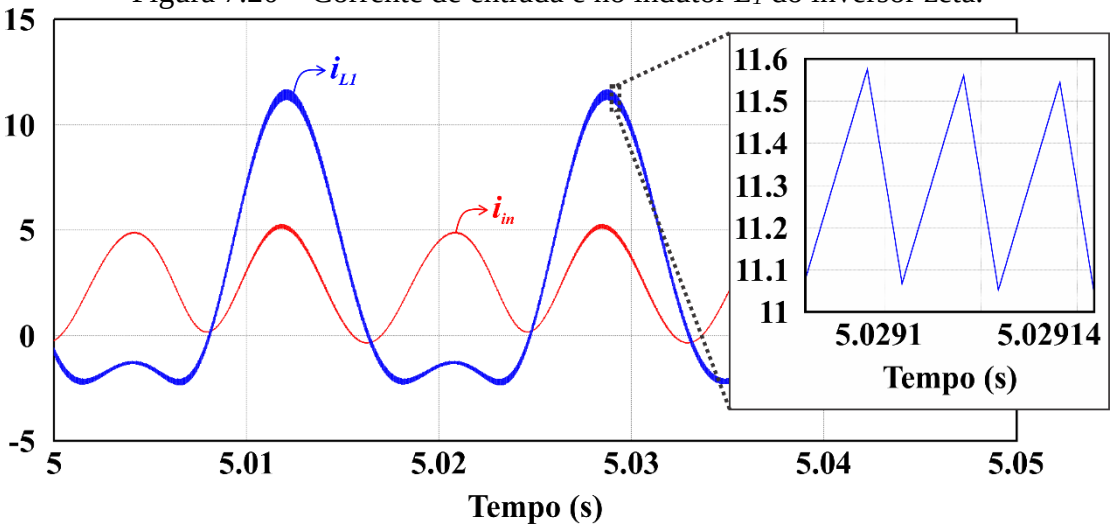
Na Figura 7.20 são expostas as correntes de entrada e em L_1. Observam-se nela a frequência de 120 Hz na entrada e o formato correto de L_1, como esperado. Quanto a i_{L1}, nota-se que esta não apresenta a pequena deformidade no semiciclo negativo que foi vista no inversor SEPIC na Figura 7.15.

Figura 7.19 – Corrente de saída controlada comparada sua referência, para o inversor zeta.



Fonte: Elaborada pelo autor (2022).

Figura 7.20 – Corrente de entrada e no indutor L_1 do inversor zeta.



Fonte: Elaborada pelo autor (2022).

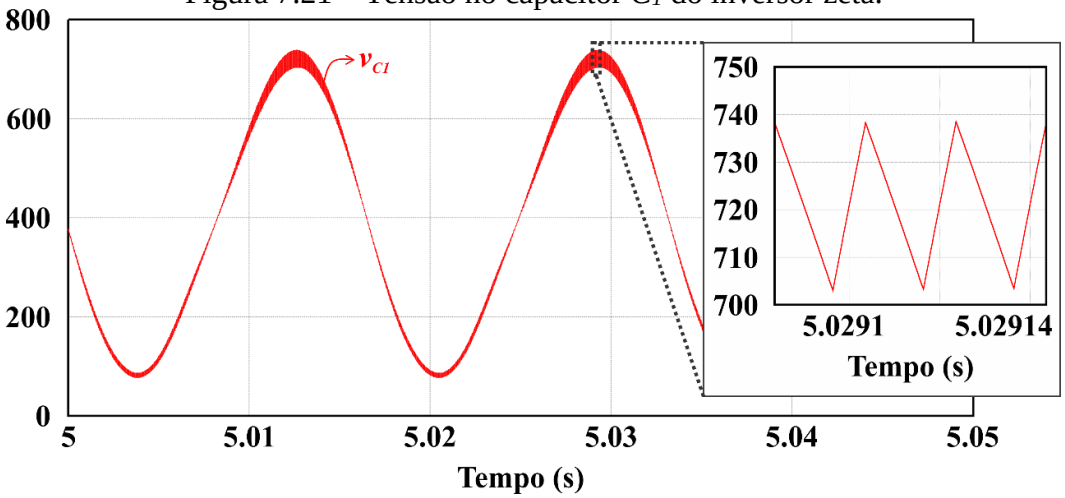
A tensão no capacitor de acoplamento desse inversor é a diferença entre a tensão de entrada e de saída, como descrito em (5.136). Esta pode ser vista na Figura 7.21.

A tensão no capacitor do filtro de entrada em comparação com a tensão do banco de baterias é realizada na Figura 7.22.

As correntes nos transistores S_1 e S_2 são exibidas na Figura 7.23. Na Figura 7.24 são apresentadas suas respectivas tensões. Ambas possuem o mesmo formato em baixa frequência, contudo são complementares dentro de um período de comutação.

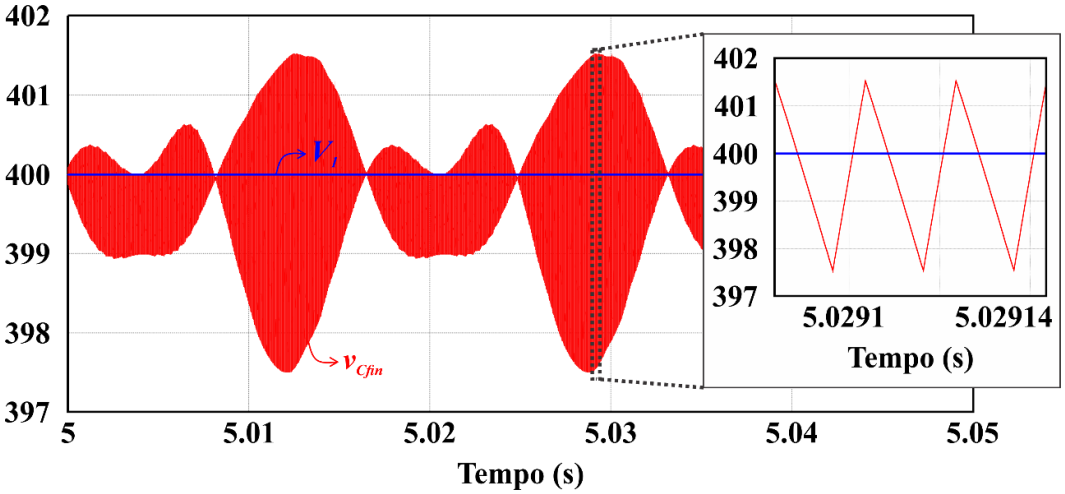
A comparação dos valores calculados com os valores medidos nesta simulação é exposta na Tabela 7.6. Observa-se que todos os erros estão abaixo de 2%.

Figura 7.21 – Tensão no capacitor C_1 do inversor zeta.



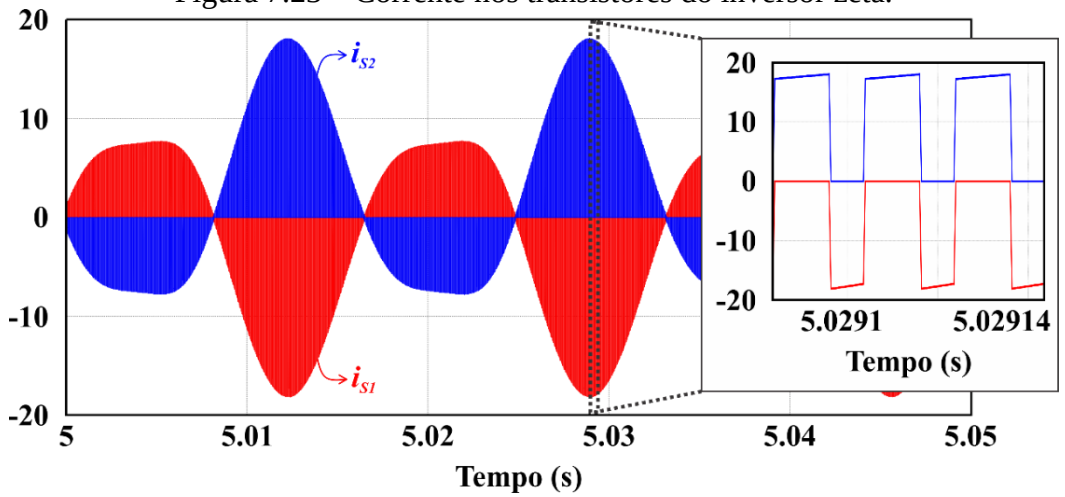
Fonte: Elaborada pelo autor (2022).

Figura 7.22 – Tensão no capacitor do filtro de entrada em comparação com a tensão de entrada do inversor zeta.



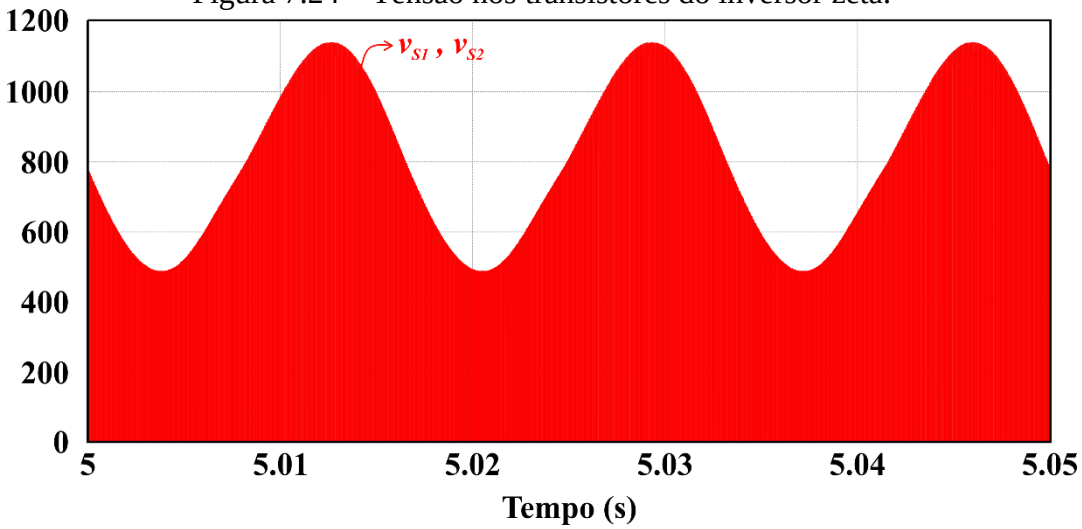
Fonte: Elaborada pelo autor (2022).

Figura 7.23 – Corrente nos transistores do inversor zeta.



Fonte: Elaborada pelo autor (2022).

Figura 7.24 – Tensão nos transistores do inversor zeta.



Fonte: Elaborada pelo autor (2022).

Tabela 7.6 – Comparação entre resultados de simulação e teórico para o inversor zeta.

Variável	**Simulação**	**Teoria**	**Erro**
Corrente eficaz de saída (I_{oef})	4,5483 A	4,5455 A	0,0616%
Corrente eficaz no indutor L_1 (I_{L1ef})	5,5454 A	5,4887 A	1,0330%
Corrente média de entrada (I_{in})	2,5310 A	2,5000 A	1,2400%
Corrente eficaz no transistor S_1 (I_{S1ef})	6,4219 A	6,4294 A	0,1167%
Corrente eficaz no transistor S_2 (I_{S2ef})	7,1847 A	7,1214 A	0,8889%
Corrente eficaz no capacitor C_1 (I_{C1ef})	4,5605 A	4,5463 A	0,3123%
Tensão máxima nos transistores S_1 e S_2 ($V_{S1\max}$)	1,1384 kV	1,1289 kV	0,8415%
Tensão máxima no capacitor C_1 ($V_{C1\max}$)	739,4068 V	728,9052 V	1,4407%
Máx. ondulação em alta frequência da corrente de saída i_o (Δi_o)	0,3268 A	0,3214 A	1,6801%
Máx. ondulação em alta frequência da corrente em i_{L1} (Δi_{L1})	0,4958 A	0,5000 A	0,8400%
Máx. ondulação em alta frequência da tensão no capacitor C_1 (Δv_{C1})	35,0781 V	35,5563 V	1,3449%
Máx. ondulação em alta frequência da tensão no capacitor C_{fin} (Δv_{Cfin})	3,9952 V	4 V	0,1200%

Fonte: Elaborada pelo autor (2022).

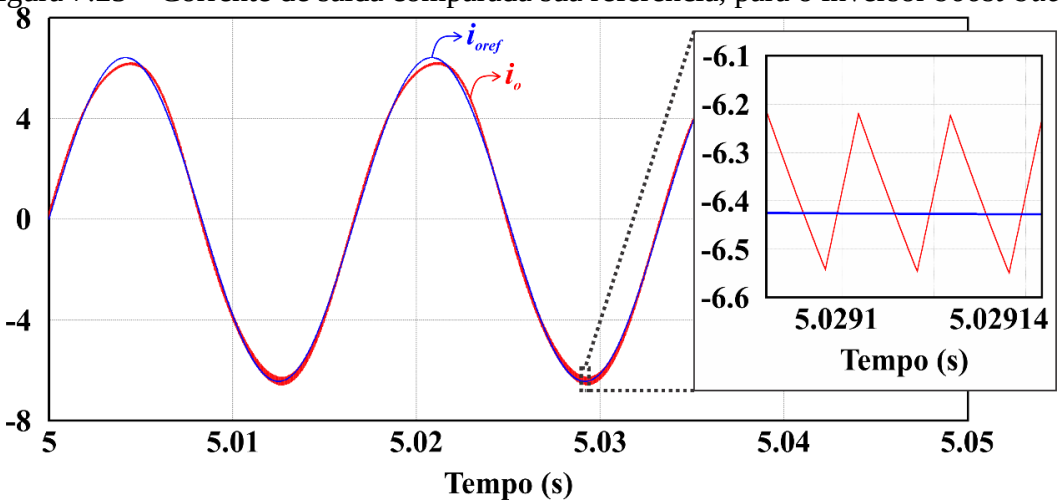
7.2.4 Inversor *Boost-Buck*

Assim como no inversor zeta, a corrente controlada é a própria corrente de saída. A Figura 7.25 mostra essa corrente em comparação com a referência senoidal desejada.

A corrente de entrada e no indutor L_1 são apresentadas na Figura 7.26. Nota-se que mesmo sem o filtro de entrada, sua corrente é semelhante à corrente de entrada dos outros inversores.

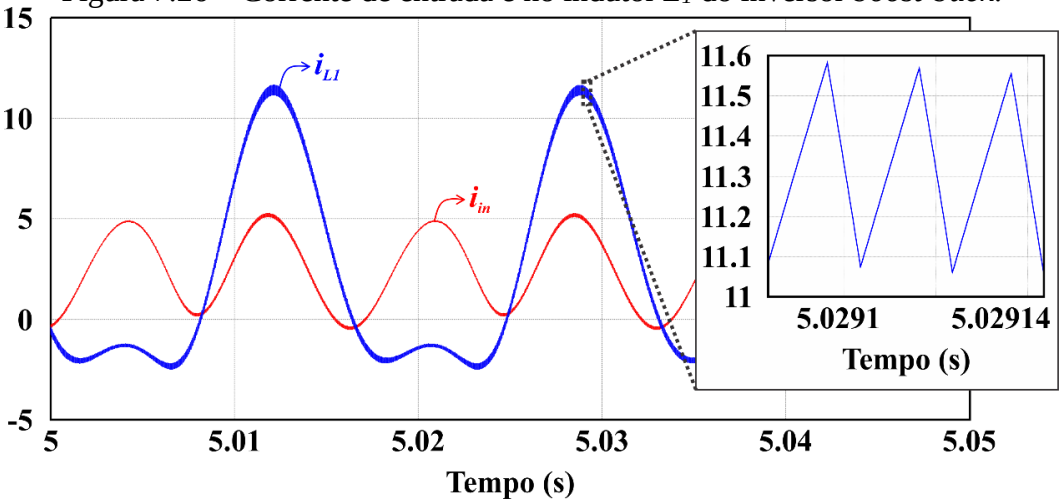
Na Figura 7.27 pode ser visualizada a tensão no capacitor C_1 e a tensão nos transistores. Como explicado na seção 5.6.4, a tensão nos transistores oscila em alta frequência entre zero e v_{C1}.

Figura 7.25 – Corrente de saída comparada sua referência, para o inversor *boost-buck*.



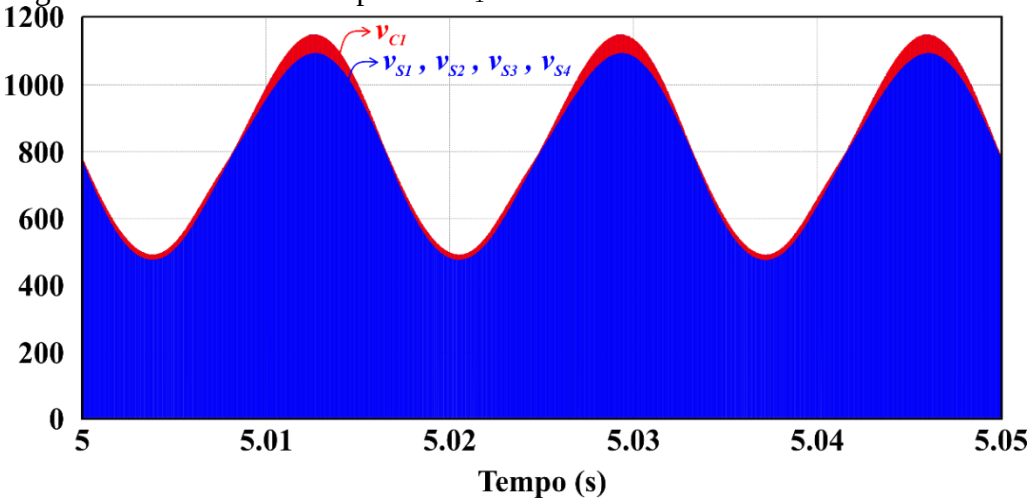
Fonte: Elaborada pelo autor (2022).

Figura 7.26 – Corrente de entrada e no indutor L_1 do inversor *boost-buck*.



Fonte: Elaborada pelo autor (2022).

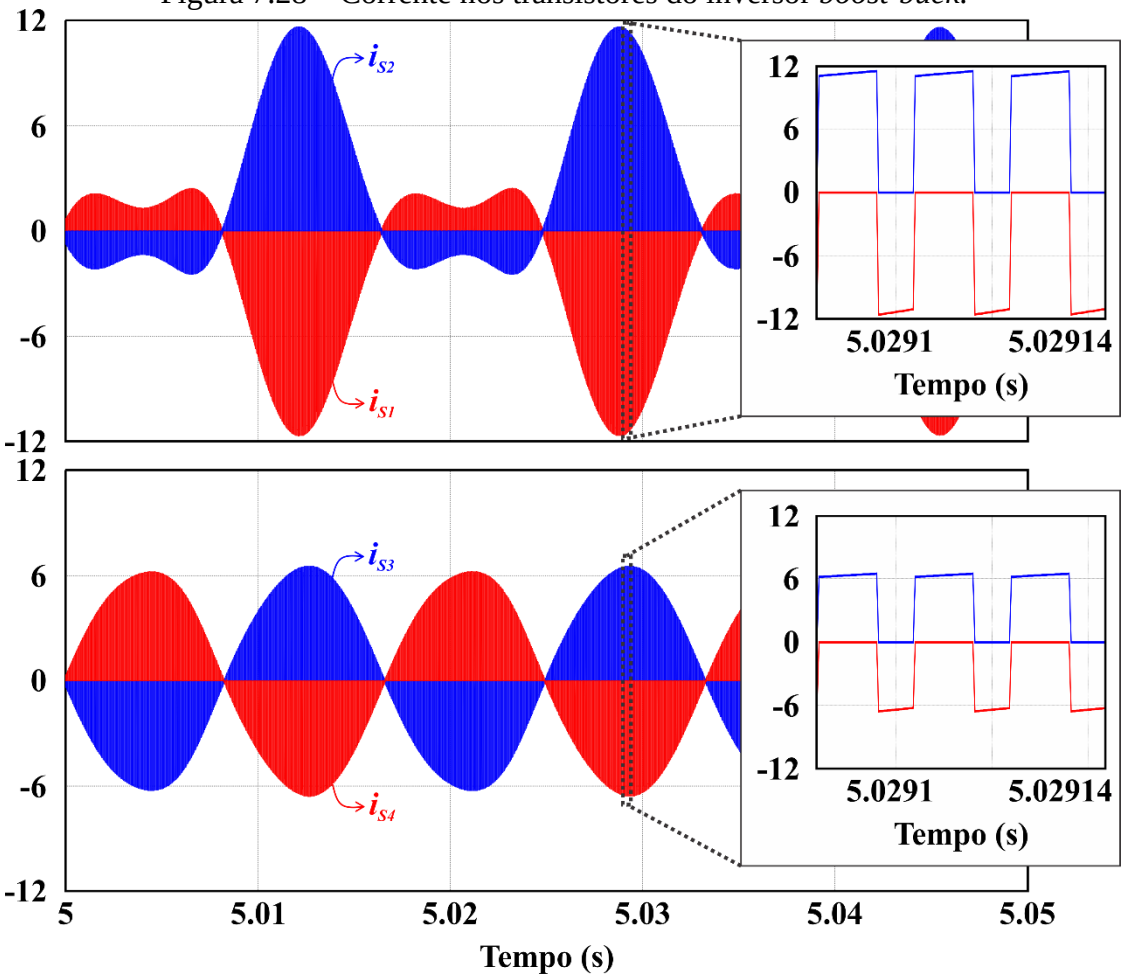
Figura 7.27 – Tensão no capacitor C_1 e nos transistores do inversor *boost-buck*.



Fonte: Elaborada pelo autor (2022).

A corrente em cada transistor é apresentada na Figura 7.28. Durante a o seu acionamento a corrente no transistor S_1 é o inverso da corrente em L_1, enquanto a corrente em S_2 é igual a corrente em L_2. Já na segunda etapa de operação, a corrente em S_2 e S_3 são iguais a i_{L1} e $-i_{L2}$, respectivamente.

Figura 7.28 – Corrente nos transistores do inversor *boost-buck*.



Fonte: Elaborada pelo autor (2022).

Na Tabela 7.7 são apresentados os resultados numéricos da simulação em comparação com os resultados teóricos. Todos os erros observados nessa tabela não são superiores a 2%.

Tabela 7.7 – Comparação entre resultados de simulação e teórico para o inversor *boost-buck*.

Variável	**Simulação**	**Teoria**	**Erro**
Corrente eficaz de saída (I_{oef})	4,5485 A	4,5495 A	0,0220%
Corrente eficaz no indutor L_1 (I_{L1ef})	5,5357 A	5,4887 A	0,8563%
Corrente média de entrada (I_{in})	2,5221 A	2,5000 A	0,8840%
Corrente eficaz no transistor S_1 (I_{S1ef})	3,4278 A	3,4173 A	0,3073%

Corrente eficaz no transistor S_2 (I_{S2ef})	4,3468 A	4,2860 A	1,4186%
Corrente eficaz no transistor S_3 (I_{S3ef})	3,0093 A	2,9985 A	0,3602%
Corrente eficaz no transistor S_4 (I_{S4ef})	3,4108 A	3,4169 A	0,1785%
Corrente eficaz no capacitor C_1 (I_{C1ef})	4,5614 A	4,5463 A	0,3321%
Tensão máxima nos transistores ($V_{S1\max}$)	1,1483 kV	1,1389 kV	0,8254%
Tensão máxima no capacitor C_1 ($V_{C1\max}$)	1,1483 kV	1,1389 k V	0,8254%
Máx. ondulação em alta frequência da corrente de saída i_o (Δi_o)	0,3268 A	0,3214 A	1,6801%
Máx. ondulação em alta frequência da corrente em i_{L1} (Δi_{L1})	0,4972 A	0,5000 A	0,5600%
Máx. ondulação em alta frequência da tensão no capacitor C_1 (Δv_{C1})	54,9994 V	55,5563 V	1,0024%

Fonte: Elaborada pelo autor (2022).

7.3 CONCLUSÕES

São apresentadas as especificações de projeto e dimensionados os elementos de cada inversor.

Através de uma breve análise demonstra-se que os resultados de simulação em malha aberta apresentam uma pequena deformidade nas correntes e tensões analisadas. Portanto, com a finalidade de validar a teoria apresentada no capítulo 5, são realizadas simulações em malha fechada com o controlador FLC do capítulo 6.

Com isso, são apresentadas as principais formas de onda nos elementos que compõem os inversores. Todos os valores teóricos são calculados com as expressões do capítulo 5 e contrastados com os valores encontrados em cada simulação numérica.

Através da observação do erro percentual entre esses valores, considera-se que as expressões foram validadas. Os maiores erros percentuais são discutidos no texto.

8 RESULTADOS DE SIMULAÇÃO EM TEMPO REAL

A simulação em tempo real contribui como passo intermediário entre a simulação numérica e a experimentação prática. Esta consiste na utilização de um equipamento que realizará a simulação da estrutura de potência, contudo todos os sinais de leitura de sensores são enviados ao controlador real. Esses dados são processados dentro do controlador, o qual atua por meio de sinal PWM, neste caso. O sinal PWM é lido pelo equipamento para o acionamento dos transistores.

Como explicado em [96], a utilização da simulação em tempo real permite a aceleração de testes, a redução de tempo em testes laboratoriais, análises em cenários difíceis ou impossíveis de se recriar em laboratório, capacidade de injeção de falhas e acesso em tempo real a qualquer sinal que se deseje medir do sistema. Além disso, a utilização de uma plataforma *Hardware-In-the-Loop* (HIL) permite que, se corretamente planejado, toda unidade de controle seja programada e testada no equipamento HIL, sendo possível desconectar o controlador deste e conectá-lo diretamente ao experimento físico para testes em bancada sem a necessidade de alteração no programa [97].

Dadas essas vantagens e facilidades, diferentes trabalhos tem utilizado equipamentos de simulação em tempo real como passo intermediário, ou mesmo como validação de estudo teórico [98]-[101].

Dessa maneira, o equipamento utilizado é o Typhoon HIL 402 em comunicação com o DSP, LAUNCHXL-F28069M, através de uma placa de interface. A Figura 8.1 mostra a conexão do Typhoon com a placa de interface.

Figura 8.1 – Typhoon-HIL 402 com a placa de interface.



Fonte: Elaborada pelo autor (2022).

A placa de interface condiciona os sinais em valores adequados para a conexão HIL 402 - DSP. O *LaunchPad* é conectado na parte inferior desta placa.

Para a análise dinâmica dos inversores e avaliação da análise harmônica são realizadas simulações em tempo real de cada inversor. Através da interface do Sistema de Supervisão e Aquisição de Dados (do inglês *Supervisory Control And Data Acquisition* – SCADA) fornecido pela própria Typhoon, são visualizados os resultados apresentados neste capítulo.

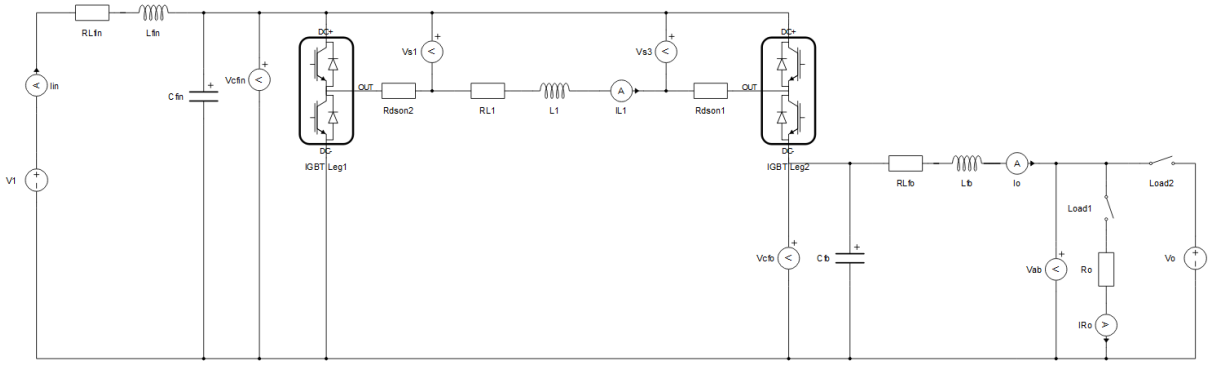
Com relação à montagem do esquemático elétrico uma importante constatação é necessária, o programa não disponibiliza transistores individuais, apenas algumas combinações de transistores com diodos ou com outros transistores. Portanto, para a utilização de transistores individuais tornou-se necessária a utilização de um braço de transistores com uma conexão flutuando, como pode ser observado no caso dos inversores SEPIC e zeta.

Em todos os inversores é empregada a mesma técnica de controle mencionada nos capítulos anteriores, o FLC. Este pode ser visto no formato de aplicação digital no APÊNDICE C, que contém partes do código carregado no DSP que foi utilizado no inversor *buck-boost*.

8.1 *BUCK-BOOST*

Na Figura 8.2 observa-se o esquemático do inversor *buck-boost* criado no *Schematic Editor* para ser carregado no HIL 402. Assim como realizado no capítulo 7, as resistências intrínsecas dos indutores e transistores são consideradas como $R_L = R_{DSon} = 0{,}1\ \Omega$.

Figura 8.2 – Esquemático do inversor *buck-boost* no Typhoon-HIL 402.

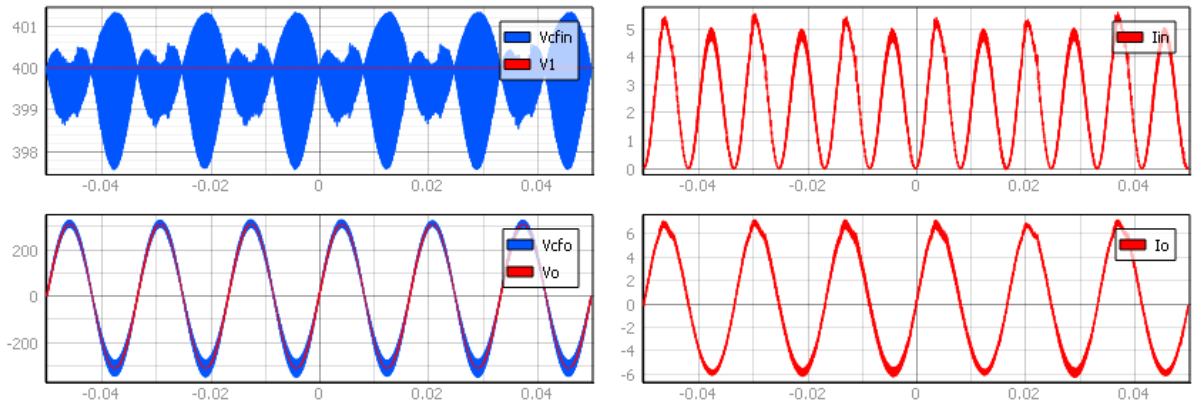


Fonte: Elaborada pelo autor (2022).

Para realizar a inicialização de cada inversor foram seguidos os seguintes passos: (1) Chave Load1 fechada, Load2 aberta, através de sensoriamento da tensão da rede elétrica o PLL encontra o ângulo de sincronização θ, o DSP opera em malha aberta com o ângulo θ fornecido pelo PLL; (2) Após o inversor entrar em regime, o DSP passa a operar em malha fechada de corrente; (3) Chave Load2 é fechada; (4) Chave Load1 é aberta.

As tensões e correntes de entrada e de saída são apresentadas na Figura 8.3. Juntamente com essas tensões são inseridas as tensões nos capacitores de filtro de entrada e de saída.

Figura 8.3 – Tensões e correntes de entrada e de saída e comparação com as tensões nos capacitores dos filtros de entrada e de saída do inversor *buck-boost*.



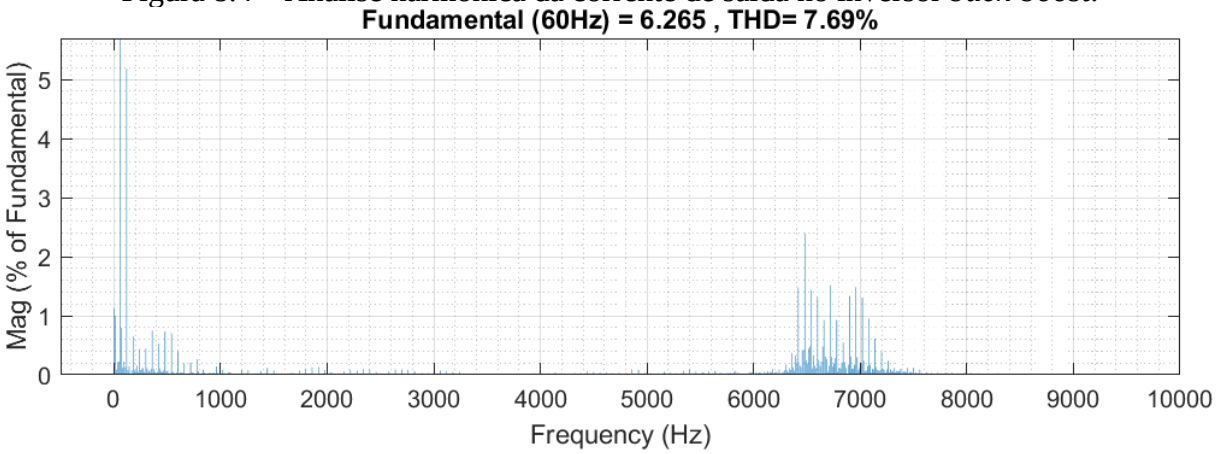
Fonte: Elaborada pelo autor (2022).

Através da análise harmônica da corrente de saída na Figura 8.4 observa-se uma THD de 7,69%. Nota-se que a maior harmônica desse espectro, desconsiderando a própria fundamental, é a harmônica de segunda ordem, com aproximadamente 5,2% da amplitude da fundamental.

Na Figura 8.5 realiza-se um degrau de potência, passando da potência nominal para 50% desta e retornando à potência nominal. Os cursores 1 e 2 marcam os momentos em que ocorrem o primeiro e o segundo degrau. Nota-se que são necessários aproximadamente 4 ciclos da rede elétrica para a estabilização.

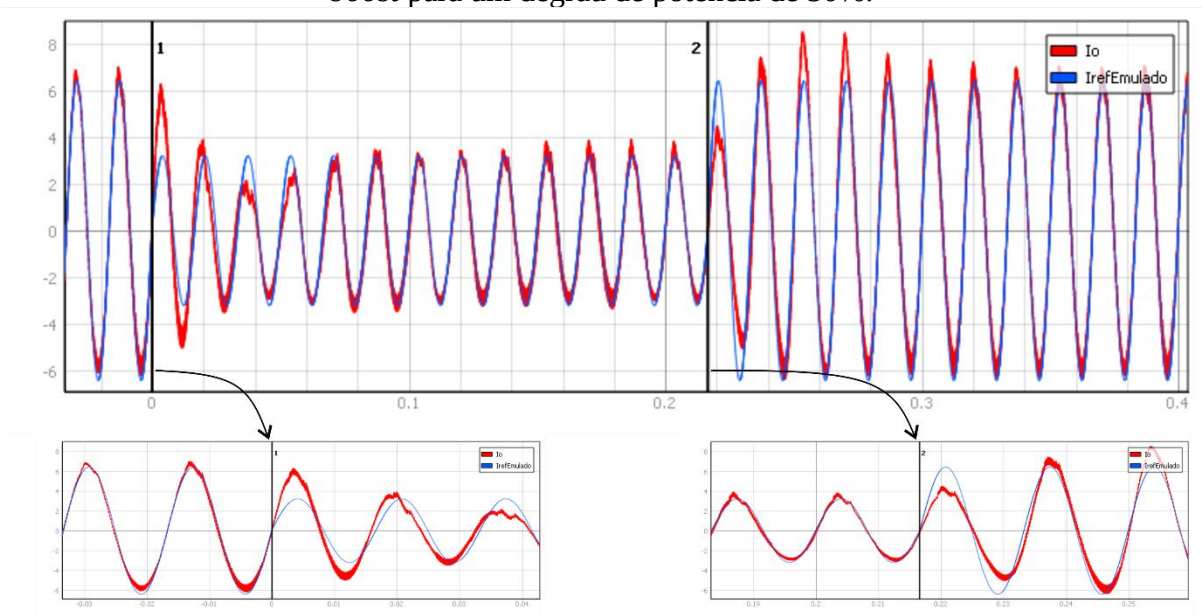
Para verificar a capacidade desse inversor em processar potências reativas, são realizados degraus de fase. De 0º para 90º de fase e novamente para 0º na Figura 8.6 e de 0º para -90º e retornando para 0º na Figura 8.7. Somente na Figura 8.6 é inserida a tensão da rede elétrica como um parâmetro de comparação de fase 0º. Uma vez sendo observada, a tensão de saída é suprimida em outros resultados de degrau de fase.

Figura 8.4 – Análise harmônica da corrente de saída no inversor *buck-boost*.



Fonte: Elaborada pelo autor (2022).

Figura 8.5 – Corrente de saída comparada a corrente de referência emulada do inversor *buck-boost* para um degrau de potência de 50%.

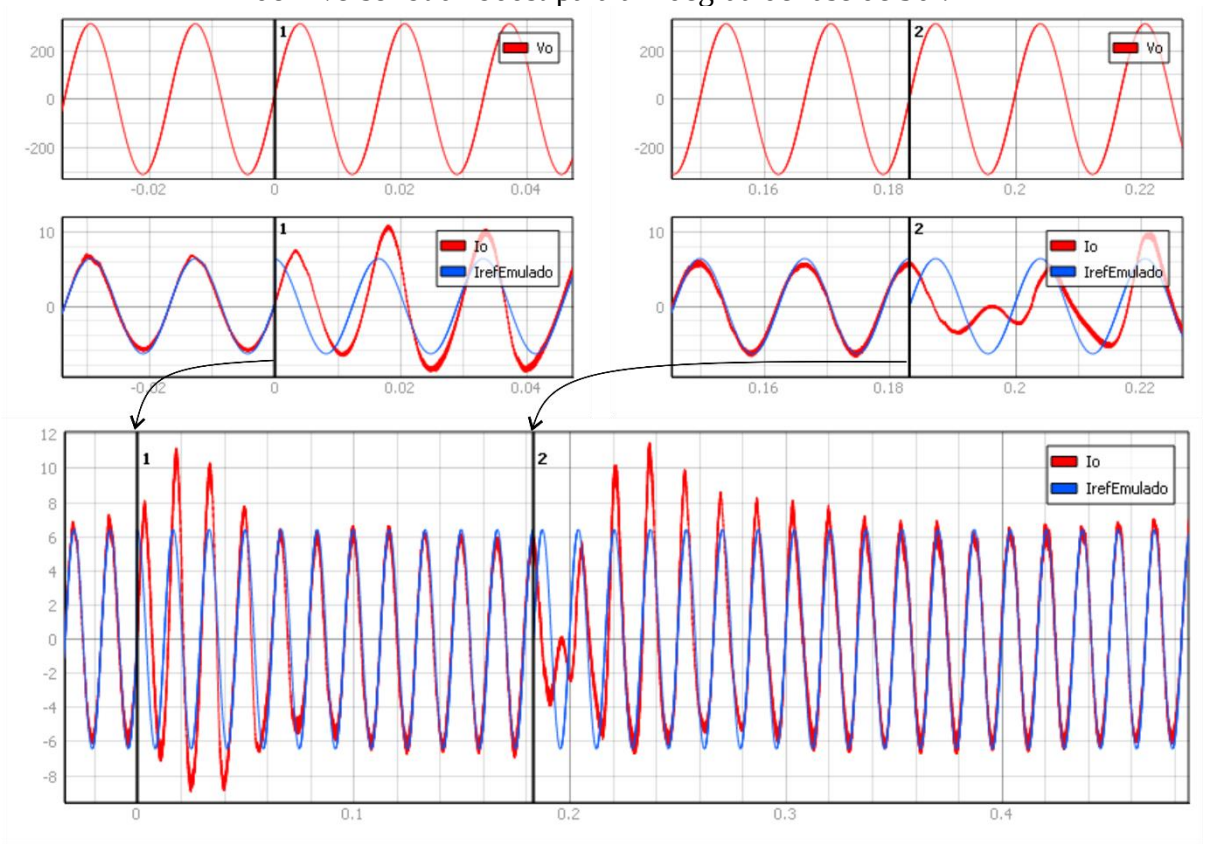


Fonte: Elaborada pelo autor (2022).

Desses degraus de fase, verifica-se que apenas a passagem de 90º para 0º que necessitou de mais alguns ciclos de rede para a estabilização.

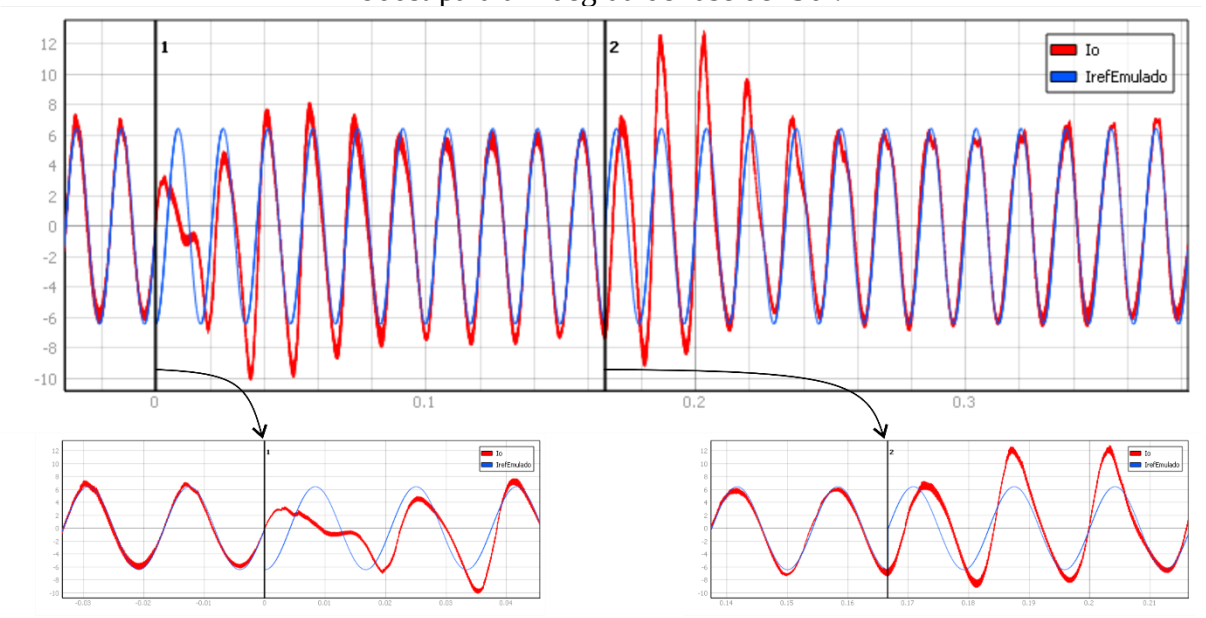
Isso também acontece quando ocorre a inversão de fase, como mostra a Figura 8.8. Neste teste demonstra-se a capacidade deste inversor operar com fluxo de potência positivo e negativo.

Figura 8.6 – Tensão de saída e corrente de saída comparada a corrente de referência emulada do inversor *buck-boost* para um degrau de fase de 90º.



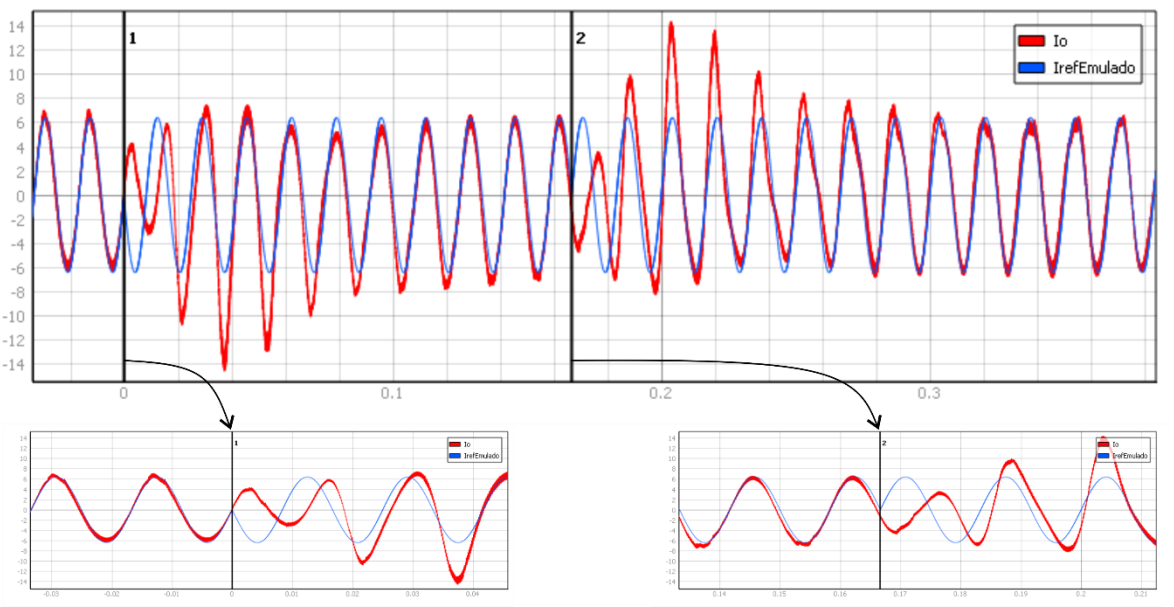
Fonte: Elaborada pelo autor (2022).

Figura 8.7 – Corrente de saída comparada a corrente de referência emulada do inversor *buck-boost* para um degrau de fase de -90º.



Fonte: Elaborada pelo autor (2022).

Figura 8.8 – Corrente de saída comparada a corrente de referência emulada do inversor *buck-boost* para inversão de fase.

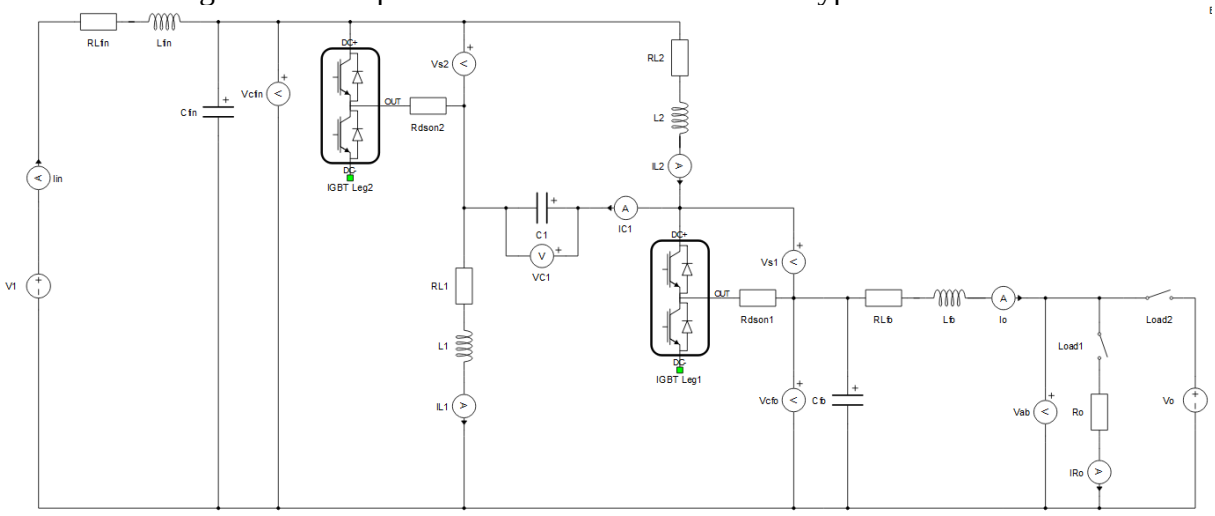


Fonte: Elaborada pelo autor (2022).

8.2 SEPIC

Assim como mencionado anteriormente, por não haver a disponibilidade de transistores individuais no *software* de edição do circuito elétrico do Typhoon, utilizaram-se dois braços de transistores. Deste modo, o transistor inferior de cada braço permaneceu flutuando, como pode ser visto na Figura 8.9.

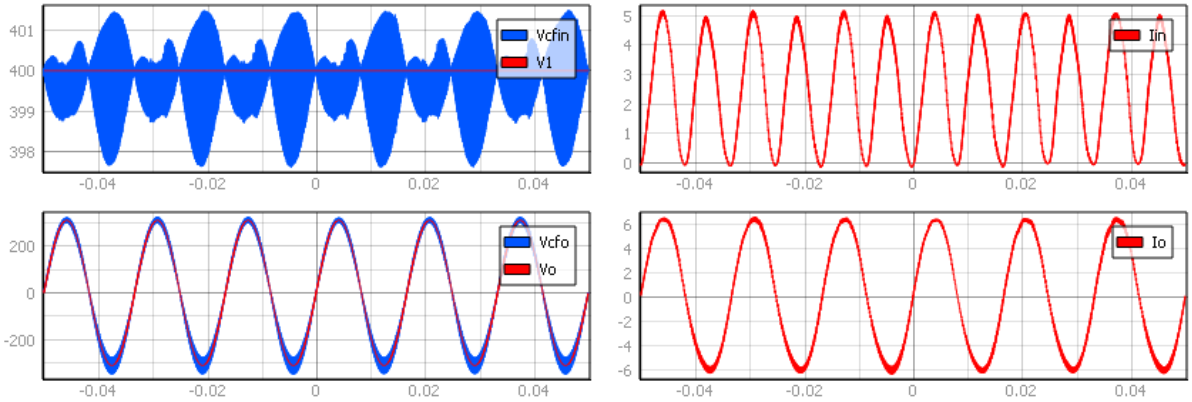
Figura 8.9 – Esquemático do inversor SEPIC no Typhoon-HIL 402.



Fonte: Elaborada pelo autor (2022).

As tensões e correntes de entrada e de saída do inversor SEPIC operando em malha fechada podem ser vistas na Figura 8.10. Também são observadas as tensões nos capacitores dos filtros de entrada e de saída.

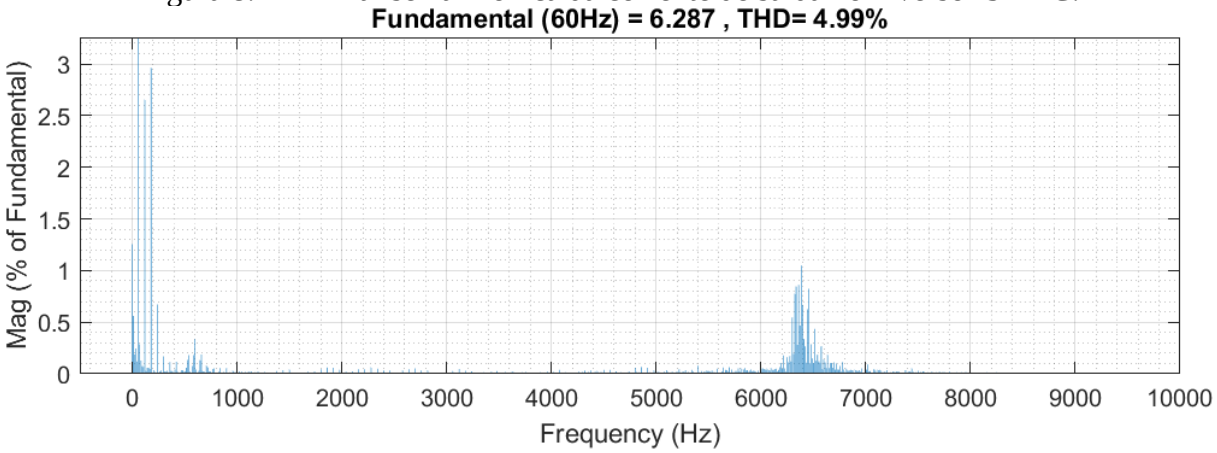
Figura 8.10 – Tensões e correntes de entrada e de saída e comparação com as tensões nos capacitores dos filtros de entrada e de saída do inversor SEPIC.



Fonte: Elaborada pelo autor (2022).

A análise harmônica da corrente de saída é apresentada na Figura 8.11. Observa-se uma THD de 4,99%. Nota-se que, assim como no caso anterior, existe algum conteúdo harmônico perceptível acima da décima ordem, contudo o maior dentre eles é de aproximadamente 1%.

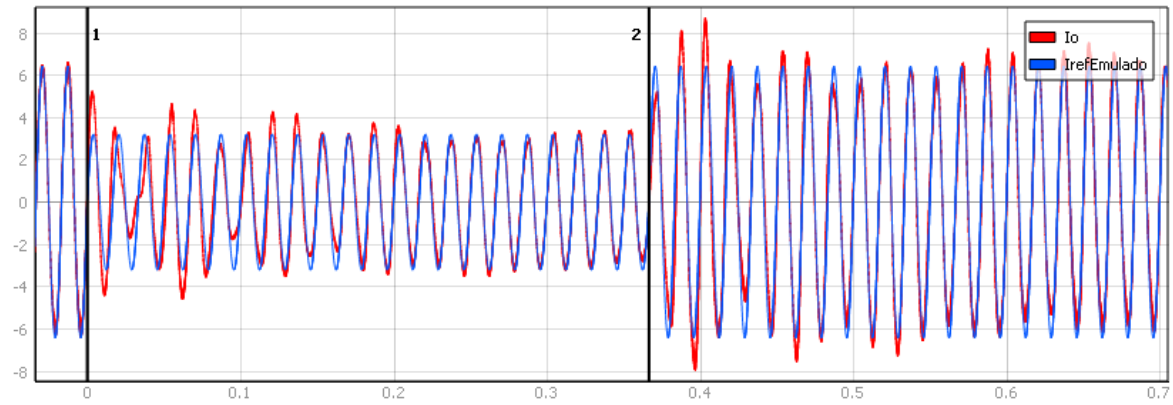
Figura 8.11 – Análise harmônica da corrente de saída no inversor SEPIC.



Fonte: Elaborada pelo autor (2022).

Na Figura 8.12 é apresentado o comportamento da corrente de saída para um degrau de 50% de potência, passando da potência nominal para 50% do seu valor e retornando para o valor nominal.

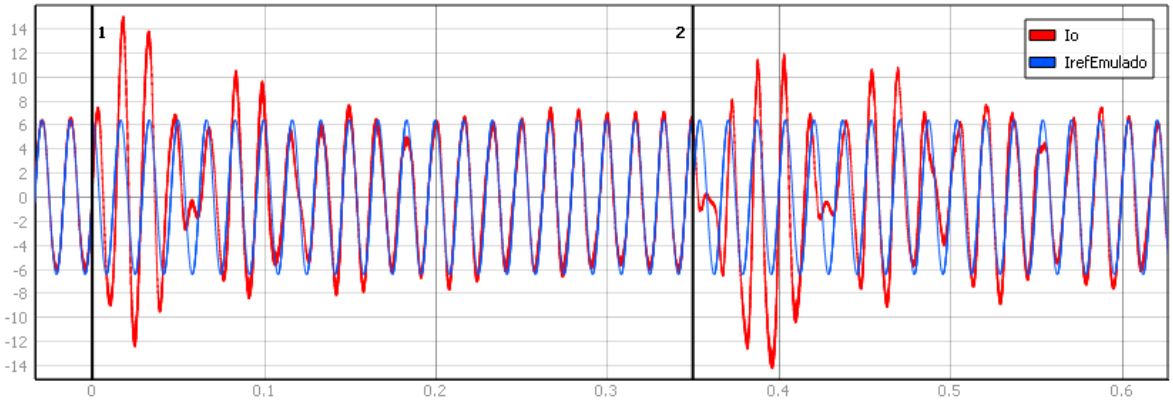
Figura 8.12 – Corrente de saída comparada a corrente de referência emulada do inversor SEPIC para um degrau de potência de 50%.



Fonte: Elaborada pelo autor (2022).

Realizam-se degraus de fase, assim como feito para o inversor anterior. Na Figura 8.13 observa-se o degrau de 90º, enquanto na Figura 8.14 o degrau de -90º.

Figura 8.13 – Corrente de saída comparada a corrente de referência emulada do inversor SEPIC para um degrau de fase de 90º.

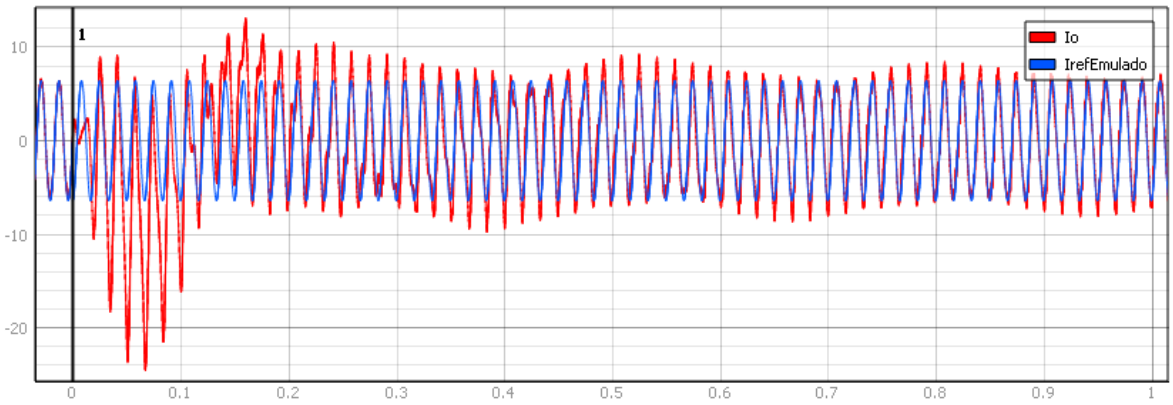


Fonte: Elaborada pelo autor (2022).

No degrau de -90º a estabilização é muito mais lenta. Além disso, uma deformação surge na corrente quando sua fase está em -90º, como visto na Figura 8.15. Esta deformação não aparece em outros ângulos aqui apresentados e pode ser atenuada ou eliminada através da ação de controle.

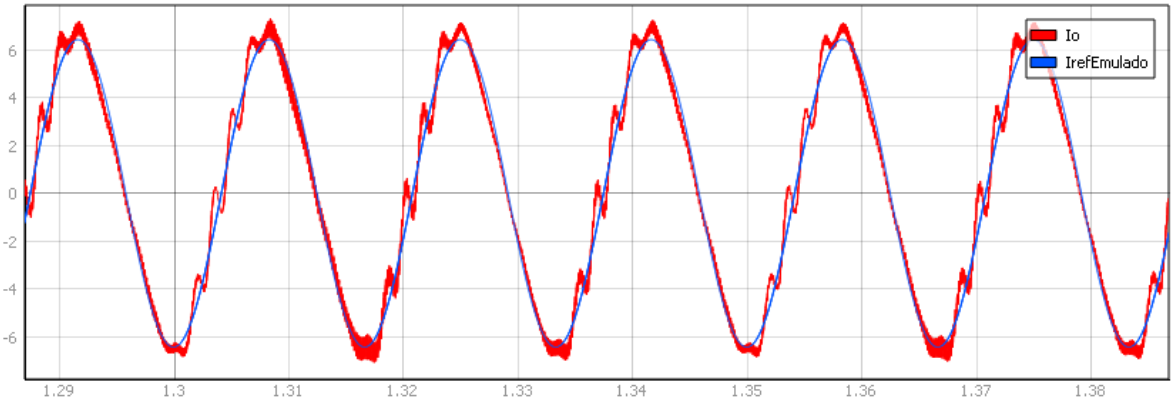
O resultado da inversão de fase pode ser visto na Figura 8.16. Nota-se um elevado sobre-sinal, sendo apenas superado pelo degrau de -90º. Isto pode ser contornado otimizando o controlador ou tornando-o mais lento, por exemplo.

Figura 8.14 – Corrente de saída comparada a corrente de referência emulada do inversor SEPIC para um degrau de fase de -90º.



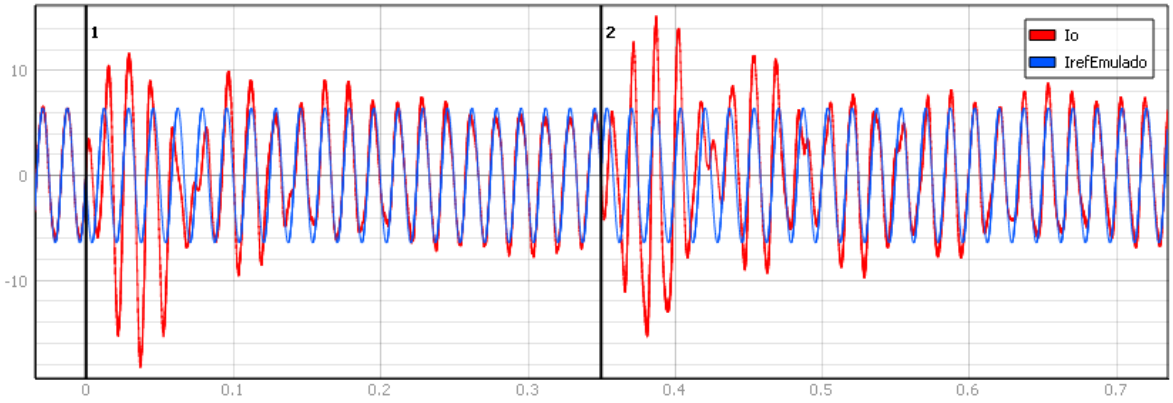
Fonte: Elaborada pelo autor (2022).

Figura 8.15 – Corrente de saída comparada a corrente de referência emulada do inversor SEPIC com fase de -90º.



Fonte: Elaborada pelo autor (2022).

Figura 8.16 – Corrente de saída comparada a corrente de referência emulada do inversor SEPIC para inversão de fase.

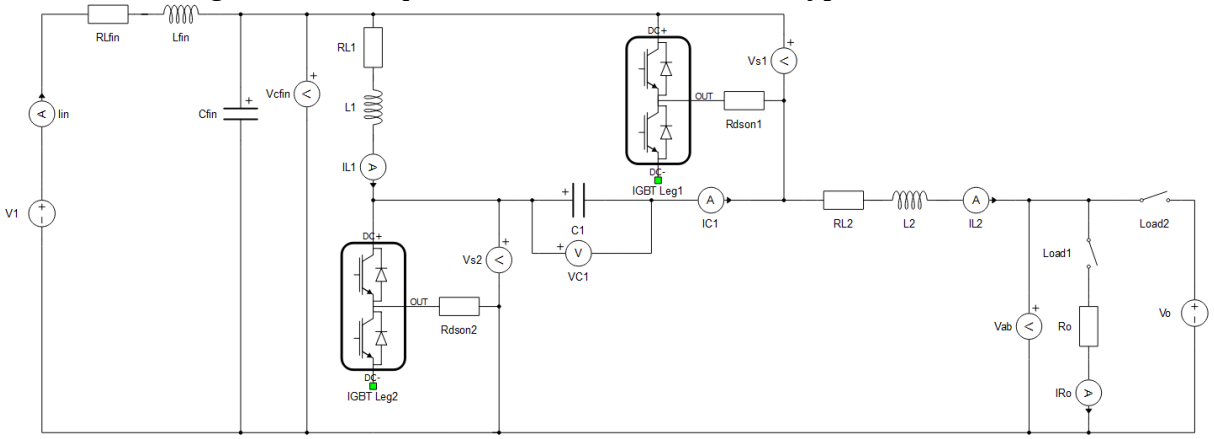


Fonte: Elaborada pelo autor (2022).

8.3 ZETA

O esquemático do inversor zeta carregado no HIL402 é apresentado na Figura 8.17. Assim como no caso anterior, são utilizados os braços de transistores com o transistor inferior flutuante.

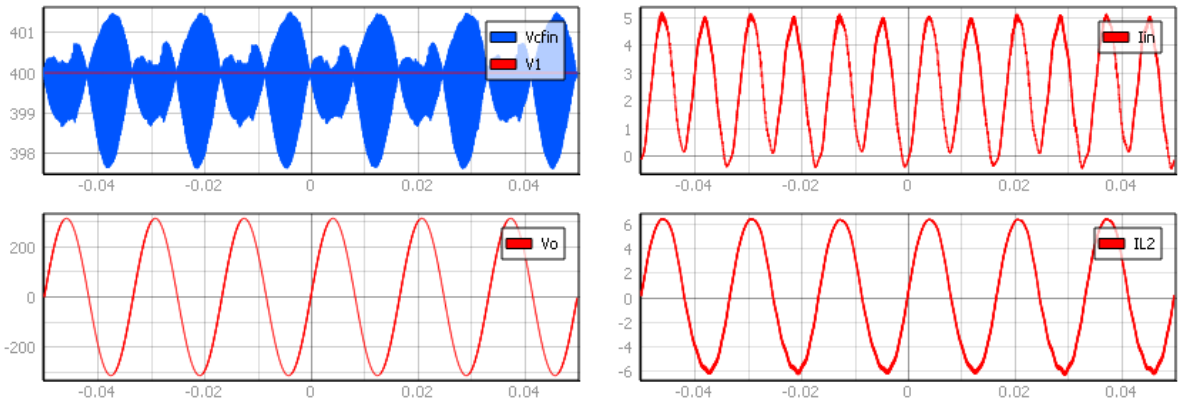
Figura 8.17 – Esquemático do inversor zeta no Typhoon-HIL 402.



Fonte: Elaborada pelo autor (2022).

Na Figura 8.18 são apresentadas as tensões e correntes de entrada e de saída, bem como a tensão no capacitor do filtro de entrada.

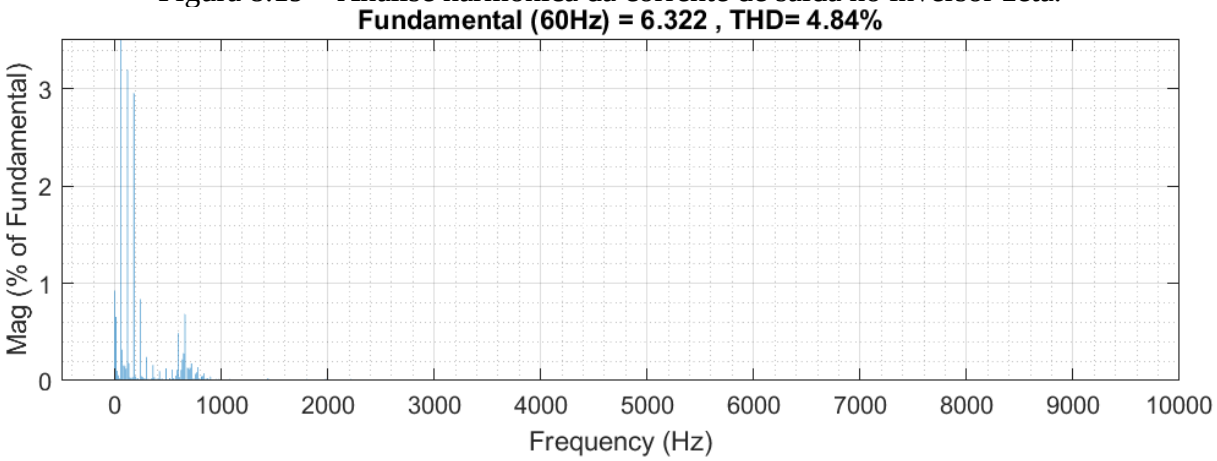
Figura 8.18 – Tensões e correntes de entrada e de saída e comparação com a tensão no capacitor do filtro de entrada do inversor zeta.



Fonte: Elaborada pelo autor (2022).

A análise harmônica da corrente de saída aponta uma melhora em relação aos dois inversores anteriores, não sendo perceptível um conteúdo harmônico acima da décima ordem e obtendo uma THD de 4,84%.

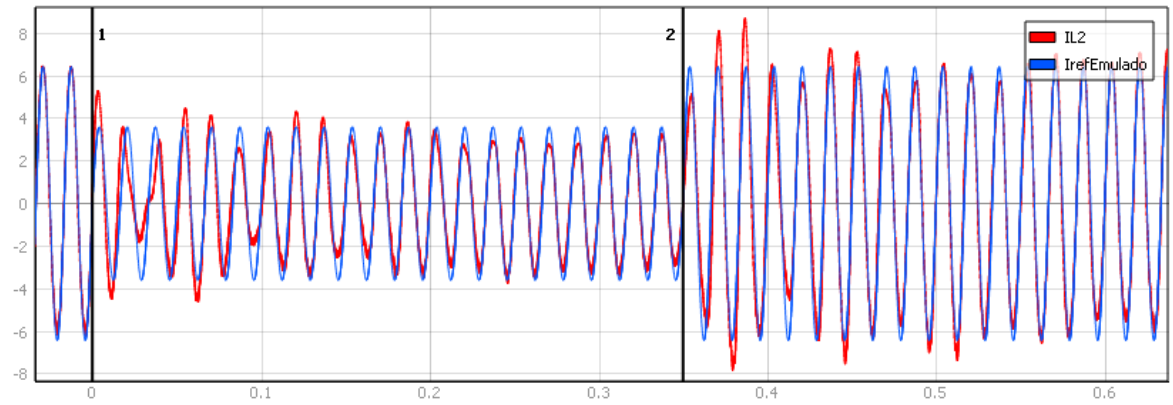
Figura 8.19 – Análise harmônica da corrente de saída no inversor zeta.



Fonte: Elaborada pelo autor (2022).

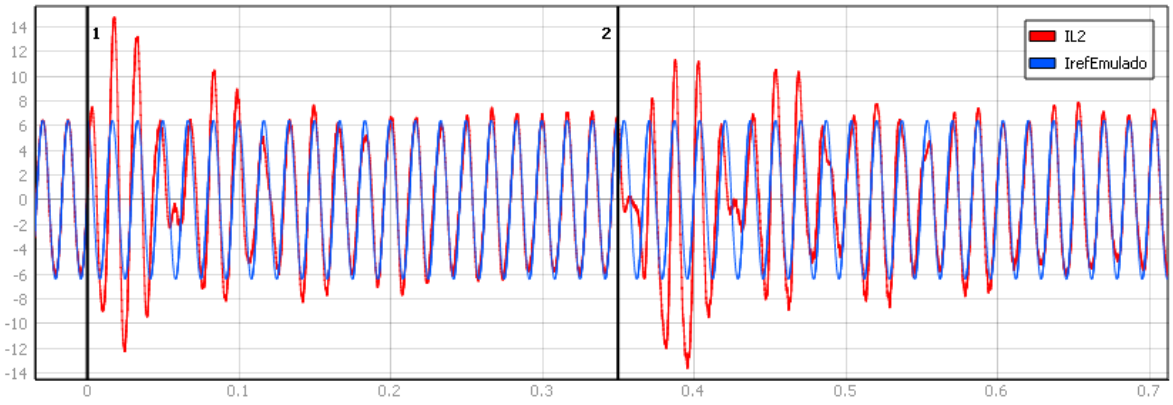
A Figura 8.20 exibe o degrau de potência, já a Figura 8.21 o degrau de fase de 90º.

Figura 8.20 – Corrente de saída comparada a corrente de referência emulada do inversor zeta para um degrau de potência de 50%.



Fonte: Elaborada pelo autor (2022).

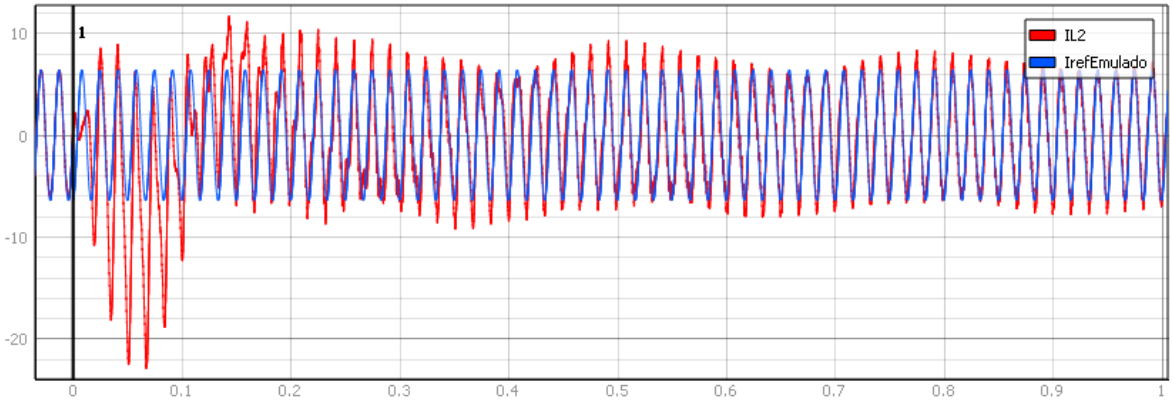
Figura 8.21 – Corrente de saída comparada a corrente de referência emulada do inversor zeta para um degrau de fase de 90º.



Fonte: Elaborada pelo autor (2022).

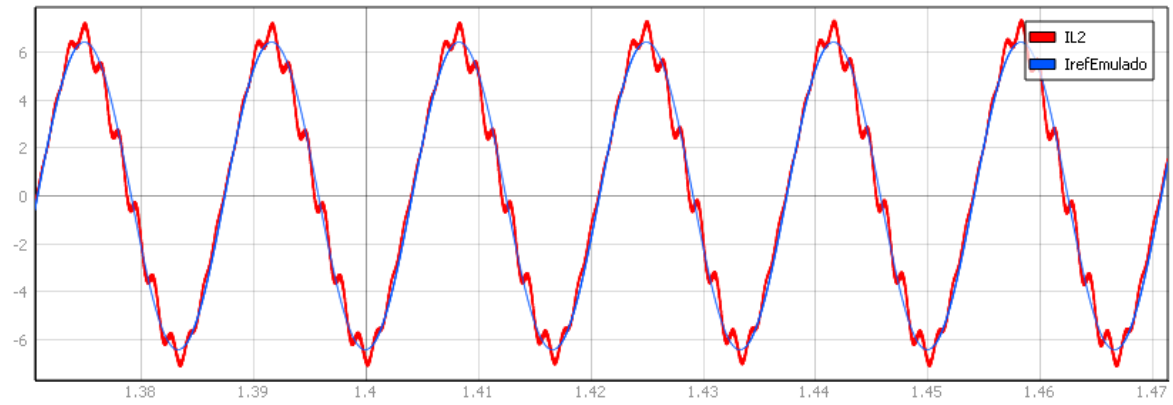
Assim como no caso anterior, o degrau de -90º necessita de maior tempo para a estabilização, como mostra a Figura 8.22. Além disso, analisando a corrente com fase de -90º, como na Figura 8.23, observa-se uma distorção similar à encontrada no inversor SEPIC. É curioso observar que esta distorção ocorre do momento de pico positivo até o pico negativo, enquanto no inversor SEPIC isso ocorre do pico negativo para o positivo.

Figura 8.22 – Corrente de saída comparada a corrente de referência emulada do inversor zeta para um degrau de fase de -90º.



Fonte: Elaborada pelo autor (2022).

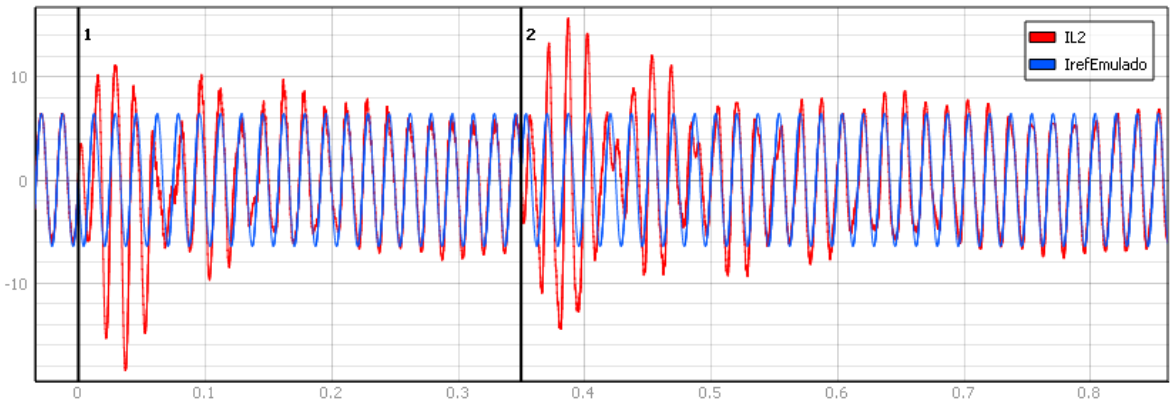
Figura 8.23 – Corrente de saída comparada a corrente de referência emulada do inversor zeta com fase de -90º.



Fonte: Elaborada pelo autor (2022).

A inversão de corrente, ocasionando na inversão do fluxo de potência, pode ser vista na Figura 8.24.

Figura 8.24 – Corrente de saída comparada a corrente de referência emulada do inversor zeta para inversão de fase.

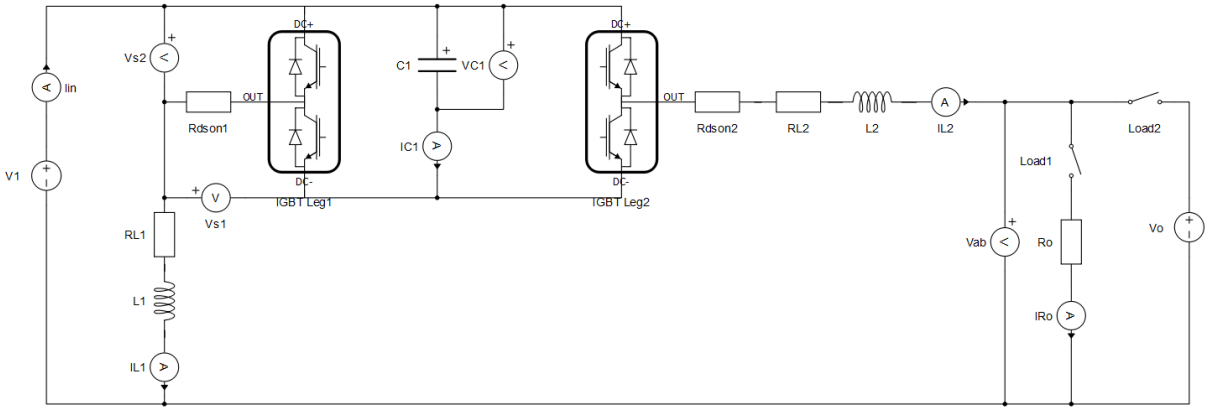


Fonte: Elaborada pelo autor (2022).

8.4 *BOOST-BUCK*

A Figura 8.25 apresenta o circuito elétrico montado no *Schematic Editor* do Typhoon.

Figura 8.25 – Esquemático do inversor *boost-buck* no Typhoon-HIL 402.

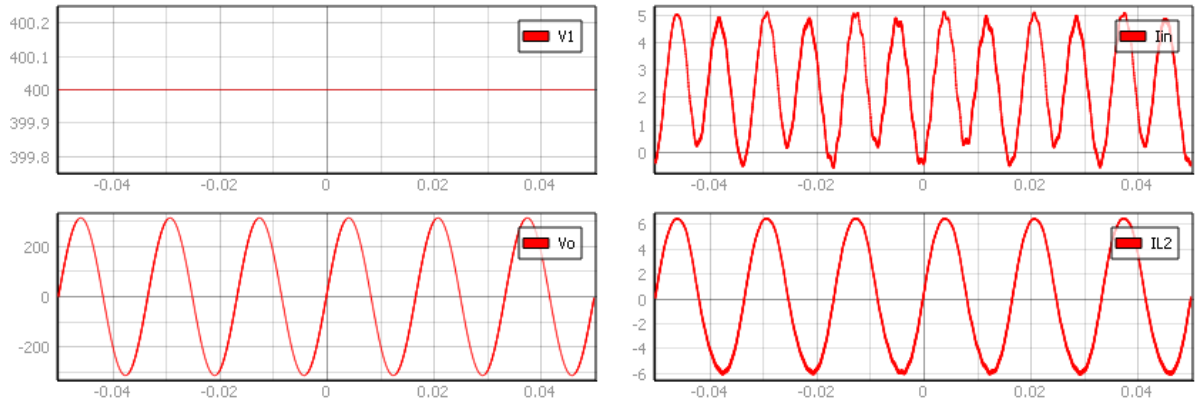


Fonte: Elaborada pelo autor (2022).

As tensões e correntes de entrada e de saída podem ser visualizadas na Figura 8.26. Ressalta-se que este é o único dos quatro inversores que não necessita de filtros de entrada e de saída.

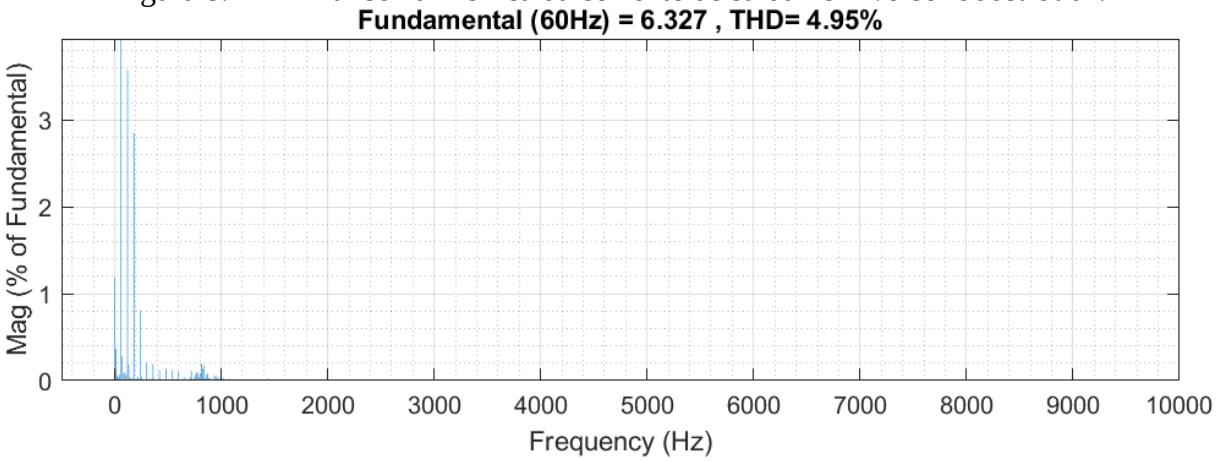
A análise harmônica da Figura 8.27 apresenta uma THD da corrente de 4,95%. Assim como para o inversor zeta, este não apresenta conteúdo harmônico perceptível acima da décima ordem.

Figura 8.26 – Tensões e correntes de entrada e de saída do inversor *boost-buck*.



Fonte: Elaborada pelo autor (2022).

Figura 8.27 – Análise harmônica da corrente de saída no inversor *boost-buck*.



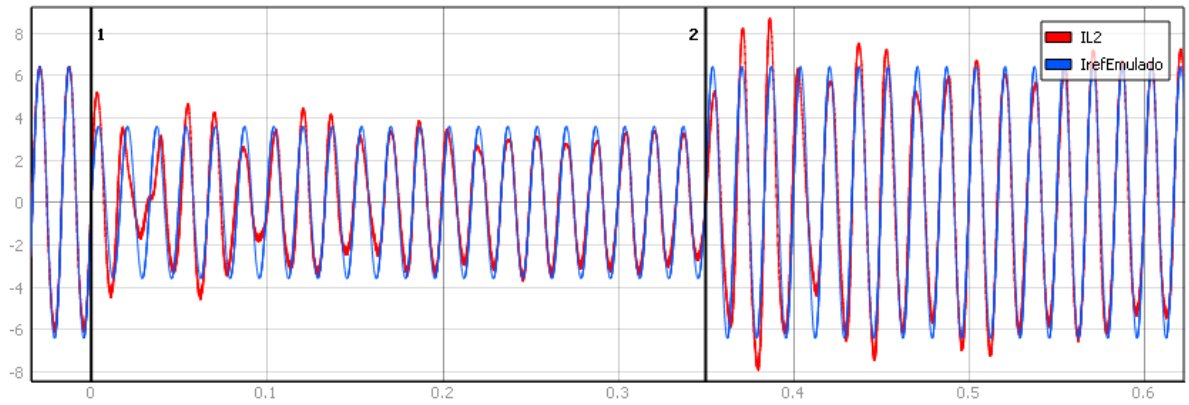
Fonte: Elaborada pelo autor (2022).

O degrau de 50% da potência nominal é apresentado na Figura 8.28 e o degrau de fase de 90º na Figura 8.29.

Para o caso do degrau de -90º foi necessário alterar o ganho do controlador ressonante de 120 Hz para k_{r120} = 5.10^3, pois com o ganho original de 20.10^3 o inversor se tornou instável. O degrau de -90º de fase com essa adaptação no controlador pode ser observado na Figura 8.30 e, em detalhes, na Figura 8.31. Nota-se que, devido a essa alteração no controlador, além do inversor ficar estável, não surge a distorção mencionada nos inversores SEPIC e zeta.

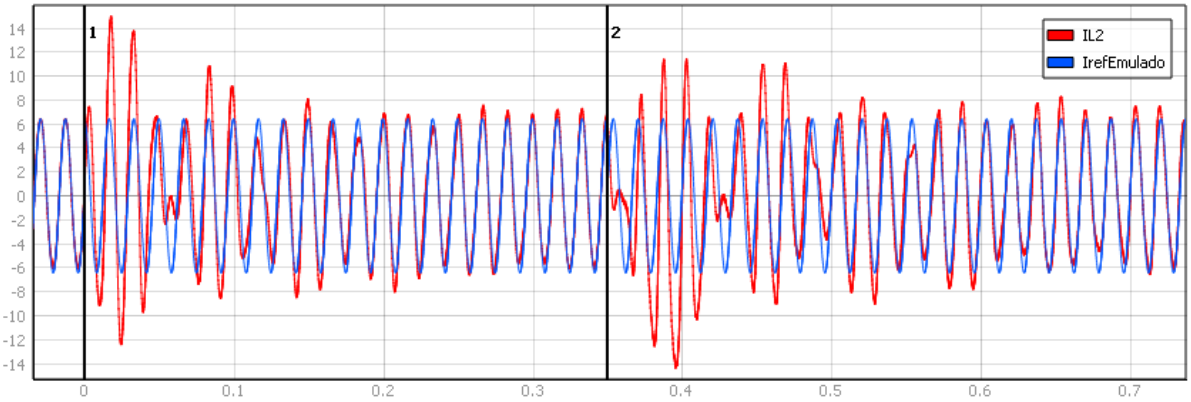
A Figura 8.32 mostra o comportamento da corrente no caso da inversão de fase.

Figura 8.28 – Corrente de saída comparada a corrente de referência emulada do inversor *boost-buck* para um degrau de potência de 50%.



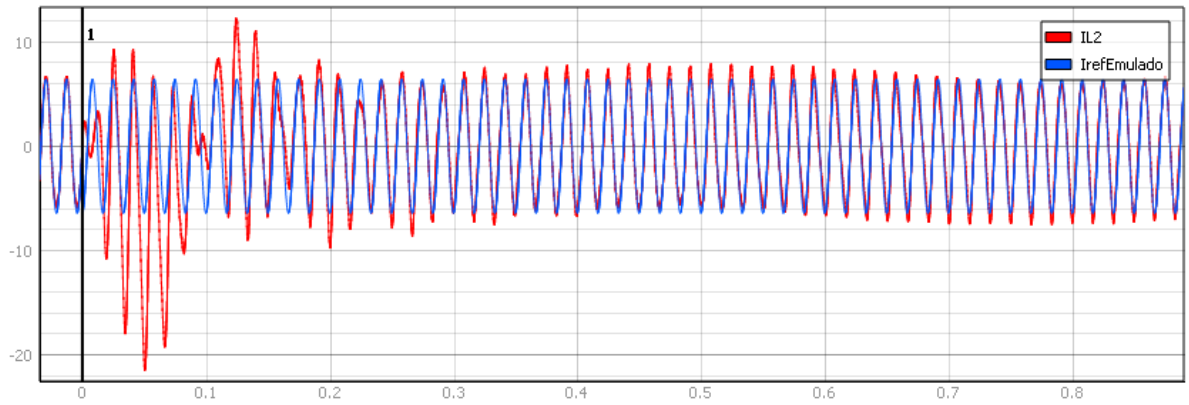
Fonte: Elaborada pelo autor (2022).

Figura 8.29 – Corrente de saída comparada a corrente de referência emulada do inversor *boost-buck* para um degrau de fase de 90º.



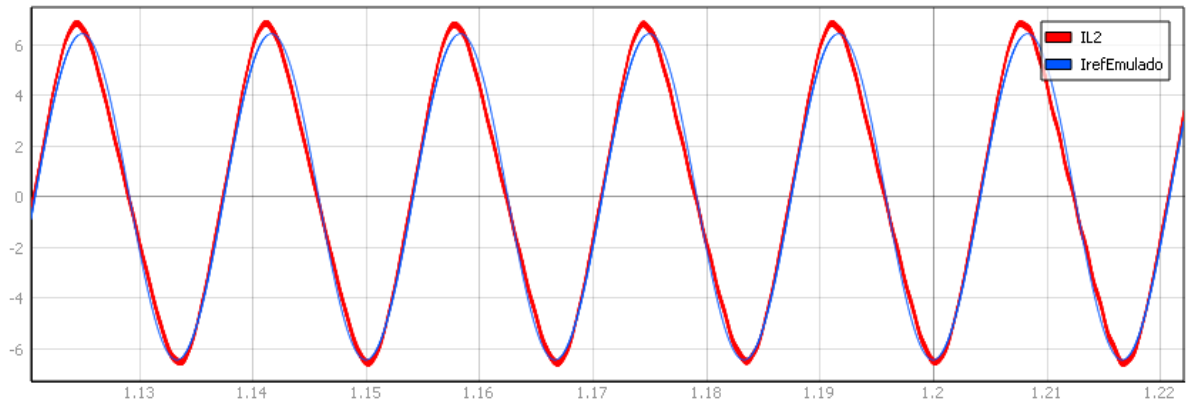
Fonte: Elaborada pelo autor (2022).

Figura 8.30 – Corrente de saída comparada a corrente de referência emulada do inversor *boost-buck* para um degrau de fase de -90º, com alteração no ganho do controlador ressonante de 120 Hz.



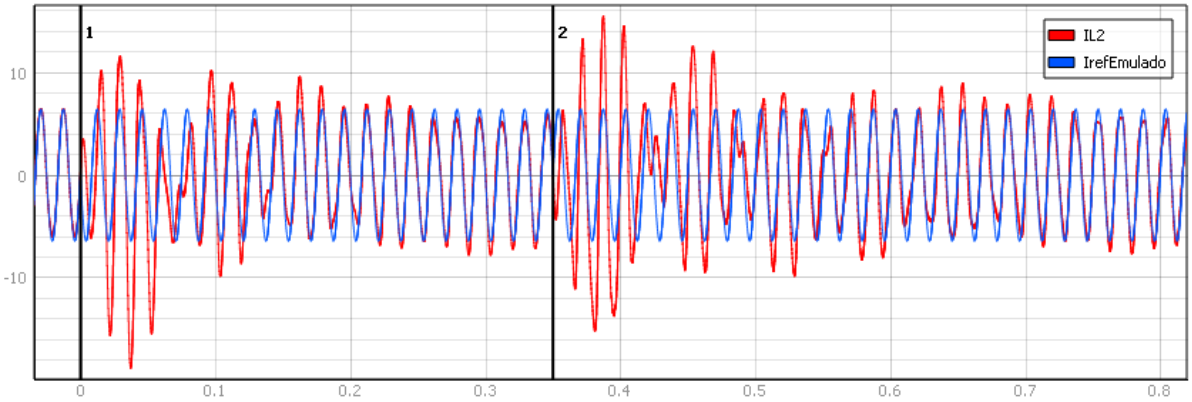
Fonte: Elaborada pelo autor (2022).

Figura 8.31 – Corrente de saída comparada a corrente de referência emulada do inversor *boost-buck* com fase de -90º, com alteração no ganho do controlador ressonante de 120 Hz.



Fonte: Elaborada pelo autor (2022).

Figura 8.32 – Corrente de saída comparada a corrente de referência emulada do inversor *boost-buck* para inversão de fase.



Fonte: Elaborada pelo autor (2022).

8.5 CONCLUSÕES

Apresentam-se as vantagens da utilização do equipamento de simulação em tempo real e sua aceitação como passo intermediário ou mesmo como método para a validação de estudos teóricos.

São realizadas simulações em tempo real dos inversores propostos, nas quais são feitas diferentes medições e testes dinâmicos.

Os circuitos elétricos carregados no Typhoon HIL402 são apresentados.

Verifica-se que o inversor *buck-boost* possui o maior conteúdo harmônico desta família de inversores, e o zeta o menor.

Observa-se que os três inversores, SEPIC, zeta e *boost-buck*, possuem respostas dinâmicas muito parecidas para os diferentes degraus testados, o que contribui com a teoria apresentada no capítulo 6, onde esses inversores são vistos como um mesmo sistema.

Pondera-se que um estudo mais aprofundado sobre o controlador utilizado pode levar a melhores resultados de tempo de estabilização, máxima ultrapassagem, eliminação das distorções para fase de -90º e estabilidade.

9 RESULTADOS EXPERIMENTAIS

Dadas as limitações de acesso aos laboratórios da universidade durante a pandemia global do COVID-19, foram realizados ensaios experimentais apenas para o inversor zeta, o qual foi montado antes desse período. Por esse motivo também ocorre uma divergência entre as especificações utilizadas nos capítulos anteriores e as que foram utilizadas na elaboração do protótipo. A Tabela 9.1 apresenta as especificações de projeto utilizadas na elaboração do protótipo. Os testes em bancada foram realizados para o conversor desconectado da rede elétrica.

Tabela 9.1 – Especificações de projeto do protótipo.

Símbolo	**Descrição**	**Valor**
V_1	Tensão do banco de baterias	400 V
v_o	Tensão eficaz da rede elétrica	220 V
P_o	Potência de saída	1 kW
f_s	Frequência de comutação	50 kHz
f_r	Frequência da rede elétrica	60 Hz
f_{fin}	Frequência de corte do filtro de entrada	5 kHz
$\Delta i_{L1\%}$	Ondulação de corrente em L_1	50%
$\Delta i_{o\%}$	Ondulação da corrente de saída	50%
$\Delta v_{C1\%}$	Ondulação de tensão em C_1	5%
$\Delta v_{Cfin\%}$	Ondulação de tensão em C_{fin}	1%
$\Delta v_{Co\%}$	Ondulação da tensão de saída para conexão com cargas	3%

Fonte: Elaborada pelo autor (2022).

Com base nos valores dos elementos e nos esforços calculados, os componentes para a montagem do protótipo foram escolhidos ou produzidos. A descrição desses é informada no Quadro 9.1. Observam-se que os componentes são diferentes dos valores encontrados na Tabela 7.2, principalmente L_1 e L_2, devido a mudança de especificações. Mais detalhes sobre o projeto dos indutores e do projeto térmico podem ser visualizados na planilha de cálculo no APÊNDICE D.

Levando em consideração os componentes elencados, o projeto da Placa de Circuito Impresso (PCI) é realizado. Esta pode ser vista na Figura 9.1.

Sensores de corrente e tensão já foram previstos para diferentes possibilidades de conexão. Portanto, além dos elementos da topologia encontram-se: *gate drivers* para acionamento dos transistores, divisores resistivos e transdutores de tensão (LV 20-P) para o

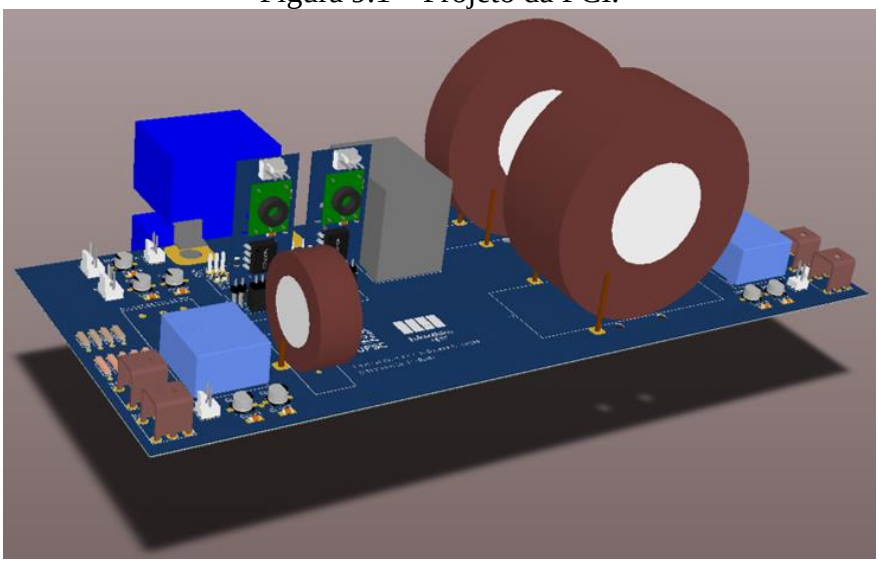
sensoriamento das tensões de entrada e saída, sensores de corrente (LA 25-NP) na entrada, i_{Lf}, e na saída, i_o. O arranjo dos componentes pode ser observado na PCI da Figura 9.2.

Quadro 9.1 – Componentes do protótipo.

Indutor L_1	Indutância: 4,13 mH Número de espiras: 173 Fio: 1 x 15 AWG Núcleo: 2 x MMTS60T7713 (Magmattec)
Indutor L_2	Indutância: 1,6 mH Número de espiras: 152 Fio: 1 x 15 AWG Núcleo: 1 x MMTS60T7713 (Magmattec)
Indutor L_f	Indutância: 39,26 µH Número de espiras: 19 Fio: 1 x 15 AWG Núcleo: 1 x MMT026T4015 (Magmattec)
Capacitor C_1	2 µF (2 x 1 µF/1,25 kV - B32656S7105K577)
Capacitor C_f	30 µF/650 V - C4AQCBW5300A3JJ
Capacitor C_o	1 µF/630 V
Transistores S_1 e S_2	C2M0080170P (1700 V/40 A)
Dissipador	LAM 3 K 150 12 (Fischer Elektronik)

Fonte: Elaborada pelo autor (2020).

Figura 9.1 – Projeto da PCI.

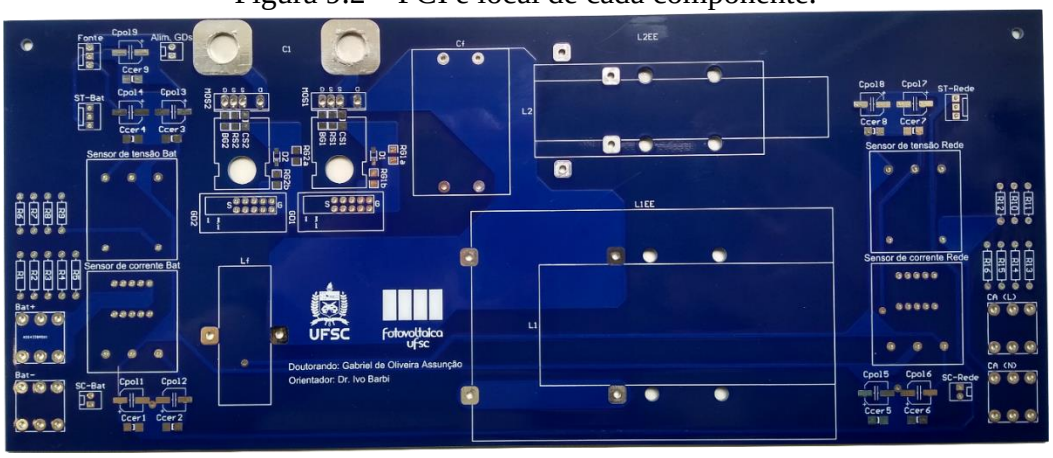


Fonte: Elaborada pelo autor (2020).

O protótipo do inversor zeta pode ser visualizado juntamente com suas dimensões na Figura 9.3.

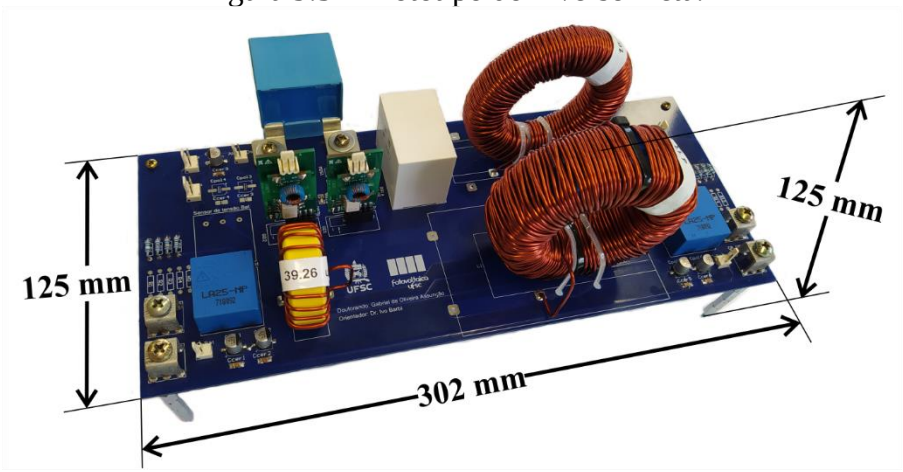
Além do conversor uma placa de processamento de sinais foi elaborada. Esta é montada para ajustar as medições dos sensores para a leitura do DSP, LAUNCHXL-F28069M, o qual é responsável pela geração dos comandos de acionamento dos transistores. Na Figura 9.4, observam-se ambas as placas interligadas.

Figura 9.2 – PCI e local de cada componente.



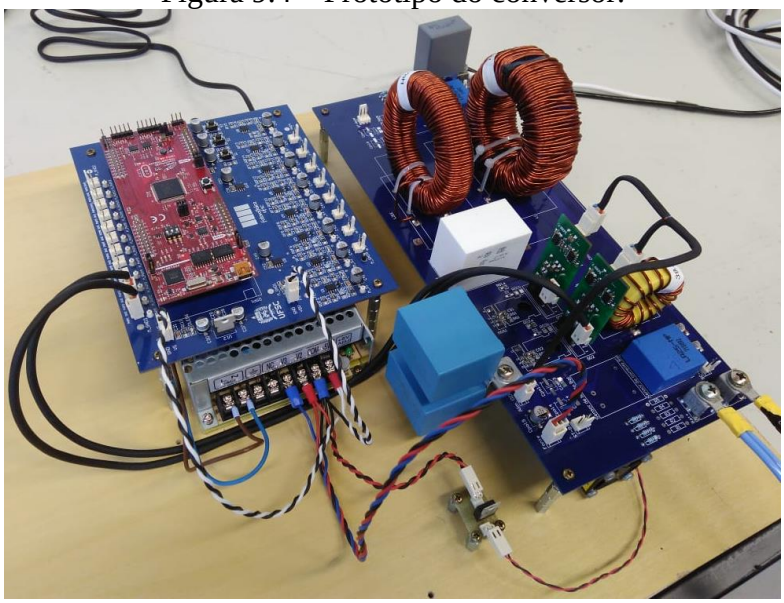
Fonte: Elaborada pelo autor (2020).

Figura 9.3 – Protótipo do inversor zeta.



Fonte: Elaborada pelo autor (2022).

Figura 9.4 – Protótipo do conversor.

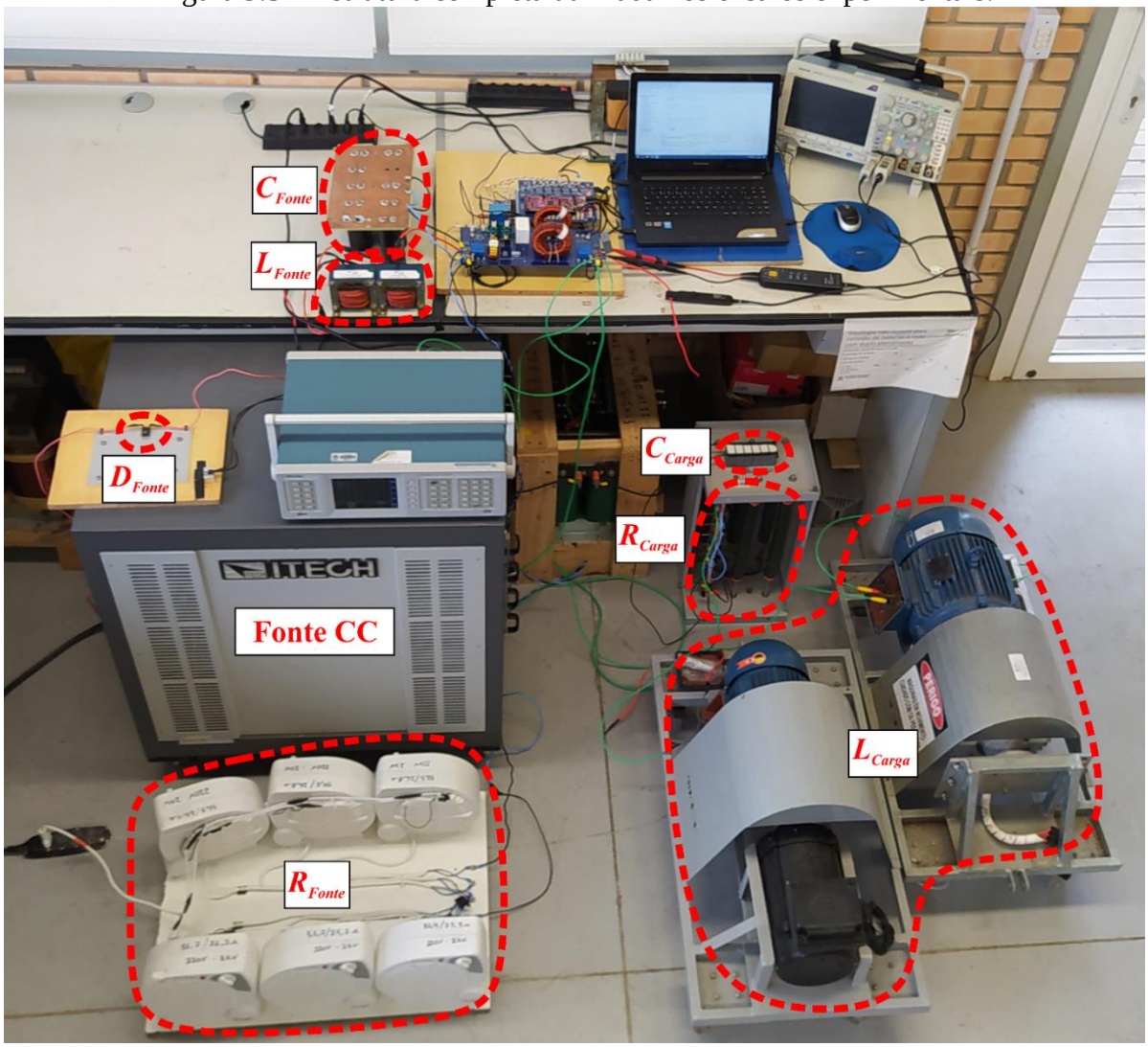


Fonte: Elaborada pelo autor (2020).

A experimentação foi realizada com o inversor operando em malha aberta para três cargas diferentes: (a) carga puramente resistiva com R_{Carga} = 47 Ω, (b) carga resistivo-indutiva com R_{Carga} = 16,5 Ω e L_{Carga} = 120,8 mH, e (c) carga resistivo-capacitiva com R_{Carga} = 35 Ω e C_{Carga} = 72 µF, com sinal modulante conforme (5.4), que inclui a função de linearização estática.

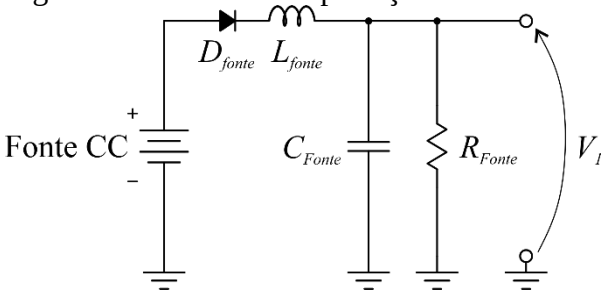
A estrutura completa utilizada nesses experimentos pode ser vista na Figura 9.5. Os componentes C_{Fonte}, L_{Fonte}, D_{Fonte} e R_{Fonte}, são inseridos apenas para proteção da fonte CC que, devido o processamento de energia reativa, deverá ser capaz de suportar corrente negativa. Este circuito elétrico de proteção da fonte pode é exibido na Figura 9.6. Cabe ressaltar que para atingir essa alta indutância da carga resistiva-indutiva, foram conectadas em série todas as bobinas de dois motores trifásicos.

Figura 9.5 – Estrutura completa utilizada nos ensaios experimentais.



Fonte: Elaborada pelo autor (2022).

Figura 9.6 – Circuito de proteção da fonte CC.



Fonte: Elaborada pelo autor (2022).

As tensões e correntes de entrada e saída são mostradas na Figura 9.7 para cada uma das três cargas mencionadas anteriormente. Foi medido 3,96% de THD da tensão com o analisador de potência Tektronix PA4000 para a carga puramente resistiva. As cargas resistiva-indutiva e resistiva-capacitiva alteram esse valor para 7,53% e 4,49%, respectivamente. No entanto, essas distorções podem ser eliminadas ou reduzidas implementando um controle de tensão em malha fechada.

Uma vez demonstrada a capacidade do processamento de energia reativa, as medições seguintes são apresentadas apenas para a carga puramente resistiva.

A corrente nos indutores L_1 e L_2 são mostradas na Figura 9.8. O formato de i_{L2} possui um envoltório senoidal e i_{L1} como o descrito por (5.129). Nota-se que a ondulação de corrente atinge o máximo especificado de 50% no momento do pico negativo de i_{L2}, como esperado.

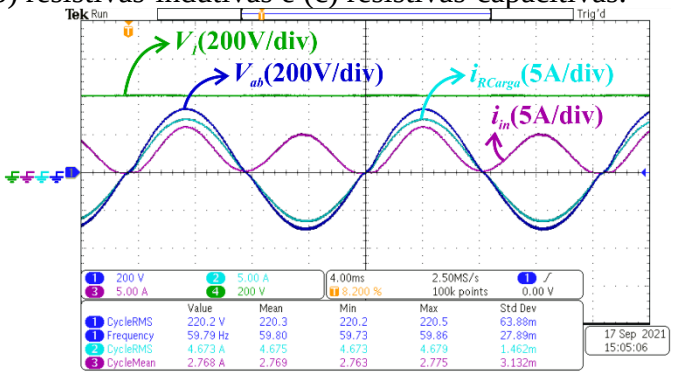
Na Figura 9.9 observa-se a tensão no capacitor C_1 em comparação com a tensão de saída. O valor máximo da tensão nesse componente é de 712 V, o qual ocorre durante o semiciclo negativo de V_{ab}.

As ondulações de tensão nos capacitores C_1, C_{fin} e C_o são mostradas na Figura 9.10. Os valores de ondulação pico a pico medidos foram 32 V e 12 V para Δv_{C1} e Δv_{Co}, respectivamente.

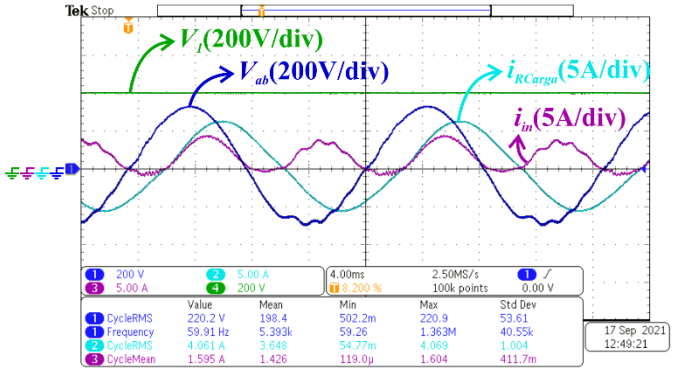
A tensão nos transistores é apresentada na Figura 9.11. De acordo com o que foi mencionado anteriormente, a máxima tensão sobre os transistores ocorre no pico negativo da tensão de saída. Este instante é verificado em detalhes na Figura 9.11(b). É interessante observar que praticamente não existem sobretensões nessas formas de onda, mesmo não havendo nenhum tipo de circuito grampeador de tensão.

Figura 9.7 – Tensões e correntes experimentais de entrada e saída para (a) cargas resistivas, (b) resistivas-indutivas e (c) resistivas-capacitivas.

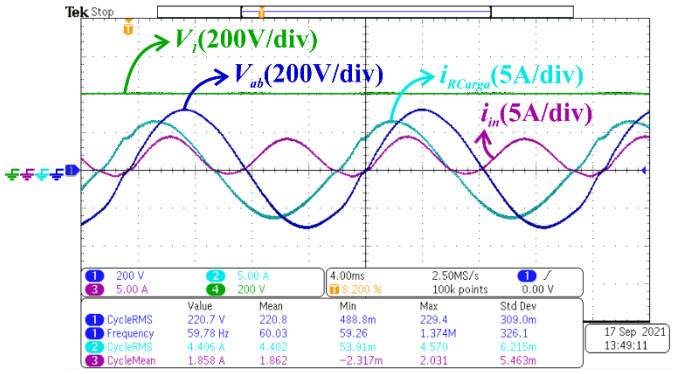
(a)



(b)

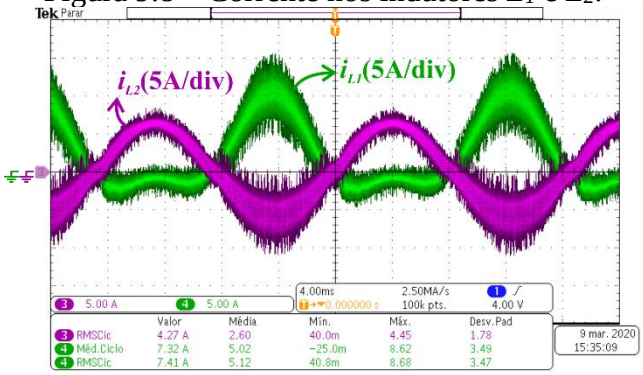


(c)



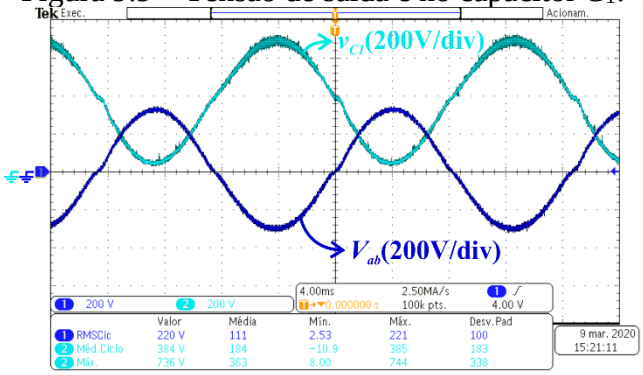
Fonte: Elaborada pelo autor (2022).

Figura 9.8 – Corrente nos indutores L_1 e L_2.



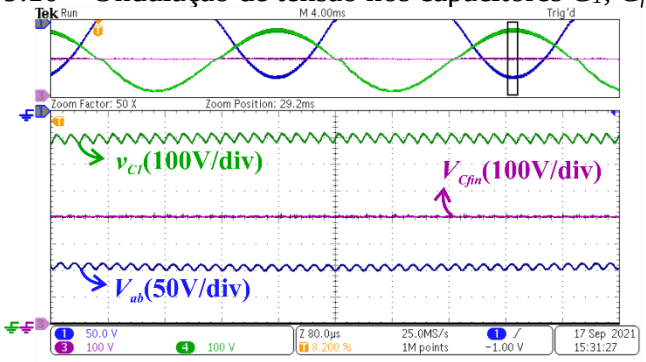
Fonte: Elaborada pelo autor (2022).

Figura 9.9 – Tensão de saída e no capacitor C_1.



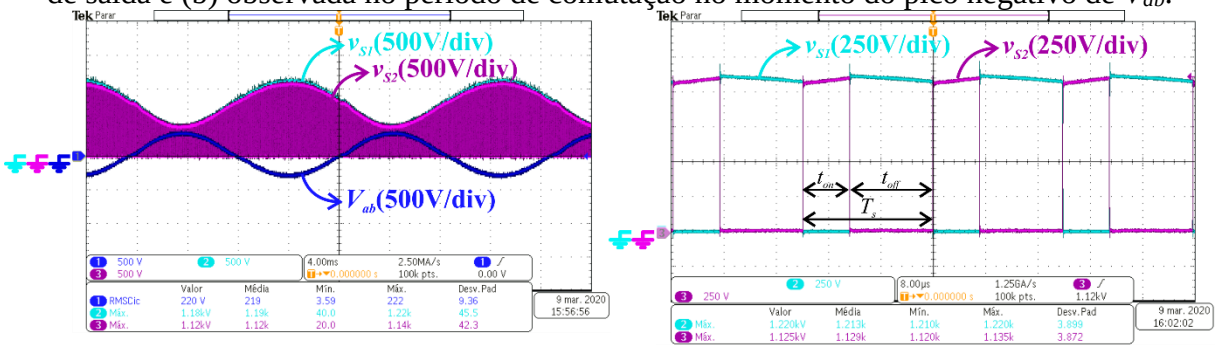
Fonte: Elaborada pelo autor (2022).

Figura 9.10 – Ondulação de tensão nos capacitores C_1, C_{fin} e C_o.



Fonte: Elaborada pelo autor (2022).

Figura 9.11 – Tensão nos transistores (a) vista em baixa frequência e juntamente com a tensão de saída e (b) observada no período de comutação no momento do pico negativo de V_{ab}.

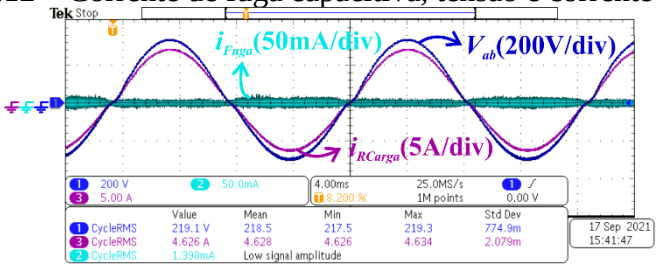


(a) (b)

Fonte: Elaborada pelo autor (2022).

A Figura 9.12 mostra a medição da corrente de fuga capacitiva juntamente com a tensão e a corrente na carga. Esta medição é realizada na condição de potência nominal. A escala de 50 mA/div é observada na leitura desta corrente por ser um sinal de baixa amplitude, cujo valor eficaz medido é de 1,4 mA.

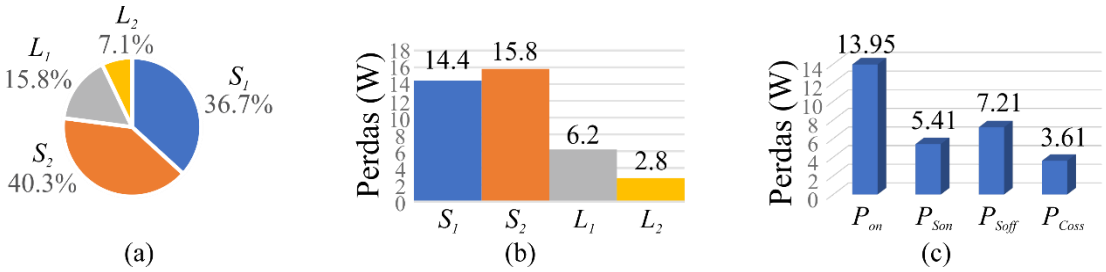
Figura 9.12 – Corrente de fuga capacitiva, tensão e corrente de saída.



Fonte: Elaborada pelo autor (2022).

A Figura 9.13 apresenta o mapeamento teórico das principais perdas de potência no conversor proposto operando em potência nominal. Foram consideradas as perdas de condução, P_{on}, de comutação para o acionamento e para o bloqueio, P_{Son} e P_{Soff}, e as perdas capacitivas, P_{Coss}, nos transistores. Nos indutores foram consideradas as perdas no cobre e no núcleo. Foram calculadas as perdas decorrentes da resistência série equivalente do capacitor C_1, contudo este valor é ínfimo e foi desconsiderado. Diante disso, a expectativa é que o inversor atinja cerca de 96,2% de rendimento na potência nominal.

Figura 9.13 – Mapeamento teórico das principais perdas no inversor zeta: (a) percentual por componente, (b) potência dissipada por componente e (c) detalhamento das perdas nos transistores.

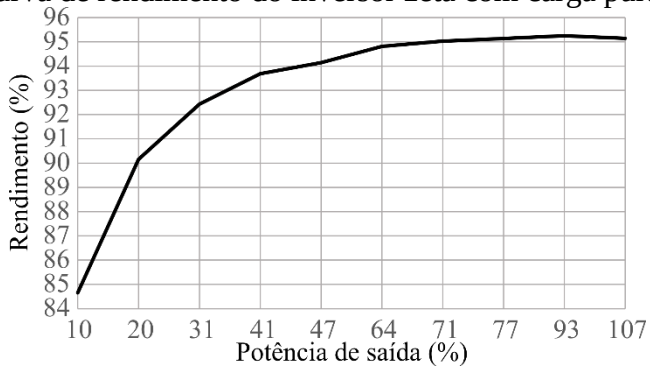


Fonte: Elaborada pelo autor (2022).

Pode-se observar que 77% das perdas de potência estão nos transistores, portanto, o uso de transistores melhores pode permitir alcançar maiores rendimentos, semelhantes aos alcançados por conversores conhecidos.

Para a obtenção da curva de rendimentos da Figura 9.14, foram realizados testes com cargas a partir de 10% da potência nominal. De acordo com esta figura, quando a potência de saída é superior a 20% da potência nominal, o rendimento medido varia de 90% a 95,25%. Pondera-se que um dimensionamento orientado a redução de perdas aumentaria o rendimento deste conversor.

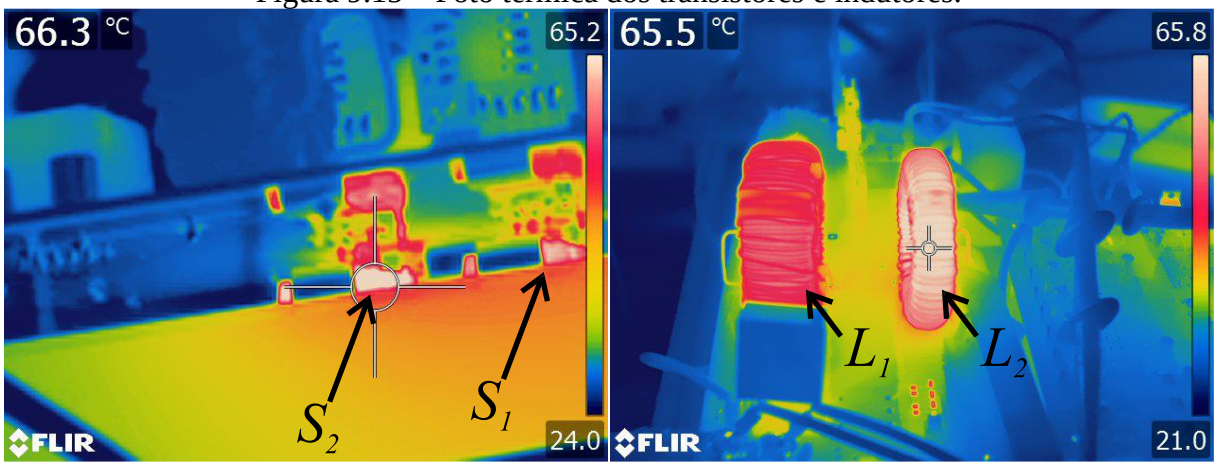
Figura 9.14 – Curva de rendimento do inversor zeta com carga puramente resistiva.



Fonte: Elaborada pelo autor (2022).

Para validar o projeto térmico realizado, o protótipo foi mantido ligado em potência nominal por 30 minutos para estabilização da temperatura nos componentes. A foto térmica ao final deste teste é apresentada na Figura 9.15. Observa-se que as máximas temperaturas ocorrem nos transistores e nos indutores, mais especificamente em S_2 e L_2, que apresentaram 66,3 °C e 65,5 ºC, consecutivamente.

Figura 9.15 – Foto térmica dos transistores e indutores.



Fonte: Elaborada pelo autor (2020).

9.1 CONCLUSÕES

Um protótipo do inversor zeta foi dimensionado, projetado, construído e testado. Com este são realizados testes para cargas puramente resistivas, resistiva-indutiva e resistiva-capacitiva, demonstrando a capacidade desse inversor no processamento de energia reativa.

Para a carga puramente resistiva são realizadas diversas medições para a validação da teoria apresentada neste trabalho.

O protótipo funcionou corretamente, foi testado para diferentes potências de saída e validado o seu projeto térmico.

10COMPARAÇÃO ENTRE TOPOLOGIAS

Uma comparação entre os quatro inversores e outros inversores não isolados com aterramento comum, considerando o número de componentes, tensões nominais, potência de saída, frequência de comutação, rendimento relatado em potência nominal e a necessidade de inserção de filtros adicionais, é apresentada na Tabela 10.1.

Através desta tabela, nota-se que cada inversor apresenta vantagens e desvantagens quando comparado aos demais membros da família.

O inversor gerado pelo conversor *buck-boost* não necessita de capacitores intermediários, além de submeter os transistores a um menor esforço de tensão, comparado às outras três topologias.

Os inversores gerados pelos conversores SEPIC e zeta possuem o menor número de semicondutores, com apenas dois transistores de potência. Além disso, o inversor gerado pelo conversor zeta não necessita de filtro de saída para conexão com a rede elétrica.

O inversor gerado pelo conversor *boost-buck* possui o maior número de componentes desta família. No entanto, ele não precisa de filtros de entrada e saída. Com exceção deste conversor, apenas o proposto em [102] não necessita de filtros adicionais. Nota-se que o número de semicondutores de potência é inversamente proporcional ao número de componentes passivos.

As equações do Quadro 5.3 auxiliam no cálculo do rendimento esperado para cada inversor. Foram consideradas as especificações da Tabela 9.1 e os mesmos materiais utilizados no protótipo. Os resultados teóricos são apresentados na Tabela 10.1, exceto para o inversor zeta, que possui um resultado experimental.

Observa-se que o rendimento dos inversores propostos é adequado, mesmo com um projeto e seleção de componentes não otimizados para aumentar o rendimento.

Ressalta-se também que todas as topologias de inversores obtidas, como nos inversores convencionais, podem gerar ou absorver potência reativa quando conectados à rede elétrica, podem operar como retificadores PWM com fator de potência unitário, filtros ativos e compensadores de potência reativa, desde que controle de corrente esteja apropriado. Quanto às especificações e faixa de tensão de entrada e saída, o valor da tensão de entrada CC deve ser maior que o valor de pico da tensão de saída CA, como em um inversor convencional em ponte completa.

Tabela 10.1 – Comparação entre inversores não isolados de aterramento comum.

Topologias não isoladas com aterramento comum	Número de componentes				Tensão			Potência de saída	Frequência de comutação	Rendimento reportado em potência nominal	Requer filtro adicional	
	Transistores	Diodos	Indutores	Capacitores	Entrada (V_1)	Saída (V_{oef})	Máximo esforço nos semicondutores				Entrada	Saída
Buck-boost proposto	4	0	1	0	400	220	V_1+V_{opk}	1 kW	50 kHz	Teórico: 94 %	Sim	Sim
SEPIC proposto	2	0	2	1	400	220	$2V_1+V_{opk}$	1 kW	50 kHz	Teórico: 95,6 %	Sim	Sim
Zeta proposto	2	0	2	1	400	220	$2V_1+V_{opk}$	1 kW	50 kHz	95,25 %	Sim	Não
Boost-buck proposto	4	0	2	1	400	220	$2V_1+V_{opk}$	1 kW	50 kHz	Teórico: 95,5 %	Não	Não
Inversor em [10]	8	1	0	2	200	240	$2V_1$	1 kW	20 kHz	96 %	Sim	Sim
Inversor em [15]	5	0	1	0	≈ 100	220	$> V_{opk}$	200 W	20 kHz	92,5 %	Sim	Sim
Inversor em [16]	4	1	0	1	350	230	V_1	1 kW	24,4 kHz	99,2 %	Sim	Sim
Inversor em [17]	4	2	0	2	400	220	$2V_1$	500 W	24 kHz	97,4 %	Sim	Sim
Inversor em [18]	5	1	1	1	340	220	$2V_1$	1 kW	100 kHz	91,6 %	Sim	Sim
Inversor em [25]	5	0	0	1	400	220	V_1	500 W	20 kHz	≈ 96,5 %	Sim	Sim
Inversor em [34]	5	3	1	0	92	100	Não disponível	168 W	10 kHz	≈ 87 %	Sim	Sim
Inversor em [79]	4	0	2	2	60	120	≈ 300 V	250 W	50 kHz	Não disponível	Não	Sim
Inversor em [102]	5	0	2	2	50	110	V_1+V_{opk}	300 VA	50 kHz	≈ 94 %	Não	Não
Inversor em [103]	3	1	3	2	38	110	$1{,}6V_{opk}$*	280 W	40 kHz	93 %	Sim	Não
Inversor em [104]	5	1	1	1	75	≈ 110	Não disponível	300 W	10 kHz	Não disponível	Sim	Sim

*Apenas para α igual a 4,1

Fonte: Elaborada pelo autor (2022).

11CONCLUSÃO

Uma metodologia de derivação de topologias de inversores não isolados com aterramento comum a partir de conversores CC-CC é proposta nesse trabalho. Esta é descrita, analisada e utilizada para gerar uma família de quatro inversores.

Dessa maneira, quatro inversores são propostos, sendo que estes são derivados dos conversores CC-CC *buck-boost*, SEPIC, zeta e *boost-buck*. Estes são analisados, dimensionados e simulados, assim validando a metodologia proposta. Logo, esta pode ser utilizada para derivar outras famílias de inversores a partir de conversores CC-CC bidirecionais não isolados.

Os inversores apresentam uma estrutura contendo poucos componentes, estratégia de modulação simples, a possibilidade de eliminar a corrente de fuga capacitiva, duplo aterramento e rendimento adequado. Contudo, apresentam forte não linearidade, o que impede a utilização de técnicas lineares no controle. A técnica não linear FLC apresentou-se como possível solução desse problema.

A simulação numérica e simulação em tempo real corroboram com a teoria apresentada sobre o funcionamento dos quatro inversores e sobre o FLC. Foi demonstrado que estes inversores, com controle de corrente adequado, podem interligar uma fonte de tensão CC bidirecional com a rede, podendo operar tanto com fluxo de potência positivo quanto negativo. Logo, possuem a mesma capacidade de processamento de energia do FB clássico e o benefício do aterramento comum.

Pondera-se que um estudo aprofundado do controlador pode solucionar os problemas que surgem quando é exigida uma fase de -90º na corrente de saída. Estes problemas são a distorção que surge na corrente dos inversores SEPIC e zeta e a instabilidade do inversor *boost-buck*.

Através da construção de um protótipo comprovou-se a legitimidade dos estudos anteriores. O inversor testado em bancada foi o derivado do conversor CC-CC zeta. Foram obtidos resultados experimentais para cargas puramente resistivas, resistiva-indutiva e resistiva-capacitiva, demonstrando através de experimentação e simulação que o inversor, além de processar potência ativa, também é capaz de processar potência reativa. Além disso, foram realizados testes para o levantamento da curva de rendimentos e validação do projeto térmico do protótipo. O máximo rendimento obtido com o protótipo experimental não otimizado foi de 95,25%.

Considera-se que este conversor apresenta poucas restrições, permite ampla aplicação, grande variação de carga com pouca degradação do rendimento. Contudo, a tensão sobre os transistores é elevada, assim como para outros inversores dessa família, limitando a escolha desses componentes e a relação entre tensão de entrada e saída.

De maneira geral, o valor máximo de α para essas topologias é 1 por serem inversores abaixadores de tensão. Logo, o máximo valor de pico da tensão de saída é limitado a amplitude do banco de baterias.

Uma análise comparativa entre as topologias geradas e outros inversores não isolados de aterramento comum foi apresentada. Dada esta comparação, os inversores derivados parecem ser adequados.

Os inversores gerados são potenciais candidatos para conexão à rede de geradores fotovoltaicos de pequena potência e sistemas de armazenamento de energia a bateria. Ou seja, os inversores apresentam bom funcionamento para a aplicação escolhida.

Todos os dados e estudos contidos neste trabalho forneceram material para a geração de dois artigos, os quais foram aceitos para publicação. O artigo intitulado "*A Transformerless Common-Ground Two-Switch Single-Phase Inverter for Battery Energy Storage System Applications*" será publicado na Revista Eletrônica de Potência e o artigo "*Method for Deriving Transformerless Common-Ground Voltage Source Inverter Topologies*" no *IEEE Transactions on Power Electronics*.

REFERÊNCIAS

[1] REN21 (org.). **Renewables 2019 Global Status Report**. Paris: Ren21 Secretariat, 2019. 336 p. Disponível em: https://www.ren21.net/wp-content/uploads/2019/05/gsr_2019_full_report_en.pdf. Acesso em: 25 fev. 2020.

[2] LIH, Wen-chen; YEN, Jieh-hwang; SHIEH, Fa-hwa; LIAO, Yu-min. Second Use of Retired Lithium-ion Battery Packs from Electric Vehicles: Technological Challenges, Cost Analysis and Optimal Business Model. **2012 International Symposium On Computer, Consumer And Control**, [s.l.], p.381-384, jun. 2012. IEEE. http://dx.doi.org/10.1109/is3c.2012.103.

[3] KRATZ, Sascha; HANSES, Paul; KRUEGER, Benjamin; WEGENER, Ralf; SOTER, Stefan. Integration of Second Life Batteries into a Smart Overhead Contact System based on SiC-Technology. **2019 IEEE Transportation Electrification Conference And Expo (ITEC)**, [s.l.], p.1-5, jun. 2019. IEEE. http://dx.doi.org/10.1109/itec.2019.8790484.

[4] ZHU, Chunbo; XU, Jianing; LIU, Kai; LI, Xiaoyu. Feasibility analysis of transportation battery second life used in backup power for communication base station. **2017 IEEE Transportation Electrification Conference and Expo, Asia-Pacific (ITEC Asia-Pacific)**, [s.l.], p.1-4, ago. 2017. IEEE. http://dx.doi.org/10.1109/itec-ap.2017.8080810.

[5] HEYMANS, Catherine; WALKER, Sean B.; YOUNG, Steven B.; FOWLER, Michael. Economic analysis of second use electric vehicle batteries for residential energy storage and load-levelling. **Energy Policy**, [s.l.], v. 71, p.22-30, ago. 2014. Elsevier BV. http://dx.doi.org/10.1016/j.enpol.2014.04.016.

[6] RIZZOLI, G.; MENGONI, M.; ZARRI, L.; TANI, A.; SERRA, G.; CASADEI, D.. Comparison of single-phase H4, H5, H6 inverters for transformerless photovoltaic applications. **IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society**, [s.l.], p.3038-3045, out. 2016. IEEE. http://dx.doi.org/10.1109/iecon.2016.7792984.

[7] RAJI, Atanda K.; KAHN, Mohamed T. E. Investigation of common-mode voltage and ground leakage current of grid-connected transformerless PV inverter topology. **J. energy South. Afr.**, Cape Town, v. 26, n. 1, p. 20-24, Feb. 2015. Disponível em: http://www.scielo.org.za/scielo.php?script=sci_arttext&pid=S1021-447X2015000100003&lng=en&nrm=iso. Acesso em: 03 jan. 2018.

[8] VARGHESE, C. A.; KARPAGAM, M.; ALWARSAMY, T. Analysis of leakage current and DC injection in transformerless PV inverter topologies. **International Journal of Engineering and Technology**, v. 6, n. 1, p. 453-459, 2014.

[9] TEODORESCU, Remus; LISERRE, Marco; RODRÍGUEZ, Pedro. **Grid Converters for Photovoltaic and Wind Power Systems**. Nova Delhi: John Wiley & Sons, Ltd., 2011. 384 p.

[10] SHAFFER, Ben; HASSAN, Hassan A.; SCOTT, Mark J.; HASAN, Saad Ul; TOWN, Graham E.; SIWAKOTI, Yam. A common-ground single-phase five-level transformerless boost inverter for photovoltaic applications. **2018 IEEE Applied Power Electronics**

Conference And Exposition (APEC), [s.l.], p.368-374, mar. 2018. IEEE. http://dx.doi.org/10.1109/apec.2018.8341037.

[11] KHAN, Shakil Ahamed; GUO, Youguang; ZHU, Jianguo. A high efficiency transformerless PV grid-connected inverter with leakage current suppression. **2016 9th International Conference on Electrical and Computer Engineering (ICECE)**, [s.l.], p.190-193, dez. 2016. IEEE. http://dx.doi.org/10.1109/icece.2016.7853888.

[12] ISLAM, Monirul; MEKHILEF, Saad; HASAN, Mahamudul. Single phase transformerless inverter topologies for grid-tied photovoltaic system: A review. **Renewable and Sustainable Energy Reviews**, [s.l.], v. 45, p.69-86, maio 2015. Elsevier BV. http://dx.doi.org/10.1016/j.rser.2015.01.009.

[13] CHAUDHARY, Surabhi; AHMAD, Zameer; SINGH, S. N. Single Phase Grid Interactive Solar Photovoltaic Inverters: A Review. **2018 National Power Engineering Conference (NPEC)**, [s.l.], p.1-6, mar. 2018. IEEE. http://dx.doi.org/10.1109/npec.2018.8476767.

[14] SHAYESTEGAN, Mohsen; SHAKERI, Mohammad; ABUNIMA, Hamza; REZA, S.m. Salim; AKHTARUZZAMAN, M.; BAIS, Badariah; MAT, Sohif; SOPIAN, Kamaruzzaman; AMIN, Nowshad. An overview on prospects of new generation single-phase transformerless inverters for grid-connected photovoltaic (PV) systems. **Renewable and Sustainable Energy Reviews**, [s.l.], v. 82, p.515-530, fev. 2018. Elsevier BV. http://dx.doi.org/10.1016/j.rser.2017.09.055.

[15] AZARY, Mehdi Tofigh; SABAHI, Mehran; BABAEI, Ebrahim; MEINAGH, Farhad Abbasi Aghdam. Modified Single-Phase Single-Stage Grid-Tied Flying Inductor Inverter With MPPT and Suppressed Leakage Current. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 65, n. 1, p.221-231, jan. 2018. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tie.2017.2719610.

[16] SIWAKOTI, Yam P.; BLAABJERG, Frede. A novel flying capacitor transformerless inverter for single-phase grid connected solar photovoltaic system. **2016 IEEE 7th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)**, [s.l.], p.1-6, jun. 2016. IEEE. http://dx.doi.org/10.1109/pedg.2016.7527086.

[17] ARDASHIR, Jaber Fallah; SABAHI, Mehran; HOSSEINI, Seyed Hossein; BLAABJERG, Frede; BABAEI, Ebrahim; GHAREHPETIAN, Gevork B.. A Single-Phase Transformerless Inverter With Charge Pump Circuit Concept for Grid-Tied PV Applications. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 64, n. 7, p.5403-5415, jul. 2017. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tie.2016.2645162.

[18] HASAN, Saad Ul; SHAFFER, Benjamin; A HASSAN, Hassan.; SCOTT, Mark. J; SIWAKOTI, Yam; TOWN, Graham. E. Common-ground transformerless inverter for solar photovoltaic module. **2018 IEEE Applied Power Electronics Conference and Exposition (APEC)**, [s.l.], p.167-172, mar. 2018. IEEE. http://dx.doi.org/10.1109/apec.2018.8341004.

[19] SMA SOLAR TECHNOLOGY AG (org.). **Tecnologia de módulos**: Informação técnica - Duennschicht-TI-UPT114630 Versão 3.0. Niestetal, [20--?]. 9 p. Disponível em: http://files.sma.de/dl/7418/Duennschicht-TI-UPT114630.pdf. Acesso em: 21 jan. 2018.

[20] MA, Lin; KEREKES, Tamas; TEDORESCU, Remus; TANG, Fen; JIN, Xinmin; TONG, Yibin; LIANG, Jingzhe. Leakage current analysis of single-phase transformer-less grid-connected PV inverters. **IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society**, [s.l.], p.887-892, nov. 2015. IEEE. http://dx.doi.org/10.1109/iecon.2015.7392211.

[21] VAZQUEZ, Nimrod; ROSAS, Marco; HERNANDEZ, Claudia; VAZQUEZ, Esli; PEREZ-PINAL, Francisco J. A New Common-Mode Transformerless Photovoltaic Inverter. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 62, n. 10, p.6381-6391, out. 2015. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tie.2015.2426146.

[22] GRISHANOV, Evgeny V.; BROVANOV, Sergey V. Aspects of common-mode leakage current suppression in single-phase PV-generation systems. **2017 18th International Conference of Young Specialists on Micro/Nanotechnologies and Electron Devices (EDM)**, [s.l.], p.541-546, jun. 2017. IEEE. http://dx.doi.org/10.1109/edm.2017.7981814.

[23] SIWAKOTI, Yam P.; BLAABJERG, Frede. Common-Ground-Type Transformerless Inverters for Single-Phase Solar Photovoltaic Systems. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 65, n. 3, p.2100-2111, mar. 2018. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tie.2017.2740821.

[24] ISLAM, Monirul; MEKHILEF, Saad. Efficient Transformerless MOSFET Inverter for a Grid-Tied Photovoltaic System. **IEEE Transactions on Power Electronics**, [s.l.], v. 31, n. 9, p.6305-6316, set. 2016. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2015.2501022.

[25] GU, Yunjie; LI, Wuhua; ZHAO, Yi; YANG, Bo; LI, Chushan; HE, Xiangning. Transformerless Inverter With Virtual DC Bus Concept for Cost-Effective Grid-Connected PV Power Systems. **IEEE Transactions on Power Electronics**, [s.l.], v. 28, n. 2, p.793-805, fev. 2013. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2012.2203612.

[26] GU, Bin; DOMINIC, Jason; CHEN, Baifeng; LAI, Jih-sheng. A high-efficiency single-phase bidirectional AC-DC converter with miniminized common mode voltages for battery energy storage systems. **2013 IEEE Energy Conversion Congress and Exposition**, [s.l.], p.5145-5149, set. 2013. IEEE. http://dx.doi.org/10.1109/ecce.2013.6647396.

[27] INTERNATIONAL ELECTROTECHNICAL COMMISSION. **IEC 62109-2**: Safety of power converters for use in photovoltaic power systems - Part 2: Particular requirements for inverters. 1.0 ed. [s. l.], 2011. 64 p.

[28] UNDERWRITERS LABORATORIES. **UL 1741**: Standard for Inverters, Converters, Controllers and Interconnection System Equipment for Use With Distributed Energy Resources. 2 ed. [s. l.], 2010. 243 p.

[29] INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS. **IEEE STD 1547.2-2008**: IEEE Application Guide for IEEE Std 1547(TM), IEEE Standard for Interconnecting Distributed Resources with Electric Power Systems. Nova York, 2009. 207 p. Disponível em: https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4816078. Acesso em: 24 fev. 2020.

[30] CHAMARTHI, Phanikumar; RAJEEV, Mini; AGARWAL, Vivek. A novel single stage zero leakage current transformer-less inverter for grid connected PV systems. **2015 IEEE 42nd Photovoltaic Specialist Conference (PVSC)**, [s.l.], p.1-5, jun. 2015. IEEE. http://dx.doi.org/10.1109/pvsc.2015.7356292.

[31] LI, Wuhua; GU, Yunjie; LUO, Haoze; CUI, Wenfeng; HE, Xiangning; XIA, Changliang. Topology Review and Derivation Methodology of Single-Phase Transformerless Photovoltaic Inverters for Leakage Current Suppression. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 62, n. 7, p.4537-4551, jul. 2015. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tie.2015.2399278.

[32] FIGUEREDO, Ricardo Souza; CARVALHO, Kelly Caroline Mingorancia de; AMA, Naji Rajai Nasri; MATAKAS, Lourenco. Leakage current minimization techniques for single-phase transformerless grid-connected PV inverters — An overview. **2013 Brazilian Power Electronics Conference**, [s.l.], p.517-524, out. 2013. IEEE. http://dx.doi.org/10.1109/cobep.2013.6785164.

[33] FLICKER, Jack David; JOHNSON, Jay; ARMIJO, Kenneth Miguel. **Recommendations for RCD ground fault detector trip thresholds**. Sandia National Lab. (SNL-NM), Albuquerque, NM (United States), 2014. Disponível em: https://www.osti.gov/servlets/purl/1313068. Acesso em: 02 mar. 2020.

[34] PATEL, H.; AGARWAL, V.. A Single-Stage Single-Phase Transformer-Less Doubly Grounded Grid-Connected PV Interface. **IEEE Transactions on Energy Conversion**, [s.l.], v. 24, n. 1, p.93-101, mar. 2009. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tec.2008.2006551.

[35] THOMAS, Stephan; STIENEKER, Marco; DONCKER, Rik W. de. Development of a modular high-power converter system for battery energy storage systems. **Proceedings of the 2011 14th European Conference on Power Electronics and Applications**, Birmingham, Uk, p.1-10, ago. 2011. Disponível em: https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6020221. Acesso em: 04 dez. 2018.

[36] GINART, Antonio; SALAZAR, Andres; LIOU, Richard. Transformerless Bidirectional Inverter for Residential Battery Storage Systems. **2016 IEEE Green Technologies Conference (GreenTech)**, [s.l.], p.18-23, abr. 2016. IEEE. http://dx.doi.org/10.1109/greentech.2016.11.

[37] VALDERRAMA, Gerardo Escobar; GUZMAN, Gerardo Vazquez; POOL-MAZUN, Erick I.; MARTINEZ-RODRIGUEZ, Panfilo Raymundo; LOPEZ-SANCHEZ, Manuel J.; ZUNIGA, Jose Miguel Sosa. A Single-Phase Asymmetrical T-Type Five-Level Transformerless PV Inverter. **IEEE Journal of Emerging and Selected Topics in Power**

Electronics, [s.l.], v. 6, n. 1, p.140-150, mar. 2018. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/jestpe.2017.2726989.

[38] KUMAR, Deepak; PATTANAIK, Akash; SINGH, S K. Comparative assessment of leakage current in a photovoltaic grid connected single phase transformerless inverter system. **International Conference on Recent Advances and Innovations in Engineering (ICRAIE-2014)**, [s.l.], p.1-7, maio 2014. IEEE. http://dx.doi.org/10.1109/icraie.2014.6909309.

[39] BRANDL, M.; GALL, H.; WENGER, M.; LORENTZ, V.; GIEGERICH, M.; BARONTI, F.; FANTECHI, G.; FANUCCI, L.; RONCELLA, R.; SALETTI, R.. Batteries and battery management systems for electric vehicles. **2012 Design, Automation & Test in Europe Conference & Exhibition (DATE)**, [s.l.], p.1-6, mar. 2012. IEEE. http://dx.doi.org/10.1109/date.2012.6176637.

[40] REDDY, Thomas B.; LINDEN, David. **Linden's Handbook of Batteries**. 4. ed. [s. l.]: Mcgraw-hill, 2011.

[41] SPARACINO, A. R.; REED, G. F.; KERESTES, R. J.; GRAINGER, B. M.; SMITH, Z. T. Survey of battery energy storage systems and modeling techniques. **2012 IEEE Power and Energy Society General Meeting**, [s.l.], p.1-8, jul. 2012. IEEE. http://dx.doi.org/10.1109/pesgm.2012.6345071.

[42] INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS. **IEEE STD 1679.1-2017**: IEEE Guide for the Characterization and Evaluation of Lithium-Based Batteries in Stationary Applications. New York, Ny, 2018. 45 p. Disponível em: http://dx.doi.org/10.1109/IEEESTD.2018.8262521. Acesso em: 25 fev. 2020.

[43] TREDEAU, F.p.; SALAMEH, Z.m. Evaluation of Lithium iron phosphate batteries for electric vehicles application. **2009 IEEE Vehicle Power and Propulsion Conference**, [s.l.], p.1266-1270, set. 2009. IEEE. http://dx.doi.org/10.1109/vppc.2009.5289704.

[44] SALAMEH, Z. M.; KIM, B. G. Advanced lithium polymer batteries. **2009 IEEE Power & Energy Society General Meeting**, [s.l.], p.1-5, jul. 2009. IEEE. http://dx.doi.org/10.1109/pes.2009.5275404.

[45] ANDREA, Davide. Battery Management Systems for Large Lithium-Ion Battery Packs. Norwood, Ma: Artech House, 2010.

[46] WARREN, Mayra Cajueiro. Notícias da UFSC. **Laboratório Fotovoltaica assina memorando de entendimentos com Nissan para estudar utilização de baterias de carros elétricos**. 2018. Disponível em: https://noticias.ufsc.br/2018/08/laboratorio-fotovoltaica-assina-memorando-de-entendimentos-com-nissan-para-estudar-utilizacoes-futuras-para-baterias-de-carros-eletricos. Acesso em: 24 fev. 2020.

[47] NISSAN (org.). **2012 Leaf Owner's Manual**. [s. l.], [201-]. Disponível em: https://ownersmanuals2.com/nissan/leaf-2012-owners-manual-38092. Acesso em: 28 fev. 2020.

[48] JOHN VOELCKER. Green Car Reports. **New life for old Nissan Leaf electric car: battery replacement and what it took**. 2017. Disponível em: https://www.greencarreports.com/news/1111264_new-life-for-old-nissan-leaf-electric-car-battery-replacement-and-what-it-took. Acesso em: 28 fev. 2020.

[49] GREENTEC AUTO. **Gen 1 Nissan LEAF Battery Module 7.6V**. [20--]. Disponível em: https://greentecauto.com/hybrid-battery/repurposed-batteries/nissan-leaf/nissan-leaf-battery-module. Acesso em: 21 fev. 2020.

[50] CHARLES WHALEN. Gm-volt. **Forum**: Thread: Volt thermal management system temperature band? 2010. Disponível em: https://gm-volt.com/forum/showthread.php?5243-Volt-thermal-management-system-temperature-band&p=43562#post43562. Acesso em: 21 fev. 2020.

[51] AFSHARI, Ehsan; MORADI, Gholam Reza; RAMYAR, Alireza; RAHIMI, Ramin; FARHANGI, Babak; FARHANGI, Shahrokh. Reactive power generation for single-phase transformerless Vehicle-to-Grid inverters: A review and new solutions. **2017 IEEE Transportation Electrification Conference and Expo (ITEC)**, [s.l.], p.69-76, jun. 2017. IEEE. http://dx.doi.org/10.1109/itec.2017.7993249.

[52] VAZQUEZ, G.; MARTINEZ-RODRIGUEZ, P.r.; SOSA, J.m.; ESCOBAR, G.; ARAU, Jaime. A modulation strategy for single-phase HB-CMI to reduce leakage ground current in transformer-less PV applications. **IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society**, [s.l.], p.210-215, nov. 2013. IEEE. http://dx.doi.org/10.1109/iecon.2013.6699137.

[53] GARG, A.; RAJASEKAR, S.; GUPTA, R.. A new modulation technique to eliminate leakage current in transformerless PV inverter. **2013 Students Conference on Engineering and Systems (SCES)**, [s.l.], p.1-6, abr. 2013. IEEE. http://dx.doi.org/10.1109/sces.2013.6547563.

[54] BARATER, Davide; BUTICCHI, Giampaolo; CRINTO, Andrea Stefano; FRANCESCHINI, Giovanni; LORENZANI, Emilio. Unipolar PWM Strategy for Transformerless PV Grid-Connected Converters. **IEEE Transactions on Energy Conversion**, [s.l.], v. 27, n. 4, p.835-843, dez. 2012. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tec.2012.2212197.

[55] JI, Baojian; WANG, Jianhua; ZHAO, Jianfeng. High-Efficiency Single-Phase Transformerless PV H6 Inverter With Hybrid Modulation Method. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 60, n. 5, p.2104-2115, maio 2013. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tie.2012.2225391.

[56] GUO, Xiaoqiang; JIA, Xiaoyu. Hardware-Based Cascaded Topology and Modulation Strategy With Leakage Current Reduction for Transformerless PV Systems. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 63, n. 12, p.7823-7832, dez. 2016. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tie.2016.2607163.

[57] OZKAN, Ziya; HAVA, Ahmet M.. A survey and extension of high efficiency grid connected transformerless solar inverters with focus on leakage current characteristics. **2012**

IEEE Energy Conversion Congress and Exposition (ECCE), [s.l.], p.3453-3460, set. 2012. IEEE. http://dx.doi.org/10.1109/ecce.2012.6342322.

[58] GONZALEZ, R.; LOPEZ, J.; SANCHIS, P.; MARROYO, L. Transformerless Inverter for Single-Phase Photovoltaic Systems. **IEEE Transactions on Power Electronics**, [s.l.], v. 22, n. 2, p.693-697, mar. 2007. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2007.892120.

[59] Gonzalez, S. R. et al. Aplicação de Patente Internacional, **Número de Publicação WO2008015298**, 2 jul. 2007.

[60] GU, Bin; DOMINIC, Jason; CHEN, Baifeng; LAI, Jih-sheng. A high-efficiency single-phase bidirectional AC-DC converter with miniminized common mode voltages for battery energy storage systems. **2013 IEEE Energy Conversion Congress and Exposition**, [s.l.], p.5145-5149, set. 2013. IEEE. http://dx.doi.org/10.1109/ecce.2013.6647396.

[61] DATTA, Asim; BHATTACHARYA, Gautam; MUKHERJEE, Dipankar; SAHA, Hiranmay. Ground leakage current elimination in a transformerless unipolar modulation based single phase grid-connected photovoltaic system. **2013 IEEE PES Asia-Pacific Power and Energy Engineering Conference (APPEEC)**, [s.l.], p.1-5, dez. 2013. IEEE. http://dx.doi.org/10.1109/appeec.2013.6837226.

[62] SCHMIDIT, Heribert; SIEDLE, Christoph; KETTERER, Jurgen. Inverter for transforming a DC voltage into an AC current or an AC voltage. Europe Patent, **Número de Publicação EP 1 369 985 A2**, 10 dez. 2003.

[63] SCHMIDIT, Heribert; SIEDLE, Christoph; KETTERER, Jurgen. DC/AC converter to convert direct electric voltage into alternating voltage or into alternating current. US Patent, **Número de Publicação 7046534**, 16 maio 2006.

[64] YU, Wensong; LAI, Jih-sheng Jason; QIAN, Hao; HUTCHENS, Christopher. High-Efficiency MOSFET Inverter with H6-Type Configuration for Photovoltaic Nonisolated AC-Module Applications. **IEEE Transactions on Power Electronics**, [s.l.], v. 26, n. 4, p.1253-1260, abr. 2011. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2010.2071402.

[65] VICTOR, Matthias. et al. Method of converting a direct current voltage from a source of direct current voltage, more specifically from a photovoltaic couse of direct current voltage, into a alternating current voltage. US Patent, **Número de Publicação US 2005/0286281 A1**, 29 dez. 2005.

[66] XIAO, Huafeng; XIE, Shaojun; CHEN, Yang; HUANG, Ruhai. An Optimized Transformerless Photovoltaic Grid-Connected Inverter. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 58, n. 5, p.1887-1895, maio 2011. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tie.2010.2054056.

[67] KEREKES, Tamás; TEODORESCU, Remus; RODRIGUEZ, Pedro; VAZQUEZ, Gerardo; ALDABAS, Emiliano. A New High-Efficiency Single-Phase Transformerless PV Inverter Topology. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 58, n. 1, p.184-

191, jan. 2011. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tie.2009.2024092.

[68] ARAUJO, Samuel Vasconcelos; ZACHARIAS, Peter; MALLWITZ, Regine. Highly Efficient Single-Phase Transformerless Inverters for Grid-Connected Photovoltaic Systems. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 57, n. 9, p.3118-3128, set. 2010. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tie.2009.2037654.

[69] BARATER, Davide; LORENZANI, Emilio; CONCARI, Carlo; FRANCESCHINI, Giovanni; BUTICCHI, Giampaolo. Recent advances in single-phase transformerless photovoltaic inverters. **IET Renewable Power Generation**, [s.l.], v. 10, n. 2, p.260-273, 1 fev. 2016. Institution of Engineering and Technology (IET). http://dx.doi.org/10.1049/iet-rpg.2015.0101.

[70] NABAE, Akira; TAKAHASHI, Isao; AKAGI, Hirofumi. A New Neutral-Point-Clamped PWM Inverter. **IEEE Transactions on Industry Applications**, [s.l.], v. -17, n. 5, p.518-523, set. 1981. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tia.1981.4503992.

[71] SOEIRO, Thiago B.; SCHWEIZER, Mario; LINNER, Jorgen; RANSTAD, Per; KOLAR, Johann W.. Comparison of 2- and 3-level active filters with enhanced bridge-leg loss distribution. **8th International Conference on Power Electronics - ECCE Asia**, [s.l.], p.1835-1842, maio 2011. IEEE. http://dx.doi.org/10.1109/icpe.2011.5944519.

[72] HASANZADEH, Amin; EDRINGTON, Christopher S.; LEONARD, Jesse. Reduced switch NPC-based transformerless PV inverter by developed switching pattern. **2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)**, [s.l.], p.359-363, fev. 2012. IEEE. http://dx.doi.org/10.1109/apec.2012.6165844.

[73] CALAIS, M.; AGELIDIS, V. G. Multilevel converters for single-phase grid connected photovoltaic systems-an overview. **IEEE International Symposium on Industrial Electronics. Proceedings. ISIE'98 (Cat. No.98TH8357)**, [s.l.], p.224-229, 1998. IEEE. http://dx.doi.org/10.1109/isie.1998.707781.

[74] RAJEEV, Mini; AGARWAL, Vivek. Current source inverter with reduced leakage current for transformer-less Grid -PV interface. **2016 IEEE 7th Power India International Conference (PIICON)**, [s.l.], p.1-6, nov. 2016. IEEE. http://dx.doi.org/10.1109/poweri.2016.8077369.

[75] BRUCKNER, T.; BERNET, S.; GULDNER, H.. The Active NPC Converter and Its Loss-Balancing Control. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 52, n. 3, p.855-868, jun. 2005. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tie.2005.847586.

[76] DONG, Dong; LUO, Fang; BOROYEVICH, Dushan; MATTAVELLI, Paolo. Leakage Current Reduction in a Single-Phase Bidirectional AC–DC Full-Bridge Inverter. **IEEE Transactions on Power Electronics**, [s.l.], v. 27, n. 10, p.4281-4291, out. 2012. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2012.2190300.

[77] KHAN, Ashraf Ali; LU, Yun W.; EBERLE, Wilson; WANG, Liwei; KHAN, Usman Ali; AGAMY, Mohammed; CHA, Honnyong. Single-Stage Bidirectional Buck–Boost Inverters Using a Single Inductor and Eliminating the Common-Mode Leakage Current. **IEEE Transactions on Power Electronics**, [s.l.], v. 35, n. 2, p.1269-1281, fev. 2020. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2019.2918349.

[78] RODRIGUEZ, Jose; BERNET, Steffen; STEIMER, Peter K; LIZAMA, Ignacio e. A Survey on Neutral-Point-Clamped Inverters. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 57, n. 7, p.2219-2230, jul. 2010. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tie.2009.2032430.

[79] VERMA, Manisha; GANGAVARAPU, Sivanagaraju; RATHORE, Akshay Kumar. Analysis and Design of a Novel Transformer-less-Inverter in Grid-Connected Photovoltaic System. **2019 14th IEEE Conference on Industrial Electronics and Applications (ICIEA)**, [s.l.], p.79-84, jun. 2019. IEEE. http://dx.doi.org/10.1109/iciea.2019.8834150.

[80] KNAUP, Peter. Titular: Conergy Ag. Aplicação de Patente Internacional, **Número de Publicação WO 2007/048420 A1**. Depósito: 24 out. 2005. Concessão: 03 maio 2007.

[81] OH, W.-s.; HAN, S.-k.; MOON, G.-w.. PWM switched voltage source inverter with zero neutral point potential. **Electronics Letters**, [s.l.], v. 40, n. 12, p.767-769, 2004. Institution of Engineering and Technology (IET). http://dx.doi.org/10.1049/el:20040448.

[82] OH, W.-s.; HAN, S.-k.; CHOI, S.-w.; MOON, G.-w.. Three Phase Three-Level PWM Switched Voltage Source Inverter With Zero Neutral Point Potential. **IEEE Transactions on Power Electronics**, [s.l.], v. 21, n. 5, p.1320-1327, set. 2006. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2006.880300.

[83] KARSCHNY, Dietrich. German Patent Wechselrichter, **Número de Publicação DE 19642522 C1**, 23 abr. 1998.

[84] SAEIDABADI, Saeid; GANDOMI, Amin Ashraf; HOSSEINI, Seyed Hossein. A novel transformerless photovoltaic grid-connected current source inverter with ground leakage current elimination. **2017 8th Power Electronics, Drive Systems & Technologies Conference (PEDSTC)**, [s.l.], p.61-66, 2017. IEEE. http://dx.doi.org/10.1109/pedstc.2017.7910391.

[85] CAO, D.; JIANG, S.; YU, X.; PENG, F. Z.. Low-cost single-phase semi-Z-source inverter. **2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)**, [s.l.], p.429-436, mar. 2011. IEEE. https://doi.org/10.1109/APEC.2011.5744632.

[86] VÁZQUEZ, Nimrod; ROSAS, Marco; HERNÁNDEZ, Claudia; VÁZQUEZ, Eslí; PEREZ-PINAL, Francisco J.. A New Common-Mode Transformerless Photovoltaic Inverter. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 62, n. 10, p.6381-6391, out. 2015. Institute of Electrical and Electronics Engineers (IEEE). https://doi.org/10.1109/TIE.2015.2426146

[87] FIORI, Vitor M.; BRIGO, Lucas R.; BARBI, Ivo. A New Transformerless Photovoltaic Inverter with Common Mode Leakage Current Elimination. **2018 13th IEEE International Conference on Industry Applications (INDUSCON)**, [s.l.], p.1115-1122, 2018. IEEE. https://doi.org/10.1109/INDUSCON.2018.8627291

[88] BARBI, Ivo. **Projetos de Fontes Chaveadas**. 3. ed. Florianópolis: Edição do Autor, 2014. 319 p.

[89] KHALIL, Hassan K.. **Nonlinear Systems**. 3. ed. Upper Saddle River: Prentice Hall, 2002. 750 p.

[90] CALLEGARO, Leonardo; CIOBOTARU, Mihai; PAGANO, Daniel J.; FLETCHER, John E.. Feedback Linearization Control in Photovoltaic Module Integrated Converters. **IEEE Transactions on Power Electronics**, [s.l.], v. 34, n. 7, p.6876-6889, jul. 2019. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2018.2872677.

[91] ZHANG, Yajing et al. Dynamic Performance Improving Sliding-Mode Control-Based Feedback Linearization for PV System Under LVRT Condition. **IEEE Transactions on Power Electronics**, [s.l.], v. 35, n. 11, p.11745-11757, nov. 2020. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2020.2983315.

[92] YANG, Shunfeng; WANG, Peng; TANG, Yi. Feedback Linearization-Based Current Control Strategy for Modular Multilevel Converters. **IEEE Transactions on Power Electronics**, [s.l.], v. 33, n. 1, p.161-174, jan. 2018. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2017.2662062.

[93] YUAN, Huawei et al. On Nonlinear Control of Single-Phase Converters with Active Power Decoupling Function. **IEEE Transactions on Power Electronics**, [s.l.], v. 34, n. 6, p.5903-5915, jun. 2019. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2018.2868506.

[94] YEPES, Alejandro G et al. Effects of Discretization Methods on the Performance of Resonant Controllers. **IEEE Transactions on Power Electronics**, [s.l.], v. 25, n. 7, p.1692-1712, jul. 2010. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2010.2041256.

[95] CIOBOTARU, M.; TEODORESCU, R.; BLAABJERG, F.. A New Single-Phase PLL Structure Based on Second Order Generalized Integrator. **37Th Ieee Power Electronics Specialists Conference**, Jeju, Korea (South), p.1-6, jun. 2006. IEEE. http://dx.doi.org/10.1109/pesc.2006.1711988.

[96] VEKIć, Marko S. et al. Ultralow Latency HIL Platform for Rapid Development of Complex Power Electronics Systems. **IEEE Transactions on Power Electronics**, [s.l.], v. 27, n. 11, p.4436-4444, nov. 2012. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2012.2190097.

[97] MOLDOVAN, Tudor et al. Typhoon HIL Real-Time Validation of Permanent Magnet Synchronous Motor's Control. **2021 9Th International Conference on Modern Power**

Systems (MPS), [s.l.], p.1-6, 16 jun. 2021. IEEE. http://dx.doi.org/10.1109/mps52805.2021.9492619.

[98] SAXENA, Abha; SHARMA, Nikhil Kumar; SAMANTARAY, S. R.. An Enhanced Differential Protection Scheme for LVDC Microgrid. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, [s.l.], p.1-12, 2022. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/jestpe.2022.3144300.

[99] DEDEOGLU, Seyfullah; KONSTANTOPOULOS, George C.; KOMURCUGIL, Hasan. Current-limiting Virtual Synchronous Control and Stability Analysis Considering DC-link Dynamics Under Normal and Faulty Grid Conditions. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, [s.l.], p.1-12, 2021. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/jestpe.2021.3103830.

[100] ABIANEH, Ali Jafarian et al. Cyber-Resilient Sliding-Mode Consensus Secondary Control Scheme for Islanded AC Microgrids. **IEEE Transactions on Power Electronics**, [s.l.], v. 37, n. 5, p.6074-6089, maio 2022. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2021.3125985.

[101] TAYYAB, Mohammad et al. Hardware-in-the-Loop Implementation of Projectile Target Search Algorithm for Selective Harmonic Elimination in a 3-Phase Multilevel Converter. **IEEE Access**, [s.l.], v. 9, p.30626-30635, 2021. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/access.2020.3037126.

[102] GAUTAM, Vasav; SENSARMA, Parthasarathi. Design of Ćuk-Derived Transformerless Common-Grounded PV Microinverter in CCM. **IEEE Transactions on Industrial Electronics**, [s.l.], v. 64, n. 8, p.6245-6254, ago. 2017. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tie.2017.2677352.

[103] SARIKHANI, Ali; TAKANTAPE, Morteza Mansouri; HAMZEH, Mohsen. A Transformerless Common-Ground Three-Switch Single-Phase Inverter for Photovoltaic Systems. **IEEE Transactions on Power Electronics**, [s.l.], v. 35, n. 9, p.8902-8909, set. 2020. Institute of Electrical and Electronics Engineers (IEEE). http://dx.doi.org/10.1109/tpel.2020.2971430.

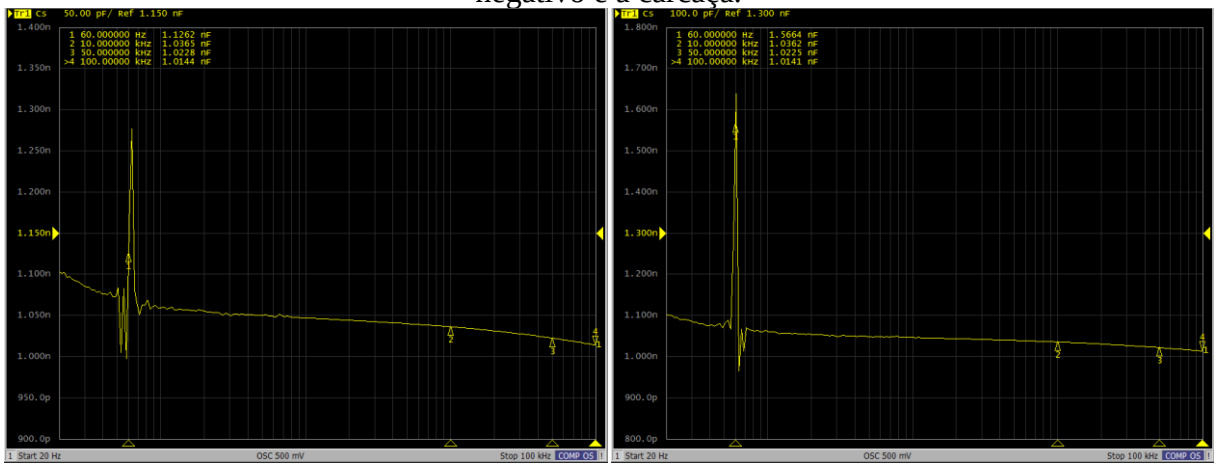
[104] CHAMARTHI, Phani Kumar et al. A Novel Single-Stage Buck-Boost Transformerless Inverter for 1-ϕ Grid-Connected Solar PV Systems. **2020 IEEE Applied Power Electronics Conference and Exposition (APEC)**, [s.l.], p.1-5, mar. 2020. IEEE. http://dx.doi.org/10.1109/apec39645.2020.9124142.

[105] ERICKSON, Robert W.; MAKSIMOVIC, Dragan. **Fundamentals of Power Electronics**. 2. ed. [s. l.]: Springer Science & Business Media, 2004.

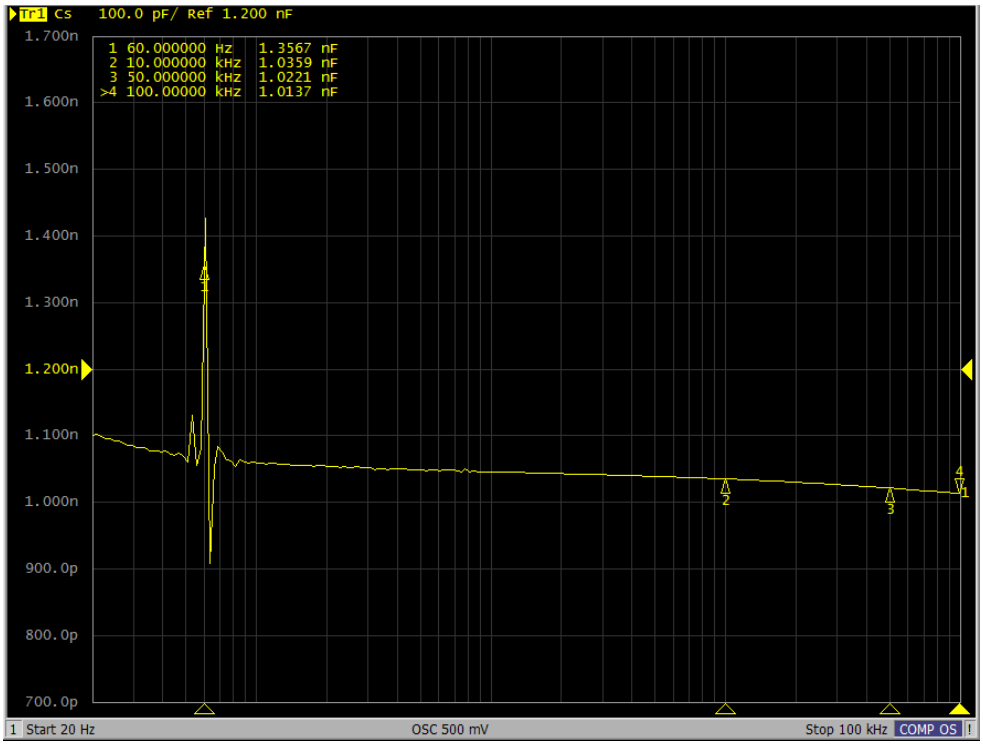
APÊNDICE A – Medição da capacitância parasita em outras baterias

Conforme mencionado no texto, medições foram realizadas em outras 3 baterias, sendo 2 do mesmo *pack* de baterias e 1 de um *pack* diferente. Os resultados são apresentados nas figuras abaixo.

Figura 1 – Medição da capacitância parasita na bateria 2, mesmo *pack*, (b) entre o terminal positivo e a carcaça, (c) entre o terminal intermediário e a carcaça e (d) entre o terminal negativo e a carcaça.



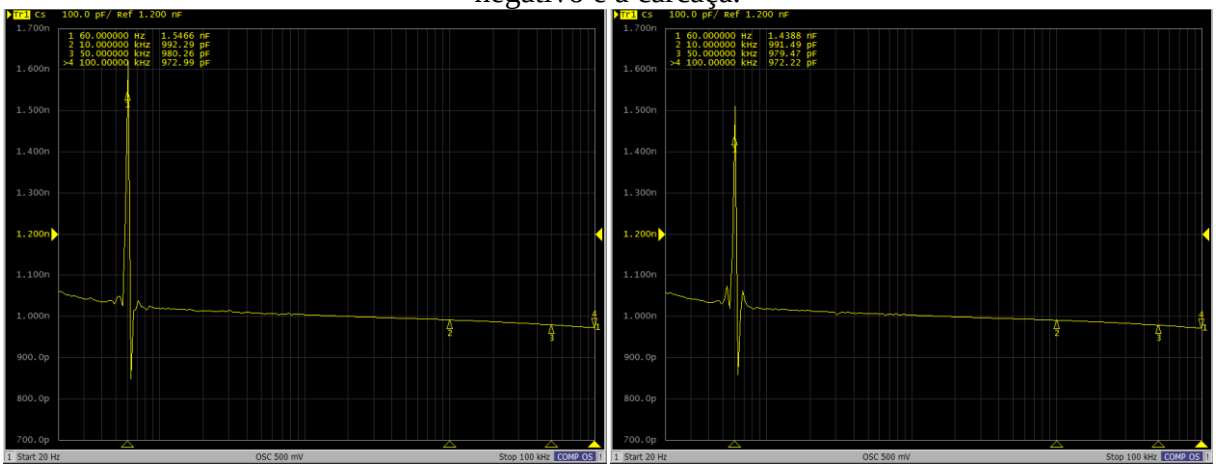
(a) (b)



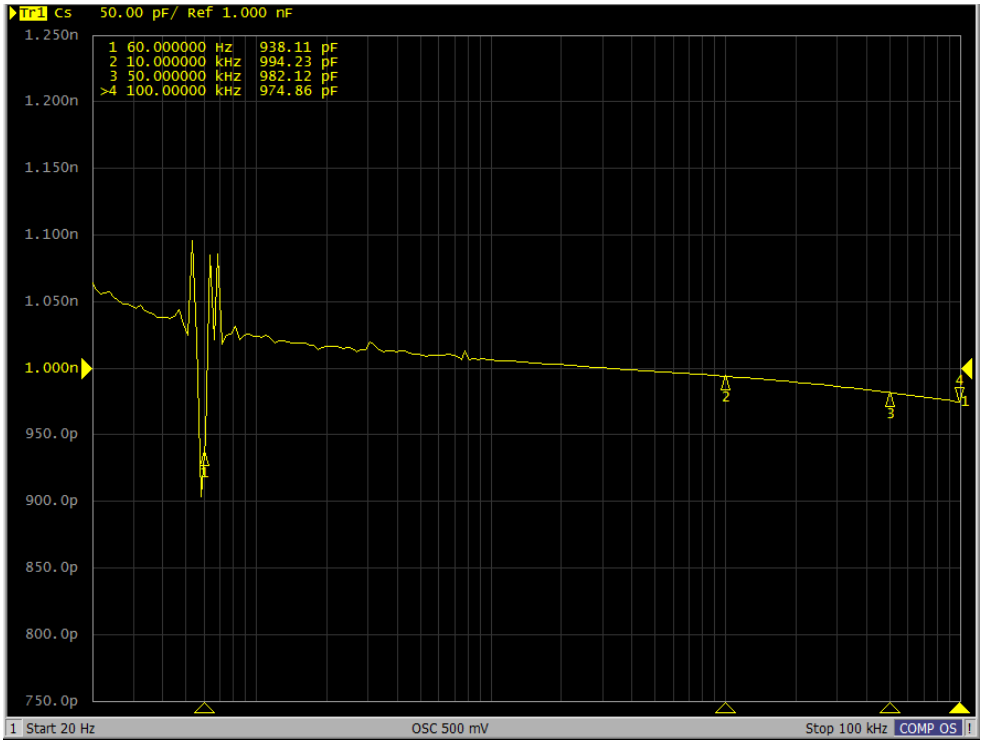
(c)

Fonte: Elaborada pelo autor (2020).

Figura 2 – Medição da capacitância parasita na bateria 3, mesmo *pack*, (b) entre o terminal positivo e a carcaça, (c) entre o terminal intermediário e a carcaça e (d) entre o terminal negativo e a carcaça.



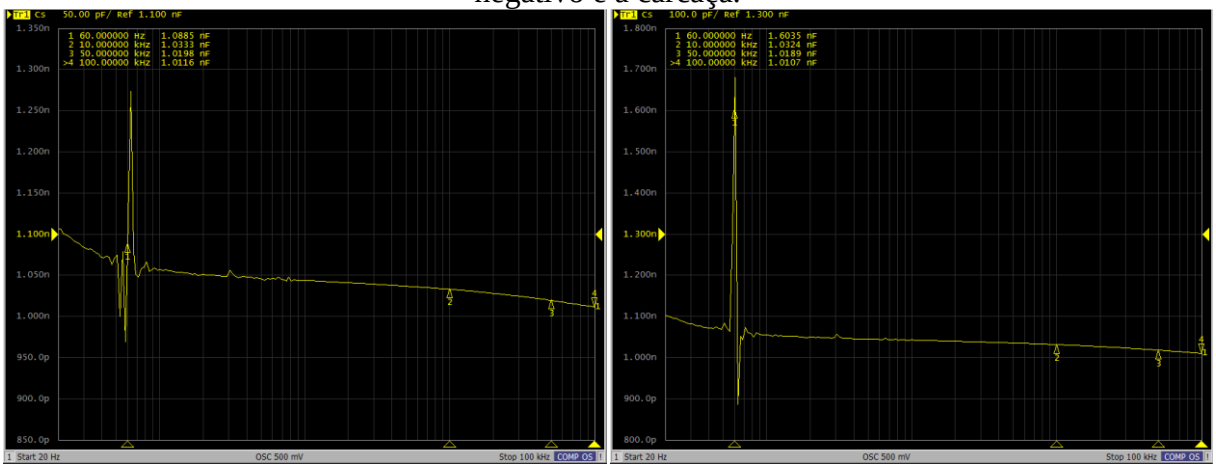
(a) (b)



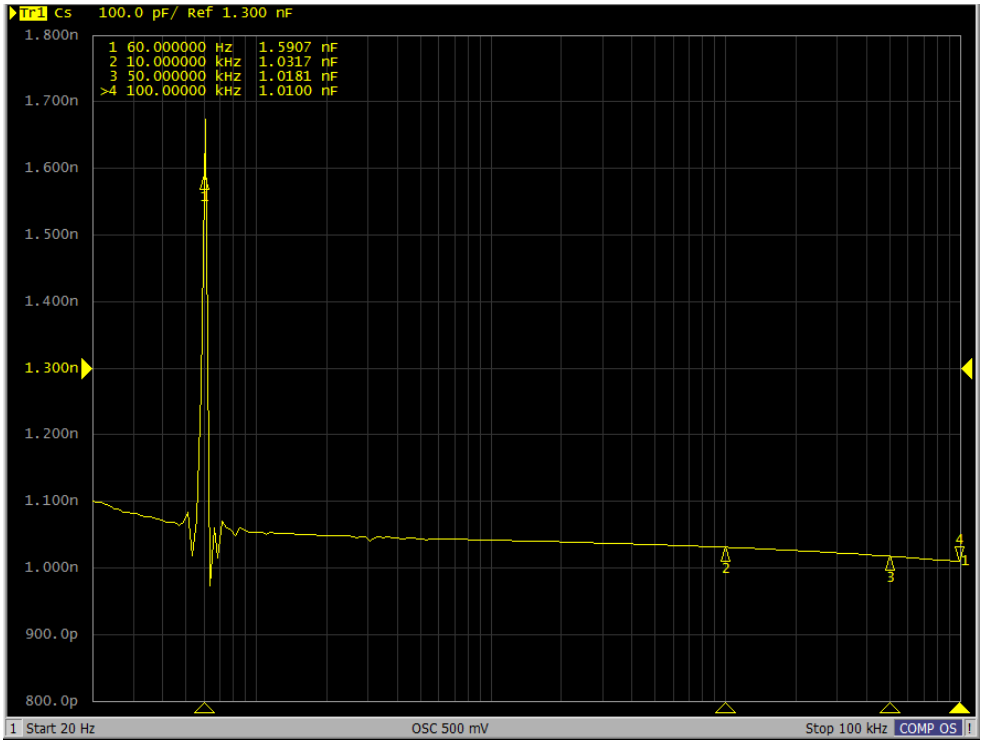
(c)

Fonte: Elaborada pelo autor (2020).

Figura 3 – Medição da capacitância parasita na bateria 4, *pack* diferente, (b) entre o terminal positivo e a carcaça, (c) entre o terminal intermediário e a carcaça e (d) entre o terminal negativo e a carcaça.



(a) (b)



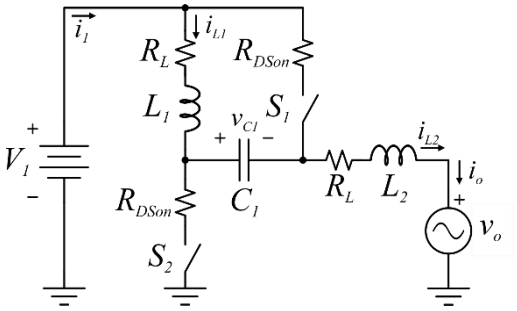
(c)

Fonte: Elaborada pelo autor (2020).

APÊNDICE B – Modelagem convencional do inversor zeta

Observando o circuito básico da Figura 1 e considerando que $f_s >> f_o$, as equações diferenciais são levantadas para cada etapa de operação. Estas são dadas a seguir, sendo de (1) a (3) para a primeira e (4) a (6) a segunda etapa. São consideradas as resistências dos transistores, R_{DSon}, e dos indutores, R_L.

Figura 1 – Estrutura básica do inversor zeta considerando as resistências intrínsecas aos transistores e indutores.



Fonte: Elaborada pelo autor (2022).

$$v_{L1}^{'} = L_1 \frac{di_{L1}}{dt} = -v_{C1} - i_{L1}\left(R_L + R_{DSon}\right) + i_{L2}R_{DSon} \tag{1}$$

$$v_{L2}^{'} = L_2 \frac{di_{L2}}{dt} = V_1 - v_o + i_{L1}R_{DSon} - i_{L2}\left(R_L + R_{DSon}\right) \tag{2}$$

$$i_{C1}^{'} = C_1 \frac{dv_{C1}}{dt} = i_{L1} \tag{3}$$

$$v_{L1}^{''} = L_1 \frac{di_{L1}}{dt} = V_1 - i_{L1}\left(R_L + R_{DSon}\right) + i_{L2}R_{DSon} \tag{4}$$

$$v_{L2}^{''} = L_2 \frac{di_{L2}}{dt} = -v_{C1} - v_o + i_{L1}R_{DSon} - i_{L2}\left(R_L + R_{DSon}\right) \tag{5}$$

$$i_{C1}^{''} = C_1 \frac{dv_{C1}}{dt} = i_{L2} \tag{6}$$

Considera-se o formato em espaço de estados segundo (7) e (8). A primeira dessas resume as equações diferenciais no formato matricial e a segunda é a descrição da saída desejada, ou seja, de qual variável ou composição que se deseja observar. As matrizes **K**, **x** e **u** são especificadas em (9), (10) e (11), respectivamente.

$$\mathbf{K\dot{x} = Ax + Bu} \tag{7}$$

$$\mathbf{y = Cx + Eu} \tag{8}$$

$$\mathbf{K} = \begin{bmatrix} L_1 & 0 & 0 \\ 0 & L_2 & 0 \\ 0 & 0 & C_1 \end{bmatrix} \tag{9}$$

$$\mathbf{x} = \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C1} \end{bmatrix} \tag{10}$$

$$\mathbf{u} = \begin{bmatrix} V_1 \\ v_o \end{bmatrix} \tag{11}$$

Reescrevendo as equações diferenciais no formato matricial obtém-se (12) e (13) para a primeira etapa e (14) a (15) para a segunda.

$$\mathbf{A_1} = \begin{bmatrix} -\left(R_L + R_{DSon}\right) & R_{DSon} & -1 \\ R_{DSon} & -\left(R_L + R_{DSon}\right) & 0 \\ 1 & 0 & 0 \end{bmatrix} \tag{12}$$

$$\mathbf{B_1} = \begin{bmatrix} 0 & 0 \\ 1 & -1 \\ 0 & 0 \end{bmatrix} \tag{13}$$

$$\mathbf{A_2} = \begin{bmatrix} -\left(R_L + R_{DSon}\right) & R_{DSon} & 0 \\ R_{DSon} & -\left(R_L + R_{DSon}\right) & -1 \\ 0 & 1 & 0 \end{bmatrix} \tag{14}$$

$$\mathbf{B_2} = \begin{bmatrix} 1 & 0 \\ 0 & -1 \\ 0 & 0 \end{bmatrix} \tag{15}$$

O valor médio quase instantâneo é encontrado ponderando as etapas de acordo com o tempo delas dentro do período de comutação, ou seja, utilizando a razão cíclica conforme (16) e (17).

$$\mathbf{K}\dot{\mathbf{x}} = \left[\mathbf{A_1}d + \mathbf{A_2}\left(1-d\right)\right]\mathbf{x} + \left[\mathbf{B_1}d + \mathbf{B_2}\left(1-d\right)\right]\mathbf{u} \tag{16}$$

$$\mathbf{y} = \left[\mathbf{C_1}d + \mathbf{C_2}\left(1-d\right)\right]\mathbf{x} + \left[\mathbf{E_1}d + \mathbf{E_2}\left(1-d\right)\right]\mathbf{u} \tag{17}$$

Com a finalidade de se verificar o comportamento dinâmico do conversor, aplica-se uma perturbação aos sinais, como demonstrado em (18), (19) e (20). As variáveis em maiúsculo representam um valor constante, o ponto de operação, enquanto as variáveis minúsculas são pequenas perturbações.

$$\mathbf{x} = \mathbf{X} + \tilde{\mathbf{x}} \tag{18}$$

$$\mathbf{u} = \mathbf{U} + \tilde{\mathbf{u}} \tag{19}$$

$$d = D + \tilde{d} \tag{20}$$

Substituindo esses sinais em (16), (21) é obtido.

$$\mathbf{K}\left(\dot{\mathbf{X}} + \dot{\tilde{\mathbf{x}}}\right) = \begin{bmatrix} \left[\mathbf{A_1}\left(D + \tilde{d}\right) + \mathbf{A_2}\left(1 - D - \tilde{d}\right)\right](\mathbf{X} + \tilde{\mathbf{x}}) \\ + \left[\mathbf{B_1}\left(D + \tilde{d}\right) + \mathbf{B_2}\left(1 - D - \tilde{d}\right)\right](\mathbf{U} + \tilde{\mathbf{u}}) \end{bmatrix} \tag{21}$$

Os termos CC, CA de primeira ordem e CA de segunda ordem são reunidos, como explicado por [105]. A parcela CC, como mostra (22), está relacionada a grandes sinais e, por serem constantes, sua derivada é igual a zero.

$$\mathbf{K}\dot{\mathbf{X}} = 0 = \left[\mathbf{A_1}D + \mathbf{A_2}\left(1 - D\right)\right]\mathbf{X} + \left[\mathbf{B_1}D + \mathbf{B_2}\left(1 - D\right)\right]\mathbf{U} \tag{22}$$

Já os termos CA de segunda ordem são muito menos significantes que os de primeira ordem, por haver a multiplicação de dois pequenos sinais. Logo, são aproximadamente zero, como descrito em (23).

$$\left(\mathbf{A_1} - \mathbf{A_2}\right)\tilde{\mathbf{x}}\tilde{d} + \left(\mathbf{B_1} - \mathbf{B_2}\right)\tilde{\mathbf{u}}\tilde{d} \approx 0 \tag{23}$$

Portanto, a parcela CA de primeira ordem contém o comportamento dinâmico investigado. Esta é demonstrada em (24), onde **A**, **B** e **F** são dadas em (25), (26) e (27).

$$\dot{\tilde{\mathbf{x}}} = \mathbf{A}\tilde{\mathbf{x}} + \mathbf{B}\tilde{\mathbf{u}} + \mathbf{F}\tilde{d} \tag{24}$$

$$\mathbf{A} = \mathbf{K}^{-1}\left[\mathbf{A_1}D + \mathbf{A_2}\left(1 - D\right)\right] \tag{25}$$

$$\mathbf{B} = \mathbf{K}^{-1}\left[\mathbf{B_1}D + \mathbf{B_2}\left(1 - D\right)\right] \tag{26}$$

$$\mathbf{F} = \mathbf{K}^{-1}\left[\left(\mathbf{A_1} - \mathbf{A_2}\right)\mathbf{X} + \left(\mathbf{B_1} - \mathbf{B_2}\right)\mathbf{U}\right] \tag{27}$$

A saída desejada nesse caso, o que se deseja controlar, é a corrente da rede, que é a corrente em L_2. Assim sendo, as matrizes $\mathbf{C_1}$ e $\mathbf{C_2}$, $\mathbf{E_1}$ e $\mathbf{E_2}$ de (17) permanecem as mesmas durante ambas as etapas e são informadas em (28) e (29).

$$\mathbf{C} = \mathbf{C_1} = \mathbf{C_2} = \begin{bmatrix} 0 & 1 & 0 \end{bmatrix} \tag{28}$$

$$\mathbf{E} = \mathbf{E_1} = \mathbf{E_2} = \begin{bmatrix} 0 & 0 \end{bmatrix} \tag{29}$$

Inserindo as perturbações encontra-se (30), onde **G** é dado em (31) e, para este caso, é nulo.

$$\tilde{\mathbf{y}} = \mathbf{C}\tilde{\mathbf{x}} + \mathbf{E}\tilde{\mathbf{u}} + \mathbf{G}\tilde{d} \tag{30}$$

$$\mathbf{G} = \left(\mathbf{C_1} - \mathbf{C_2}\right)\mathbf{X} + \left(\mathbf{E_1} - \mathbf{E_2}\right)\mathbf{U} \tag{31}$$

Aplicando a transformada de Laplace em (24) e (30) observam-se (32) e (33).

$$s\mathbf{I}\tilde{\mathbf{x}}(s) = \mathbf{A}\tilde{\mathbf{x}}(s) + \mathbf{B}\tilde{\mathbf{u}}(s) + \mathbf{F}\tilde{d}(s) \tag{32}$$

$$\tilde{\mathbf{y}}(s) = \mathbf{C}\tilde{\mathbf{x}}(s) + \mathbf{E}\tilde{\mathbf{u}}(s) + \mathbf{G}\tilde{d}(s) \tag{33}$$

Isolando $\tilde{\mathbf{x}}(s)$ em (32) resulta em (34).

$$\tilde{\mathbf{x}}(s) = \left(s\mathbf{I} - \mathbf{A}\right)^{-1}\mathbf{B}\tilde{\mathbf{u}}(s) + \left(s\mathbf{I} - \mathbf{A}\right)^{-1}\mathbf{F}\tilde{d}(s) \tag{34}$$

Sabendo que se deseja conhecer a variação da corrente em L_2 gerada pela variação da razão cíclica, consideram-se as perturbações nas fontes como sendo zero. Substituindo (34) em (33) obtém-se (35). Logo, a função transferência desejada pode ser descoberta pela equação em (36).

$$\tilde{\mathbf{y}}(s) = \mathbf{C}\left(s\mathbf{I} - \mathbf{A}\right)^{-1}\mathbf{F}\tilde{d}(s) + \mathbf{G}\tilde{d}(s) \tag{35}$$

$$\frac{\tilde{\mathbf{y}}(s)}{\tilde{d}(s)} = \mathbf{C}\left(s\mathbf{I} - \mathbf{A}\right)^{-1}\mathbf{F} + \mathbf{G} \tag{36}$$

Dadas as matrizes $\mathbf{A_1}$, $\mathbf{A_2}$, $\mathbf{B_1}$, $\mathbf{B_2}$, $\mathbf{C}$ e $\mathbf{E}$, encontra-se a planta $\tilde{i}_{L2}/\tilde{d}$, que pode ser vista em (37).

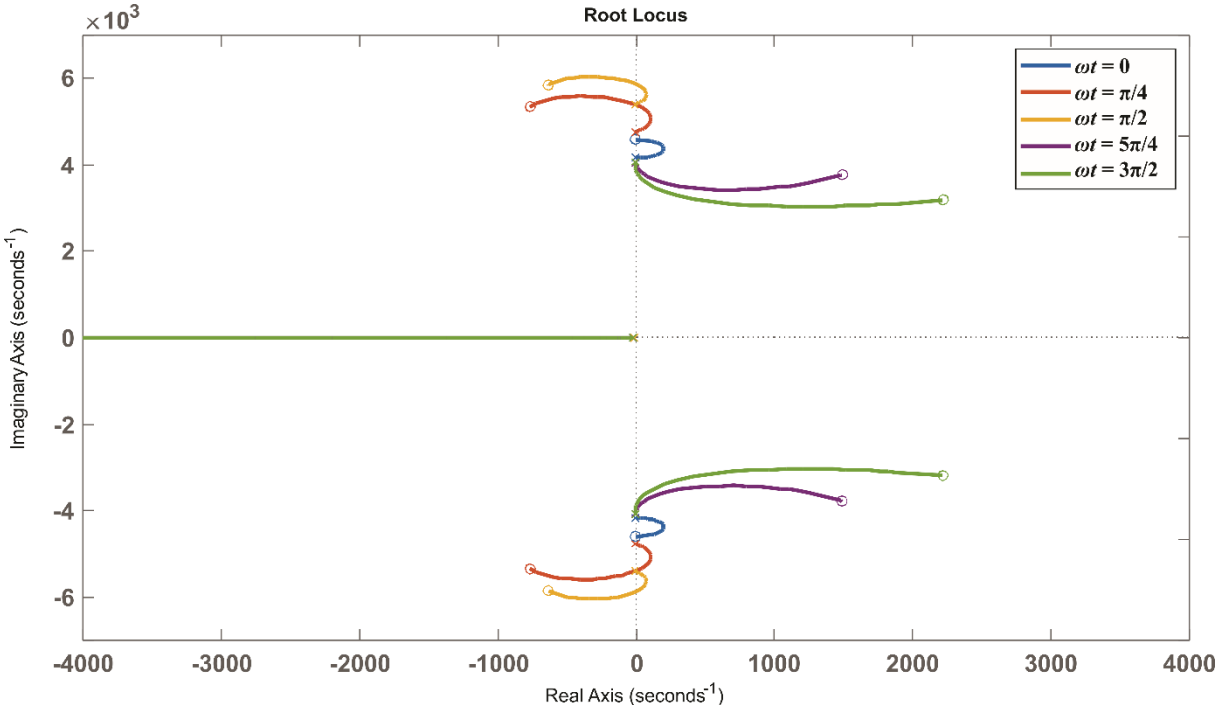
$$\frac{\tilde{i}_{L2}}{\tilde{d}} = \frac{L_1C_1\left(V_1 + V_{C1}\right)s^2 + L_1\left(1-D\right)\left(I_{L2} - I_{L1}\right)s + D\left(V_1 + V_{C1}\right) + R_{DSon}\left(I_{L2} - I_{L1}\right)}{L_1L_2C_1s^3 + C_1R_{DSon}\left(L_1 + L_2\right)s^2 + \left[L_1\left(1-D\right)^2 + L_2D^2\right]s + R_{DSon}} \tag{37}$$

Observa-se que esta função transferência varia com o ângulo ωt e com a potência empregada. A Figura 2 apresenta o comportamento dos polos e zeros para diferentes ângulos de ωt. São consideradas as especificações e valores dos componentes apresentados na Tabela 7.1 e Tabela 7.2, são calculados os valores de I_{L1}, I_{L2}, V_{C1} e D para cada ângulo, de acordo com (5.129), (5.18), (5.136) e (5.4), respectivamente. Adotou-se 0,1 Ω para as resistências R_L e R_{DSon}.

Os polos e zeros ainda se comportam de maneira diferente para a variação de potência, como pode ser visto na Figura 3.

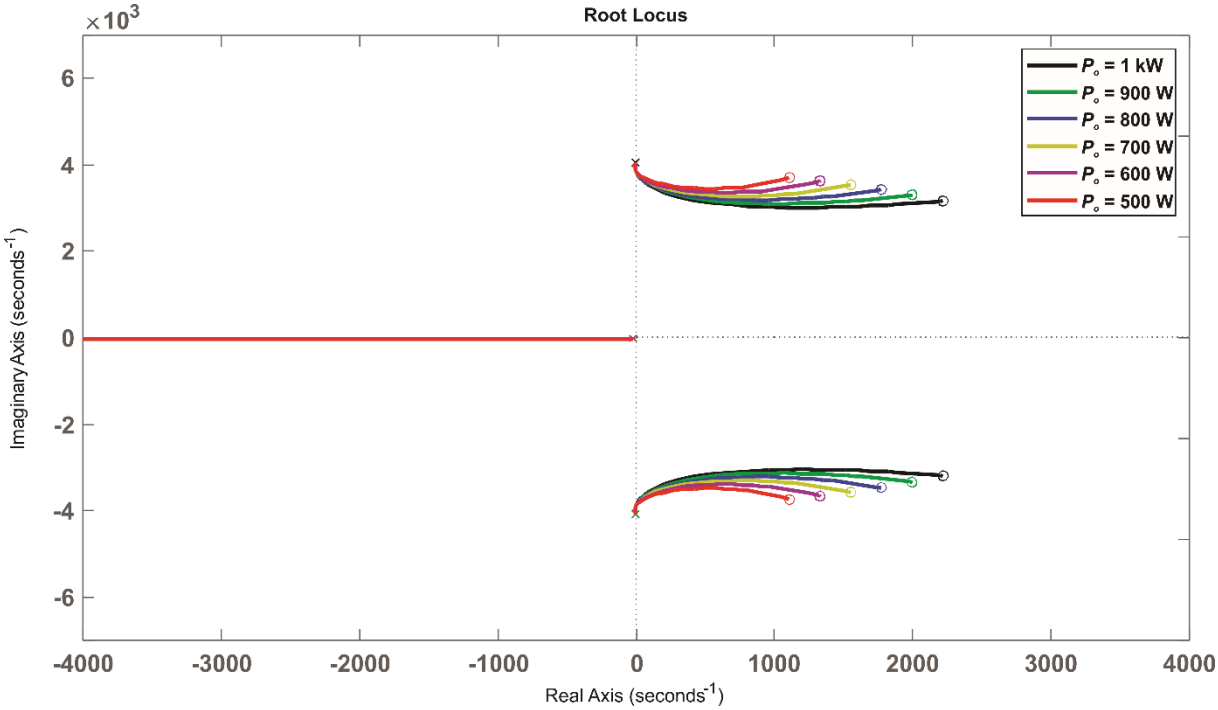
Os resultados apresentados nas Figuras 2 e 3, mostram claramente que as funções de transferência obtidas a partir do sistema linearizado para diferentes pontos de operação diferem significativamente entre eles, chegando a produzir modelos instáveis para algumas condições de frequência ωt e de potência.

Figura 2 – Localização dos polos e zeros do inversor zeta em potência nominal para diferentes instantes de ωt.



Fonte: Elaborada pelo autor (2022).

Figura 3 – Localização dos polos e zeros do inversor zeta para diferentes potências no instante $\omega t = 3\pi/2$.



Fonte: Elaborada pelo autor (2022).

A ideia básica por trás da aplicação deste método clássico de linearização em diferentes pontos do sinal variante no tempo (sinal senoidal) reside em considerar distintas

escalas de tempo entre as dinâmicas do conversor (dinâmica rápida) e o próprio sinal de referência senoidal (dinâmica lenta).

Estes argumentos, além dos estritamente matemáticos, permitem compreender por que o método clássico de linearização não é viável para linearizar um sistema variante no tempo em alguns pontos do sinal.

APÊNDICE C – Aplicação digital do controlador FLC no inversor *buck-boost*

```
[...]
//Definição das variáveis do controle de corrente e inicialização
double il1, Irefpk=6.428, Iref, v1=400, d, defasagem=0, fase=0;
double ek=5.838e-2, ek1=5.838e-2, uk=1.584e3, ukI=1.023e2, uk1I=1.023e2,
ukRES60=1.762e3, uk1RES60=1.760e3, uk2RES60=1.757e3;
double ukRES120=-2.799e2, uk1RES120=-2.757e2, uk2RES120=-2.715e2;
double L1 = 1.434e-3;
double kP=40, kI = 2e3;
double kr1=80e3,kr2=20e3;
double HabControl=0, HabAux=0, IrefpkAux=6.428;
int Sat0=0, Sat1=0, step=0, ciclo=0;
double Irefpk_Degrau=6.428, fase_Degrau=0;
[...]

interrupt void  ADC(void){        //A interrupção do ADC foi programada para ocorrer
no período de amostragem de 20 microssegundos (Ts) e é onde realiza-se a lógica do
controlador
[...]
   if(HabAux == 1){     //Pré-carga é realizada em malha aberta, portanto HabAux é
acionado para alterar de malha aberta para malha fechada

      Iref = IrefpkAux*cos(theta-defasagem)*(2-vok/v1);   //Geração da corrente iL1
de referência

      ek = Iref-il1;      //Erro entre a referência e o valor medido

      ukI = uk1I + kI*Ts*ek;          //Ação do integrador
      ukRES60 = 1.99994315134797*uk1RES60 - uk2RES60 +
kr1*Ts*(0.999971575673983*ek - ek1);          //Ação do ressonante em 60Hz
      ukRES120 = 1.99977260862363*uk1RES120 - uk2RES120 +
kr2*Ts*(0.999886304311816*ek - ek1);          //Ação do ressonante em 120Hz
```

```
            uk = ukRES60 + ukRES120 + ukI + kP*ek;          //Ação do controlador linear
completo P+I+Ressonante em 60Hz+ Ressonante em 120Hz

            d = (L1*uk + v1)/(2*v1 - vok);        //Bloco FLC

            if(d>0.99){          //Limitador da razão cíclica e aviso de saturação
               d = 0.99;
               Sat1++;
            }if(d<0.01){
               d = 0.01;
               Sat0++;
            }

         //Atualização dos valores anteriores do erro e das saídas individuais de cada
controlador
            ek1 = ek;

            uk1I = ukI;

            uk2RES60 = uk1RES60;
            uk1RES60 = ukRES60;

            uk2RES120 = uk1RES120;
            uk1RES120 = ukRES120;

          }else{
            d = 1/(2-0.777817459*cos(theta));      //Razão cíclia em malha aberta
          }

            EPwm1Regs.CMPA.half.CMPA = T_PWM*0.5*d;     //Adjust duty for output
EPWM1A - Atualização da razão cíclica para o ePWM
         […]
         }
```

APÊNDICE D – Projeto físico dos indutores e projeto térmico

A planilha a seguir mostra o cálculo realizado para definição do número de espiras e bitola dos fios utilizados nos enrolamentos para cada núcleo escolhido.

Máxima densidade de corrente: $J_{maxF} := 400 \frac{A}{cm^2}$

Constante: $cte := 15cm \cdot s^{-0.5}$

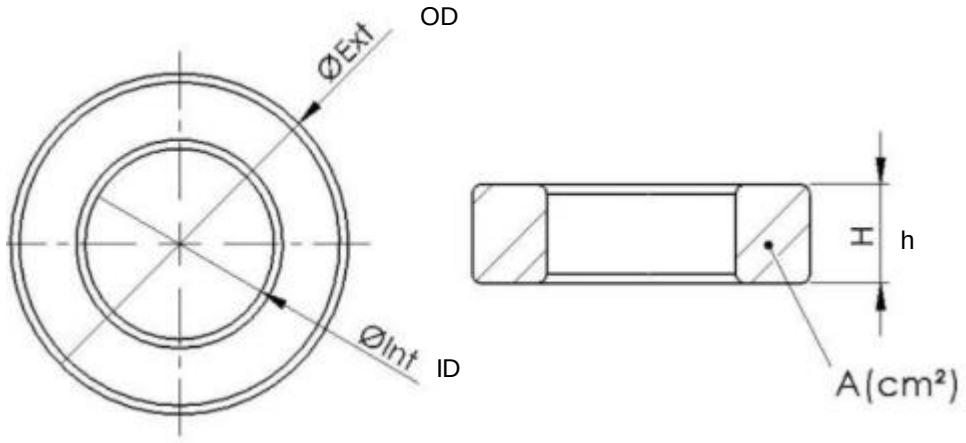
Diâmetro máximo do fio: $Diam := \frac{cte}{\sqrt{f_s}} = 0.067 \cdot cm$

Permeabilidade do ar: $\mu_o := 4\pi 10^{-7} \frac{H}{m}$

Coeficiente de área util interna do toride: $K_u := 0.515$

Projeto de L1 _____

Reinserindo a unidade de medida: $L_1 := L_1 \cdot H = 4.096 \cdot mH$



Núcleo escolhido: MMTS60T7713 da Magmattec (Sendust – S60)

Densidade de fluxo de saturação: $B_{sat1} := 1.05T$

Permeabilidade relativa do material do núcleo: $\mu_{r1} := 60$

Diâmetro interno do núcleo: $ID1 := 49.2mm$

Diâmetro externo do núcleo: $OD1 := 77.8mm$

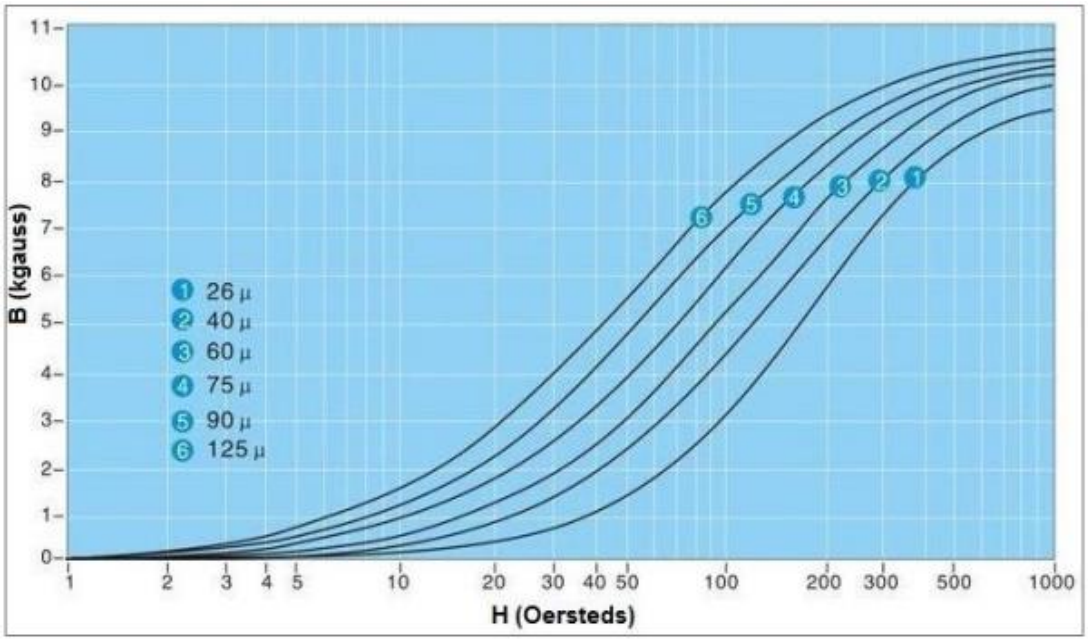
Altura do núcleo: $h1 := 12.7mm$

Área de seção magnética: $A_{e1} := 2 \cdot \frac{(OD1 - ID1)}{2} \cdot h1 = 363.22 \cdot mm^2$

Obs.: estão sendo utilizados 2 núcleos juntos para aumentar a área de seção magnética.

Comprimento do caminho magnético médio: $l_{e1} := 19.95cm$

Número de espiras de L1: $N_{L1} := \sqrt{\frac{L_1 \cdot l_{e1}}{\mu_{r1} \cdot \mu_o \cdot A_{e1}}} = 172.738$



Intensidade máxima de campo: (considerando o gráfico) $H_{max1} := 200Oe$

Número máximo de espiras: (para que não haja saturação do núcleo) $N_{maxB1} := \frac{H_{max1} \cdot l_{e1}}{I_{L1pk}} = 263.426$

Verificação de saturação: $N_{L1} < N_{maxB1} = 1$ (1- Não satura, 0- Satura)

Área do cobre no indutor: $S_{L1} := \frac{I_{L1ef}}{J_{maxF}} = 0.014 \cdot cm^2$

**Atenção: Utilizar somente um fio com a bitola de "SL1", pois a alta frequência é verificada somente na ondulação (pouco relevante ao dimensionamento da bitola)

Pelo limite do efeito pelicular: $Diam = 0.067 \cdot cm$

Diâmetro escolhido: $Dia_{L1} := 0.145cm$ AWG 15 - 0.016504 cm²

$S_{FioCEL1} := 0.016504cm^2$

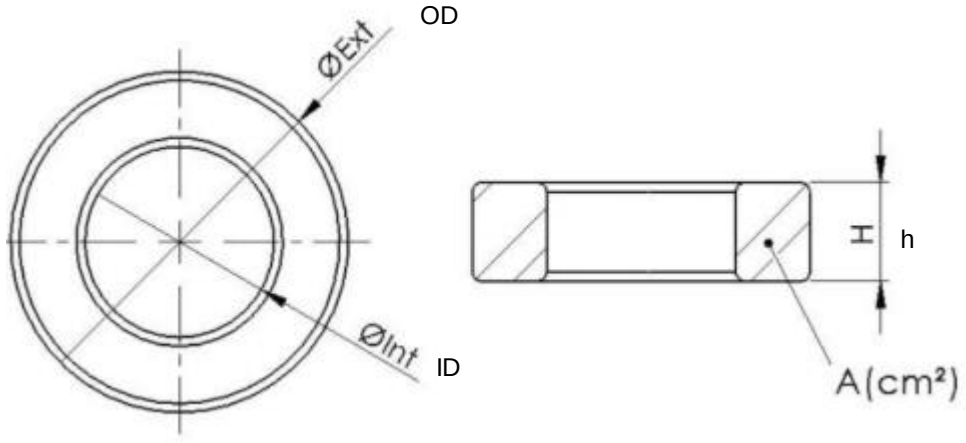
Número de fios em paralelo: $nf_{L1} := \frac{S_{L1} \cdot 4}{\pi \, Dia_{L1}^{\,2}} = 0.837$ $nf_{L1} := 1$

Máximo número de espiras que cabem na janela: $N_{maxJ1} := K_u \cdot \frac{ID1^2}{S_{FioCEL1}} = 755.35$

Para ser possível: $N_{maxJ1} \geq N_{L1} \cdot nf_{L1} = 1$ (1- Factível, 0- Não factível)

Projeto de L2 _____

Reinserindo a unidade de medida: $L_2 := L_2 \cdot H = 1.593 \cdot mH$



Núcleo escolhido: MMTS60T7713 da Magmattec (Sendust – S60)

Densidade de fluxo de saturação: $B_{sat2} := 1.05T$

Permeabilidade relativa do material do núcleo: $\mu_{r2} := 60$

Diâmetro interno do núcleo: $ID2 := 49.2mm$

Diâmetro externo do núcleo: $OD2 := 77.8mm$

Altura do núcleo: $h2 := 12.7mm$

Área de seção magnética: $A_{e2} := \frac{(OD2 - ID2)}{2} \cdot h2 = 181.61 \cdot mm^2$

Comprimento do caminho magnético médio: $l_{e2} := 19.95cm$

Número de espiras de L2: $N_{L2} := \sqrt{\frac{L_2 \cdot l_{e2}}{\mu_{r2} \cdot \mu_o \cdot A_{e2}}} = 152.344$

Intensidade máxima de campo: (considerando o gráfico) $H_{max2} := 200Oe$

Número máximo de espiras: (para que não haja saturação do núcleo) $N_{maxB2} := \frac{H_{max2} \cdot l_{e2}}{|I_{L2pkmax}|} = 395.149$

Verificação de saturação: $N_{L2} < N_{maxB2} = 1$ (1- Não satura, 0- Satura)

Área do cobre no indutor: $S_{L2} := \frac{I_{L2ef}}{J_{maxF}} = 0.011 \cdot cm^2$

**Atenção: Utilizar somente um fio com a bitola de "SL2", pois a alta frequência é verificada somente na ondulação (pouco relevante ao dimensionamento da bitola)

Pelo limite do efeito pelicular: $Diam = 0.067 \cdot cm$

Diâmetro escolhido: $Dia_{L2} := 0.145cm$ AWG 15 - 0.016504 cm²

$S_{FioCEL2} := 0.016504cm^2$

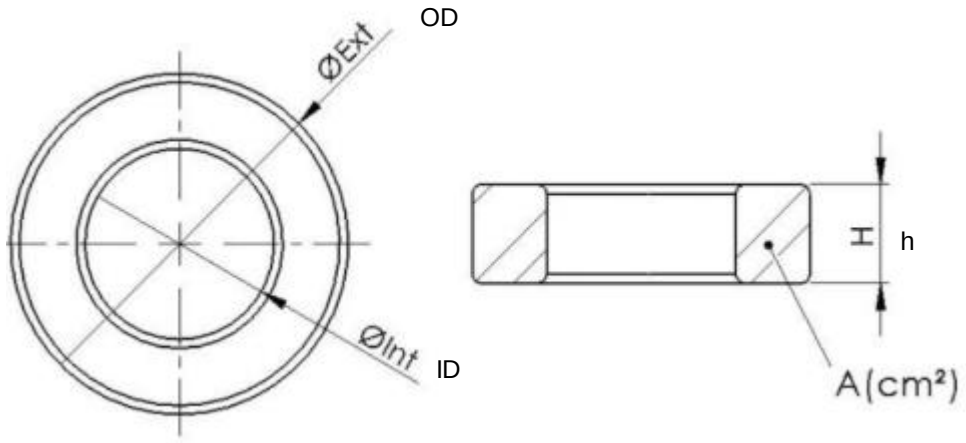
Número de fios em paralelo: $nf_{L2} := \frac{S_{L2} \cdot 4}{\pi \, Dia_{L2}^2} = 0.696$ $nf_{L2} := 1$

Máximo número de espiras que cabem na janela: $N_{maxJ2} := K_u \cdot \frac{ID2^2}{S_{FioCEL2}} = 755.35$

Para ser possível: $N_{maxJ2} \geq N_{L2} \cdot nf_{L2} = 1$ (1- Factível, 0- Não factível)

Projeto de Lf _____

Reinserindo a unidade de medida: $L_f := L_f \cdot H = 38.48 \cdot \mu H$



Núcleo escolhido: MMT026T4015 da Magmattec (Pó de ferro – 026)

Densidade de fluxo de saturação: $B_{satf} := 1.38T$

Permeabilidade relativa do material do núcleo: $\mu_{rf} := 75$

Diâmetro interno do núcleo: $IDf := 24.1mm$

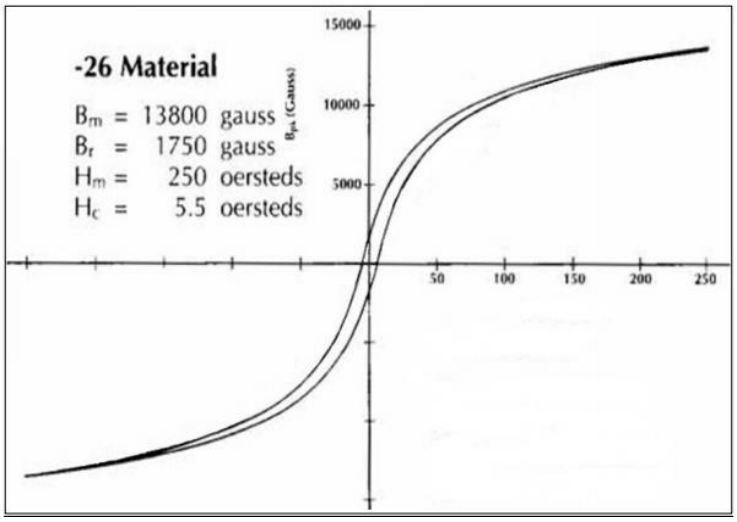
Diâmetro externo do núcleo: $ODf := 39.9mm$

Altura do núcleo: $hf := 14.5mm$

Área de seção magnética: $A_{e_f} := \frac{(ODf - IDf)}{2} \cdot hf = 114.55 \cdot mm^2$

Comprimento do caminho magnético médio: $l_{e_f} := 10.1cm$

Número de espiras de Lf: $N_{Lf} := \sqrt{\frac{L_f \cdot l_{e_f}}{\mu_{rf} \cdot \mu_o \cdot A_{e_f}}} = 18.973$



Intensidade máxima de campo: (considerando o gráfico) $H_{maxf} := 50Oe$

Pico de corrente em Lf: (verificado por simulação) $I_{Lfpk} := 5.19A$

Corrente eficaz em Lf: (verificado por simulação) $I_{Lfef} := 3.09A$

Número máximo de espiras: (para que não haja saturação do núcleo) $N_{maxBf} := \frac{H_{maxf} \cdot l_{e_f}}{I_{Lfpk}} = 77.431$

Verificação de saturação: $N_{Lf} < N_{maxBf} = 1$ (1- Não satura, 0- Satura)

Área do cobre no indutor: $S_{Lf} := \frac{I_{Lfef}}{J_{maxF}} = 7.725 \times 10^{-3} \cdot cm^2$

**Atenção: Utilizar somente um fio com a bitola de "SL1", pois a alta frequência é verificada somente na ondulação (pouco relevante ao dimensionamento da bitola)

Pelo limite do efeito pelicular: $Diam = 0.067 \cdot cm$

Diâmetro escolhido: $Dia_{Lf} := 0.145cm$ AWG 15 - 0.016504 cm²

$S_{FioCELf} := 0.016504cm^2$

Número de fios em paralelo: $nf_{Lf} := \frac{S_{Lf} \cdot 4}{\pi \, Dia_{Lf}^{\,2}} = 0.468$ $nf_{Lf} := 1$

Máximo número de espiras que cabem na janela: $N_{maxJf} := K_u \cdot \frac{IDf^2}{S_{FioCELf}} = 181.239$

Para ser possível: $N_{maxJ1} \geq N_{L1} \cdot nf_{L1} = 1$ (1- Factível, 0- Não factível)

O projeto térmico para a escolha de um dissipador adequado pode ser acompanhado na planilha a seguir.

Temperatura de junção máxima: $T_j := 100\Delta°C$

Temperatura ambiente: $T_a := 40\Delta°C$

Resistência junção capsula: $R_{jC} := 0.45 \cdot \frac{\Delta°C}{W}$

Resistência capsula dissipador (mica): $R_{CD} := 1 \cdot \frac{\Delta°C}{W}$

Resistência dissipador ambiente máxima: $R_{Da} := \frac{T_j - T_a - Pt_{S2} \cdot (R_{jC} + R_{CD})}{Pt_{S1} + Pt_{S2}} = 1.158 \cdot \frac{\Delta°C}{W}$

Dados do dissipador escolhido:

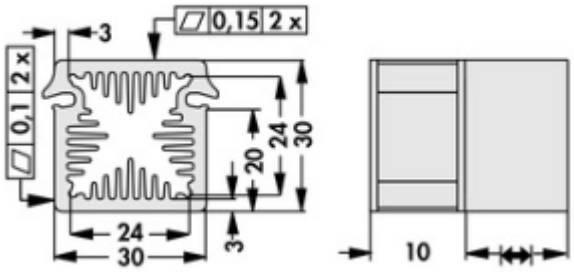
Miniature cooling aggregates

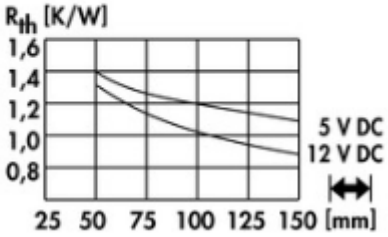
LAM 3 K 150 12 — Length: 150 mm

30 x 30 mm, with axial fan — Fan type: 12 V



Technical Drawing





Resistência dissipador ambiente escolhida: $R_{DaEsc} := 0.9 \cdot \frac{\Delta°C}{W}$

Temperatura de junção de S1: $T_{j1} := Pt_{S1} \cdot (R_{jC} + R_{CD}) + (Pt_{S1} + Pt_{S2}) \cdot R_{DaEsc} + T_a = 89.151 \cdot \Delta°C$

Temperatura de junção de S2: $T_{j2} := Pt_{S2} \cdot (R_{jC} + R_{CD}) + (Pt_{S1} + Pt_{S2}) \cdot R_{DaEsc} + T_a = 91.978 \cdot \Delta°C$